

**YÜKSEK KAZANÇLI, BESLEMELERİ KAPSAYAN  
GİRİŞ/ÇIKIŞ ÖZELLİKLİ İŞLEMSEL YÜKSELTEÇ  
TASARIMI**

**HIGH GAIN, RAIL-TO-RAIL INPUT/OUTPUT  
OPERATIONAL AMPLIFIER DESIGN**

**CİHAN ERZEN**

**PROF. DR. ALİ ZİYA ALKAR**  
**Tez Danışmanı**

Hacettepe Üniversitesi  
Lisansüstü Eğitim-Öğretim ve Sınav Yönetmeliği'nin  
Elektrik ve Elektronik Mühendisliği Anabilim Dalı için Öngördüğü  
YÜKSEK LİSANS TEZİ olarak hazırlanmıştır.

2019

**CİHAN ERZEN'** in hazırladığı “**Yüksek Kazançlı, Beslemeleri Kapsayan Giriş/Çıkış Özellikli İşlemsel Yükselteç Tasarımı**” adlı bu çalışma aşağıdaki jüri tarafından **ELEKTRİK VE ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI'** nda **YÜKSEK LİSANS TEZİ** olarak kabul edilmiştir.

Doç. Dr. Klaus Werner SCHMIDT  
Başkan

  
.....

Prof. Dr. Ali Ziya ALKAR  
Danışman

  
.....

Prof. Dr. Uğur BAYSAL  
Üye

  
.....

Dr. Öğr. Üyesi Dinçer GÖKCEN  
Üye

  
.....

Dr. Öğr. Üyesi Derya ALTUNAY  
Üye

  
.....

Bu tez Hacettepe Üniversitesi Fen Bilimleri Enstitüsü tarafından **YÜKSEK LİSANS TEZİ** olarak ..... / ..... /..... tarihinde onaylanmıştır.

Prof. Dr. Menemşe GÜMÜŞDERELİOĞLU  
Fen Bilimleri Enstitüsü Müdürü

*Beni yetiřtirip bu gnlere getiren rahmetli Babama, Babaanneme ve desteklerini hibir zaman esirgemeyen Anneme ve Ađabeyime...*

## ETİK

Hacettepe Üniversitesi Fen Bilimleri Enstitüsü, tez yazım kurallarına uygun olarak hazırladığım bu tez çalışmada;

- tez içindeki bütün bilgi ve belgeleri akademik kurallar çerçevesinde elde ettiğimi,
- görsel, işitsel ve yazılı tüm bilgi ve sonuçları bilimsel ahlak kurallarına uygun olarak sunduğumu,
- başkalarının eserlerinden yararlanması durumunda ilgili eserlere bilimsel normlara uygun olarak atıfta bulunduğumu,
- atıfta bulunduğum eserlerin tümünü kaynak olarak gösterdiğimi,
- kullanılan verilerde herhangi bir tahrifat yapmadığımı,
- ve bu tezin herhangi bir bölümünü bu üniversite veya başka bir üniversitede başka bir tez çalışması olarak sunmadığımı

beyan ederim.

18/02/2019

C. Erzen

(İmza)

CİHAN ERZEN

## YAYIMLAMA VE FİKRİ MÜLKİYET HAKLARI BEYANI

Enstitü tarafından onaylanan lisansüstü tezimin/raporumun tamamını veya herhangi bir kısmını, basılı (kağıt) ve elektronik formatta arşivleme ve aşağıda verilen koşullarla kullanıma açma iznini Hacettepe Üniversitesi'ne verdiğimi bildiririm. Bu izinle Üniversiteye verilen kullanım hakları dışındaki tüm fikri mülkiyet haklarım bende kalacak, tezimin tamamının ya da bir bölümünün gelecekteki çalışmalarda (makale, kitap, lisans ve patent vb.) kullanım hakları bana ait olacaktır.

Tezin kendi orijinal çalışmam olduğunu, başkalarının haklarını ihlal etmediğimi ve tezimin tek yetkili sahibi olduğumu beyan ve taahhüt ederim. Tezim yer alan telif hakkı bulunan ve sahiplerinden yazılı izin alınarak kullanması zorunlu metinlerin yazılı izin alarak kullandığımı ve istenildiğinde suretlerini Üniversiteye teslim etmeyi taahhüt ederim.

Yükseköğretim Kurulu tarafından yayınlanan **“Lisansüstü Tezlerin Elektronik Ortamda Toplanması, Düzenlenmesi ve Erişime Açılmasına İlişkin Yönerge”** kapsamında tezim aşağıda belirtilen koşullar haricince YÖK Ulusal Tez Merkezi / H.Ü. Kütüphaneleri Açık Erişim Sistemi'nde erişime açılır.

- Enstitü / Fakülte Yönetim Kurulu kararı ile tezimin erişime açılması mezuniyet tarihimden itibaren 2 yıl ertelenmiştir.
- Enstitü / Fakülte Yönetim Kurulu gerekçeli kararı ile tezimin erişime açılması mezuniyet tarihimden itibaren ... ay ertelenmiştir.
- Tezim ile ilgili gizlilik kararı verilmiştir.

18. / 02. / 2019

C. Erzen

(İmza)

CİHAN ERZEN

## ÖZET

# YÜKSEK KAZANÇLI, BESLEMELERİ KAPSAYAN GİRİŞ/ÇIKIŞ ÖZELLİKLİ İŞLEMSEL YÜKSELTEÇ TASARIMI

**CİHAN ERZEN**

**Yüksek Lisans, Elektrik ve Elektronik Mühendisliği Bölümü**

**Tez Danışmanı: Prof. Dr. Ali Ziya ALKAR**

**Şubat 2019, 70 sayfa**

İşlemsel yükselteç; elektronik, haberleşme, optik, medikal vb. gibi birçok alanda tasarlanan analog devreler için kritik öneme sahip temel bir elektronik bileşendir. Analogdan sayısala veya sayısaldan analoga dönüştürme, türev ve integral alma, toplama ve çıkarma, aktif filtre, hata yükseltici, karşılaştırıcı vb. gibi birçok uygulamada bu bileşene ihtiyaç duyulur. Bu elektronik bileşenin temel görevi, girişlerine uygulanan sinyallerin farkını yükselterek çıkışa vermesidir. Bu dönüşümün hızı, doğruluğu ve gerilim aralığı, işlemsel yükseltecin karakteristik özelliklerine göre değişkenlik gösterir. Bu yüzden, işlemsel yükselteci oluşturan devre bloklarının ihtiyaç duyulan karakteristik özelliklere göre tasarlanması gerekmektedir.

Buna ek olarak, teknolojinin ilerlemesiyle taşınabilir, düşük güçlü, verimli ve hızlı çalışan elektronik devrelere verilen önem artmıştır. Geçmişten bugüne, yüksek performanslı tümdevre tasarımları yapabilmek için CMOS teknolojisi yaygın olarak kullanılmaktadır. Böylece, ihtiyaca yönelik özel çözümler üretilebilmektedir.

Bu tez çalışmasında; hem pille beslenen hem de giriş ve çıkış gerilim aralığı geniş olan uygulamalar için yüksek kazançlı, beslemeleri kapsayan giriş ve çıkışa sahip bir işlemsel yükselteç tasarlanmıştır. Tasarlanan işlemsel yükseltecin en önemli

özelliđi, alıřma gerilim aralıđı boyunca yükseltme işleminin sabit kalmasıdır. Kazan, bant geniřliđi, faz payı ve yetiřme hızı gibi karakteristik özellikleri girişteki gerilim deđiřimlerinden ok fazla etkilenmemektedir. Ayrıca, işlemsel yükseltecin kararlı olarak alıřabilmesi için kendi kendini kompanze edebilen bir devre ve gü tüketimini azaltmak için kendinden öngerilimli akım ve gerilim kaynakları tasarlanmıřtır. Kararlılık sorunlarıyla karřılařmamak için mümkün olduđunca basit devre tasarımları üzerinde alıřılmıřtır. Tasarlanan işlemsel yükseltecin benzetimleri yapılmıř ve ihtiya duyulan uygulamalardaki alıřma performansı incelenmiřtir. Bunun yanında, önerilen tasarım literatürdeki farklı örnekleriyle karřılařtırılmıřtır. Küük kanal boyutuna sahip CMOS teknolojisiyle geliřtirilen tasarım benzerlerine göre daha az yer kaplayacaktır. Ayrıca, düřük gerilimlerle alıřtırılan ve yüksek performansa ihtiya duyan taşınabilir cihazların hem düřük akım ve gerilimleri yükseltme görevini karřılayacak hem de geniř gerilim aralıđında alıřmasını sađlayacak bir tasarım geliřtirilmiřtir.

130 nm CMOS teknolojisi ve 1,5 V tek kaynaklı besleme gerilimi kullanılarak yapılan tasarımın sonucunda; 100 dB'nin üzerinde kazanç, (0,05 V - 1,45 V) arasında giriş ortak mod gerilim aralıđı, (0,05 V - 1,45 V) arasında ıkıř salınımı, 10 MHz'den yüksek bant geniřliđi, 45°'den büyük faz payı, 4,2 V /  $\mu$ s yetiřme hızı, 80 dB'den büyük CMRR ve PSRR deđeri ve 1 mW'tan düřük gü tüketimi elde edilmiřtir.

**Anahtar Kelimeler:** İşlemsel yükselte, beslemeleri kapsayan, CMOS, yüksek kazanç, elektronik.

## **ABSTRACT**

# **HIGH GAIN, RAIL-TO-RAIL INPUT/OUTPUT OPERATIONAL AMPLIFIER DESIGN**

**CİHAN ERZEN**

**Master of Science, Department of Electrical and Electronics  
Engineering**

**Supervisor: Prof. Dr. Ali Ziya ALKAR**

**February 2019, 70 pages**

Operational amplifier is a main integrated circuit which has critical importance for the design of analog circuits in many areas such as electronics, communications, optics, medical etc. It is needed in many applications such as analog to digital conversion or vice versa, differentiation and integration, addition and subtraction, active filter, comparator and so on. The principle work of this integrated circuit is to amplify the difference of signals applied to its inputs. Speed, accuracy, and voltage range of this conversion vary according to characteristic features of the operational amplifier. Hence, it is necessary that circuit blocks forming the operational amplifier should be designed according to the needed characteristic properties.

In addition, the importance of portable, low power, efficient and fast electronic circuits has increased with the progress of technology. From past to present, CMOS technology is widely used to make high performance integrated circuit designs. Thus, custom solutions for particular requirements can be developed.

In this thesis work, an operational amplifier which has high gain, rail-to-rail input and output is designed for battery-powered and having wide input / output voltage range



applications. The most important feature of the designed operational amplifier is that amplifying operation remains constant during the input common mode voltage range. Its characteristic properties such as gain, bandwidth, phase margin, and slew rate are not heavily affected from input voltage variations. Moreover, a self-compensated circuit for the operational amplifier to work stable, and self-biased voltage and current sources to decrease power consumption are designed. In order to avoid any stabilization problems, simple electronic circuits have been utilized. Simulations of the designed operational amplifier are done and its operating performance on the required applications is examined. Besides, the proposed design is compared to various examples in the literature. The developed design with CMOS technology having small channel length occupies less space than similar designs. Also, a design was developed for low-voltage / high performance portable devices, which will allow them to both fulfill their low current and voltage amplifying functions and to ensure their operation within a wide voltage range.

By means of the design which utilized 130 nm CMOS technology and 1.5 V single-sourced supply voltage, following results were obtained: gain over 100 dB; input common mode voltage range between 0.05 V and 1.45 V; output swing between 0.05 V and 1.45 V; bandwidth higher than 10 MHz; phase margin larger than 45°; 4.2 V /  $\mu$ s slew rate; more than 80 dB CMRR and PSRR; power consumption lower than 1 mW.

**Keywords:** Operational amplifier, rail-to-rail, CMOS, high gain, electronics.

## TEŐEKKÜR

Lisansüstü eğitimim boyunca engin bilgi ve tecrübelerinden yararlandığım, sadece bilimsel anlamda değil sahip olduğu eşsiz bilgisiyle hayatıma yön veren, desteğini benden esirgemeyerek her zaman yanımda olduğunu hissettiren değerli hocam Sayın Prof. Dr. Ali Ziya ALKAR' a, tez çalışmama önemli yorum ve değerlendirmeleri ile katkıda bulunan Sayın Dr. Dinçer Gökçen' e,

Hayatım boyunca her koşulda bana destek veren ve sabır gösteren, önceliklerini her zaman benim önceliklerime göre değiştiren ve bunun karşılığını hiçbir zaman tam olarak ödeyemeyeceğim, bugünlere gelmemde en büyük katkıları olan, bu hayatta hiçbir şeye asla değişmeyeceğim canım aileme,

Sonsuz Teşekkürler...

Cihan ERZEN

Şubat 2019, Ankara

# İÇİNDEKİLER

ÖZET.....	i
ABSTRACT .....	iii
TEŞEKKÜR.....	v
İÇİNDEKİLER.....	vi
ÇİZELGELER.....	viii
ŞEKİLLER.....	ix
SİMGELER VE KISALTMALAR .....	xi
1. GİRİŞ .....	1
1.1. Tarihçe.....	1
1.2. Literatür Özeti .....	2
1.3. Tezin Kapsamı ve Organizasyonu .....	3
2. İŞLEMSEL YÜKSELTEÇ TASARIMININ TEMELLERİ .....	4
2.1. İşlemsel Yükseltecin Yapısı ve Karakteristiği.....	4
2.1.1. DC Kazanç .....	5
2.1.2. Bant Genişliği .....	6
2.1.3. Faz Payı .....	6
2.1.4. Giriş Ortak-Mod Gerilim Aralığı .....	6
2.1.5. Yetiştirme Hızı .....	7
2.1.6. Çıkış Salınımı .....	7
2.1.7. Ortak-Mod Bastırma Oranı .....	8
2.1.8. Güç Kaynağı Bastırma Oranı .....	8
2.1.9. Sapma Gerilimi.....	8
2.1.10. Güç Tüketimi .....	9
2.2. Yarı İletken Teknolojileri.....	9
2.3. MOSFET Transistörler ve Çalışma Prensipleri .....	10
2.4. İşlemsel Yükselteç Tasarım Aşamaları .....	12
2.4.1. Akım Aynası .....	15
2.4.2. Giriş Katı.....	19
2.4.3. İkinci Kat.....	27
2.4.4. Çıkış Katı.....	29
2.4.5. Kompanzasyon Devresi .....	32

3. YÜKSEK KAZANÇLI, BESLEMELERİ KAPSAYAN GİRİŞ/ÇIKIŞ ÖZELLİKLİ İŞLEMSEL YÜKSELTEÇ TASARIMI .....	36
3.1. Giriş .....	36
3.2. Giriş Katı .....	39
3.3. İkinci Kat .....	41
3.4. Çıkış Katı .....	42
3.5. Akım Aynaları .....	42
4. TASARLANAN İŞLEMSEL YÜKSELTEÇLE YAPILAN BENZETİMLER VE SONUÇLAR .....	46
4.1. Giriş .....	46
4.2. Devre Benzetim Çalışmaları .....	46
4.2.1. Frekans Analizi .....	46
4.2.2. Yetiştirme Hızı .....	48
4.2.3. Giriş Ortak-Mod Gerilim Aralığı .....	49
4.2.4. Çıkış Salınımı .....	51
4.2.5. Ortak-Mod Bastırma Oranı (CMRR) .....	52
4.2.6. Güç Kaynağı Bastırma Oranı (PSRR) .....	53
4.2.7. Sapma Gerilimi .....	54
4.2.8. Güç Tüketimi .....	55
4.3. Sonuçlar ve Uygulamalar .....	56
5. SONUÇLAR VE ÖNERİLER .....	61
KAYNAKLAR .....	63
EKLER .....	65

## ÇİZELGELER

Çizelge 2.1. Akım Aynası Devrelerinin Performans Özellikleri .....	19
Çizelge 2.2. Fark Yükselteç Devrelerinin Performans Özellikleri .....	27
Çizelge 2.3. Çıkış Katında Kullanılan Devrelerin Performans Özellikleri .....	32
Çizelge 3.1. Seçilen CMOS Teknolojisine Ait Parametreler .....	36
Çizelge 3.2. İşlemsel Yükseltecin Hedeflenen Karakteristik Özellikleri.....	37
Çizelge 3.3. Transistörlerin Genişlik / Uzunluk Değerleri.....	44
Çizelge 4.1. İşlemsel Yükseltecin Benzetimler Sonucu Elde Edilen Performans Özellikleri.....	56
Çizelge 4.2. İşlemsel Yükselteç Tasarımlarında Performans Karşılaştırması .....	57

## ŞEKİLLER

Şekil 2.1.	İdeal İşlemsel Yükselteç .....	4
Şekil 2.2.	İşlemsel Yükseltecin Yetiştirme Hızı Grafiği [3] .....	7
Şekil 2.3.	MOSFET Kanal Teknolojilerine Göre İlgili Parametreler [10].....	13
Şekil 2.4.	İşlemsel Yükseltecin Blok Şeması .....	15
Şekil 2.5.	Temel Akım Aynası Devreleri .....	16
Şekil 2.6.	Kaskot Akım Aynası Devresi .....	17
Şekil 2.7.	Wilson Akım Aynası Devresi .....	18
Şekil 2.8.	Temel Fark Yükselteç Devreleri. NMOS Girişli, PMOS Aktif Yüklü (Solda) ve PMOS Girişli, NMOS Aktif Yüklü (Sağda). .....	20
Şekil 2.9.	Temel Fark Yükselteç Eşdeğer Devre Modeli .....	21
Şekil 2.10.	Teleskopik Kaskot Fark Yükselteç Devresi.....	22
Şekil 2.11.	NMOS Girişli Katlanmış Kaskot Fark Yükselteç Devresi .....	24
Şekil 2.12.	PMOS Girişli Katlanmış Kaskot Fark Yükselteç Devresi .....	24
Şekil 2.13.	Beslemeleri Kapsayan Giriş Özellikli Fark Yükselteç Devresi .....	26
Şekil 2.14.	İt-Çek Tersleme Devresiyle Birlikte Kullanılan Fark Yükselteç Devresi .....	28
Şekil 2.15.	Katlanmış Kaskot Devre Yapısıyla Birlikte Kullanılan Fark Yükselteç Devresi .....	29
Şekil 2.16.	NMOS(Solda) ve PMOS(Sağda) Çıkışlı Ortak-Kaynaklı Yükselteç Devreleri. ....	30
Şekil 2.17.	İt-Çek Tersleme Devresi.....	31
Şekil 2.18.	Negatif Geri Bildirimli Sistemlerde Kazanç ve Faz Payı Grafikleri [10] .....	32
Şekil 2.19.	İşlemsel Yükseltecin Kapalı Döngü Kazanç Grafiği [10].....	33
Şekil 2.20.	Miller Kompanzasyon Blok Şeması [2] .....	33
Şekil 2.21.	Geliştirilmiş Miller Kompanzasyon Blok Şeması [2].....	34
Şekil 3.1.	Yüksek Kazançlı, Beslemeleri Kapsayan Giriş/Çıkış Özellikli İşlemsel Yükselteç Tasarımı.....	38
Şekil 3.2.	NMOS(Solda) veya PMOS(Sağda) Fark Yükselteç Aktifken Geçiş İletkenlik Değeri [6].....	40
Şekil 3.3.	NMOS ve PMOS Fark Yükselteç Devreleri Aktifken Geçiş İletkenlik Değeri [6].....	40
Şekil 4.1.	İşlemsel Yükseltecin Frekans Analizi için Benzetim Devresi .....	47
Şekil 4.2.	İşlemsel Yükseltecin Açık Çevrim Kazancı ve Faz Payı Grafiği - 1 ...	47
Şekil 4.3.	İşlemsel Yükseltecin Açık Çevrim Kazancı ve Faz Payı Grafiği - 2 ...	48
Şekil 4.4.	Gerilim Takip Edici Benzetim Devresi - 1 .....	49
Şekil 4.5.	İşlemsel Yükseltecin Yetiştirme Hızı Grafiği .....	49
Şekil 4.6.	Gerilim Takip Edici Benzetim Devresi - 2 .....	50
Şekil 4.7.	İşlemsel Yükseltecin Giriş Ortak-Mod Gerilim Aralığı .....	50
Şekil 4.8.	İki Kat Fark Yükselteç Benzetim Devresi.....	51
Şekil 4.9.	İşlemsel Yükseltecin Çıkış Salınım Aralığı .....	51

Şekil 4.10. İşlemsel Yükseltecin Ortak-Mod Kazancını Gösteren Benzetim Devresi .....	52
Şekil 4.11. İşlemsel Yükseltecin Ortak-Mod Kazanç Grafiği.....	53
Şekil 4.12. İşlemsel Yükseltecin Güç Kaynağı Bastırma Oranını Gösteren Benzetim Devresi .....	53
Şekil 4.13. İşlemsel Yükseltecin Güç Kaynağı Bastırma Oranı Grafiği .....	54
Şekil 4.14. İşlemsel Yükseltecin Sapma Gerilimini Gösteren Benzetim Devresi .	55
Şekil 4.15. İşlemsel Yükseltecin Sapma Gerilim Grafiği.....	55
Şekil 4.16. Bin Kat Kazançlı Enstrümantasyon Yükselteç Benzetim Devresi .....	60
Şekil 4.17. Enstrümantasyon Yükseltecin Çıkışında Görülen Sinyal Grafiği .....	60

## SİMGELER VE KISALTMALAR

### Simgeler

A	Amper
Å	Angström
V	Volt
W	Watt

### Kısaltmalar

AC	Alternative Current
BiCMOS	Bipolar and CMOS
BJT	Bipolar Junction Transistor
BW	Bandwidth
CMOS	Complementary Metal Oxide Semiconductor
CMRR	Common-Mode Rejection Ratio
dB	Decibel
DC	Direct Current
GB	Gain-Bandwidth
GBW	Gain-Bandwidth Product
MHz	Megahertz
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
µm	Mikrometre
nm	Nanometre
NMOS	N-Channel MOSFET
PMOS	P-Channel MOSFET
PSRR	Power Supply Rejection Ratio
SNR	Signal-to-Noise Ratio
SR	Slew Rate
TAC	Test Altındaki Cihaz
VLSI	Very Large Scale Integrated Circuits



# 1. GİRİŞ

## 1.1. Tarihçe

Elektronik endüstrisinde üretilen ilk başarılı tümdevre bir işlemsel yükselteçtir. 1960'lı yılların başında Robert J. Widler tarafından tasarlanmış ve Fairchild firması tarafından  $\mu A709$  koduyla piyasaya sürülmüştür [1]. Bu tümdevre uzun uğraşlar sonucu tasarlanırsa da var olan sorunları çözülmeyen üretilmiştir. Örneğin; tümdevrenin kompanzasyonu dışarıdan ayarlanabilmektedir ve çok hassas olduğu için ters bir durumda tümdevre kendi kendini bozabilmektedir. Bu yüzden, ortaya çıkarılan ilk tümdevre güvenilir olmadığı için mühendisler tarafından kullanılmamıştır. İlerleyen zamanlarda, tümdevre tasarımı kompanzasyonu içeriden ayarlanacak şekilde geliştirilmiş ve sonrasında ise tümdevrenin performansı ve kararlılığı iyileştirilmiştir. Bu sayede birçok firma tarafından farklı kodlarla üretilmesine olanak sağlanmıştır. Ayrıca herkes tarafından kolaylıkla kullanılabilir hale getirilmiştir.

Günümüzde işlemsel yükselteçler, analog ve sayısal devre tasarımlarında yaygın olarak kullanılan tümdevrelerden biridir. Farklı değerlerde kazanç, giriş/çıkış gerilimi, bant genişliği, yetiştirme hızı vb. özelliklere sahip oldukça geniş bir ürün ağı bulunmaktadır. Ayrıca, otomotiv, askeri, uzay ve medikal alanları için üretilen türleri de mevcuttur. Kullanılan uygulama alanları ise; gerilim kaynağı, akım kaynağı, karşılaştırıcı, osilatör, aktif filtre, hata yükseltme, analogdan sayısal veya sayısalan analoga dönüştürücü devreleri ve türev/integral alma, örnekleme/saklama, toplama/çıkarma gibi matematiksel işlemlerdir [2].

Buna ek olarak, teknolojinin ilerlemesiyle taşınabilir, düşük güçlü, verimli ve hızlı çalışan elektronik devrelere verilen önem artmıştır. Özellikle pille beslenen, taşınabilir cihazlarda çalışma geriliminin düşük ve güç kaybının minimum olması gerekmektedir. Bu yüzden, hem küçük boyutta hem de yüksek performansa sahip bir işlemsel yükselteç tasarımı yapabilmek için CMOS VLSI teknolojisi yaygın olarak kullanılmaktadır. İhtiyaca yönelik özel çözümler üretebilmek için farklı boyutlarda, değişken geçiş iletkenliği, kanal uzunluk modülasyonu ve çalışma gerilimine sahip CMOS teknolojileri tercih edilmektedir.

## 1.2. Literatür Özeti

Literatürde yapılmış olan çalışmaları incelediğimizde, bazı çalışmalarda işlemsel yükseltecin yüksek kazançlı olmasına dikkat edilirken bazılarında ise beslemeleri kapsayan giriş ve çıkış özelliğinde olması hedeflenmiştir. Ayrıca, işlemsel yükseltecin kararlı bir şekilde çalışması için de çeşitli kompanzasyon teknikleri üzerinde durulmuştur [2][3][4][5].

Araştırmalara göre işlemsel yükseltecin yüksek DC kazanç, bant genişliğine ve faz payına sahip olması için giriş tarafındaki devre tasarımının önemi büyüktür. İşlemsel yükseltecin girişine uygulanan ortak-mod gerilim aralığı boyunca, bahsedilen performans özelliklerinin sabit kalması için çeşitli tasarımlar üzerinde çalışmalar yapılmıştır.

Beslemeleri kapsayan giriş özelliği elde edebilmek için yaygın olarak n ve p kanallı fark yükselteç çifti kullanılmaktadır. Bu devre operasyonunda, pozitif beslemeye yakın gerilimlerde n kanal aktif, negatif beslemeye yakın gerilimlerde p kanal aktif ve orta seviye gerilimlerde ise her iki kanal aktiftir. İstenilen özelliği sağlamasına rağmen, her iki kanal aktifken devrenin geçiş iletkenlik ( $g_m$ ) değeri değiştiği için işlemsel yükseltecin karakteristik özellikleri sabit kalmaz. Bu sorunu çözmek için literatürde farklı teknikler kullanılarak  $g_m$  değerinin sabit tutulması sağlanmıştır. Ayrıca, hem düşük güçle çalışan hem de beslemeleri kapsayan giriş özelliği elde edebilmek için yaygın olarak fark yükselteç çiftine bağlı katlanmış-kaskot yükselteç devresi kullanılmaktadır [3][6].

Beslemeleri kapsayan çıkış özelliği elde edebilmek için yaygın olarak AB tipi yükselteçler kullanılmaktadır. Bu yükseltecin çalışma prensibi it-çek yükselteciyle aynıdır. Devre yapısında n ve p kanal transistör çifti bulunmaktadır. Çalışma operasyonunda, ortak girişlerine uygulanan pozitif besleme gerilimli sinyalde n kanal aktif ve negatif besleme gerilimli sinyalde ise p kanal aktif olur. Devrenin çektiği akım transistörlerin genişlik-uzunluk oranına göre değişkenlik gösterir. Yaygın olarak it-çek yükselteci gibi kullanılsa da farklı AB tipi yükselteçler de bulunmaktadır [3][7].

Özellikle optik haberleşme ve medikal alanındaki uygulamalarda düşük akım ve gerilimleri okuyabilmek için çeşitli işlemsel yükselteçler kullanılmaktadır. Yüksek performans ve hassasiyet gerektiren sistemler için hem yüksek kazançlı hem de yüksek bant genişliğine sahip bir işlemsel yükselteç tümdevresine ihtiyaç

duyulmaktadır. Her iki özelliđi de sađlayabilmek pek kolay olmamaktadır. Yüksek bant genişliđi elde edebilmek için kısa kanal boyutlu CMOS teknolojisi kullanılması gerekmektedir; buna karşın kazanç deđeri de ters orantılı olarak düşmektedir. Bu yüzden kazancı artırmak için de çeşitli devre tasarım tekniklerinden yararlanılmaktadır [8].

Bu tez çalışması kapsamında, düşük güçle çalışan ve yüksek performans gerektiren uygulamalar için önerilen devre tasarımları incelenmiş ve ihtiyaç duyulan karakteristik özelliklere yönelik bir işlemsel yükselteç tasarımı yapılmıştır. Kısa kanal boyutuna sahip 130 nm CMOS teknolojisi kullanılarak işlemsel yükseltecin yüksek kazançlı, beslemeleri kapsayan giriş ve çıkış (rail-to-rail) özelliđine sahip olması hedeflenmiştir. Bunun yanında, güç tüketiminin de yeterli seviyede düşük tutulması sađlanarak taşınabilir uygulamalar için kullanılabilir olması hedeflenmiştir.

### **1.3. Tezin Kapsamı ve Organizasyonu**

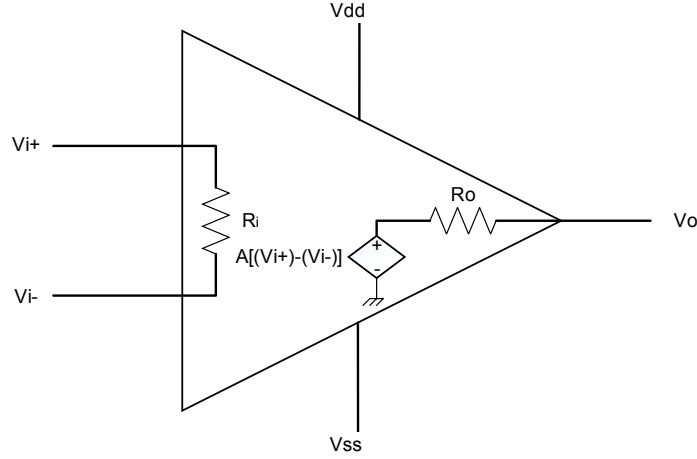
Tez çalışması kapsamında;

- 2. bölümde, işlemsel yükseltecin karakteristik özelliklerinden ve tasarım aşamalarından bahsedilecektir. İşlemsel yükselteci oluşturan her bir devre blođu detaylıca incelenecek ve istenilen karakteristik özelliklere yönelik tasarım için önerilerde bulunulacaktır.
- 3. bölümde, tezin kapsamı ve hedefleri doğrultusunda yapılan tasarım hakkında bilgi verilecektir. Hedeflenen özelliklere yönelik yapılan tasarımda bulunan her bir devre blođu hakkında detaylı bilgi verilecek ve devre analizleri kapsamında yapılan hesaplamalar da açıklanacaktır.
- 4. bölümde, tasarlanan işlemsel yükseltecin her bir karakteristik özelliđi için yapılan benzetimler ve sonuçları verilecektir. Ayrıca, hedeflenen özelliklere de başarılı bir şekilde ulaşıldıđı gösterilecek ve literatürdeki tasarımlara göre artılarından bahsedilecektir.
- 5. bölümde, tasarlanan işlemsel yükseltecin artıları ve eksileri hakkında bilgi verilecektir. Tasarımı sınırlayan ve üzerinde durulması gereken konular hakkında önerilerde bulunulacaktır. Ayrıca, tasarımı geliştirmek ve ürün çıkarmak adına ileride yapılabilecek çalışmalardan bahsedilecektir.
- Ekler kısmında, işlemsel yükseltecin devre tasarımı sırasında yapılan hesaplamaları ve tasarım kütüphanelerini içeren dosyalar verilecektir.

## 2. İŞLEMSEL YÜKSELTEÇ TASARIMININ TEMELLERİ

### 2.1. İşlemsel Yükseltecin Yapısı ve Karakteristiği

İşlemsel yükseltecin yapısında temel olarak, yüksek empedansa sahip eviren ve evirmeyen tipinde iki adet giriş, düşük empedansa sahip bir çıkış bulunur. Bu elektronik bileşenin temel görevi, girişlerine uygulanan sinyallerin farkını yükselterek çıkışa vermesidir. Çıkışta oluşacak gerilimin büyüklüğü işlemsel yükseltecin sahip olduğu açık çevrim kazancına göre değişmektedir. Bu kazanç değeri tipik olarak 50 dB - 60 dB arasındadır. Bu sayede, girişte oluşan milivolt seviyesindeki küçük gerilim değerleri yükseltılarak çıkışta besleme gerilimi değerine kadar ulaşabilmektedir. İdeal bir işlemsel yükseltecin modeli Şekil 2.1'de verilmiştir [3].



Şekil 2.1. İdeal İşlemsel Yükselteç

İdeal bir işlemsel yükselteç aşağıdaki özelliklere sahiptir:

- Sonsuz açık çevrim kazancı,  $A_{ol} = \infty$
- Sonsuz giriş empedansı,  $R_i = \infty$
- Sıfır çıkış empedansı,  $R_o = 0$
- Sıfır giriş akımı,
- Sıfır sapma gerilimi,  $V_{i+} = V_{i-}$
- Sonsuz yetişme hızı,  $SR = \infty$
- Sonsuz bant genişliği,  $BW = \infty$
- Sonsuz ortak-mod bastırma oranı,  $CMRR = \infty$
- Sonsuz güç kaynağı bastırma oranı,  $PSRR = \infty$

Gerçek hayatta, işlemsel yükseltecin karakteristik özelliklerini kullanılan yarı iletken teknoloji, tasarım ve üretim yöntemi gibi parametreler değiştirdiği için ideal özellikleri elde etmek mümkün olmamaktadır. Ayrıca, karakteristik özellikler arasında da doğru veya ters orantı vardır. Bazı özelliklerden iyi sonuç alabilmek için diğerlerini düşük seviyede tutmak gerekmektedir. Bu yüzden ihtiyaç duyulan özelliklere göre yapılacak tasarıma karar verilmekte ve ilgili hesaplamalar buna göre yapılmaktadır. İşlemsel yükseltecin sahip olduğu karakteristik özellikler ve performans değerlerini etkileyen parametreler aşağıda bölümler halinde verilmiştir.

### 2.1.1. DC Kazanç

İşlemsel yükseltecin sahip olduğu en önemli karakteristik özelliklerinden biridir. İşlemsel yükseltecin kapalı çevrim performansının iyi olması için yüksek DC kazanç değerine sahip olması gerekmektedir. İşlemsel yükseltecin DC kazanç değeri, giriş tarafındaki transistörlerin geçiş iletkenliği ( $g_m$ ) ile çıkış tarafındaki transistörlerin iletkenlik ( $g_o$ ) değerine bağlıdır. Bu iletkenlik değerleri (2.1) ve (2.2) numaralı formüllerle hesaplanmaktadır [9].

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_{DQ}} \quad (2.1)$$

$$g_o = \lambda \left( \frac{1}{2} \mu C_{ox} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \right) \quad (2.2)$$

(2.1) ve (2.2) numaralı formüllerde, kullanılan transistör modeline ait;

- $\mu$  : Hareketlilik katsayısı
- $C_{ox}$  : Kapı-oksit kapasitansı
- $W$  &  $L$  : Genişlik ve uzunluk değeri
- $I_{DQ}$  : Durağan akımı
- $\lambda$  : Kanal uzunluk modülasyonu
- $V_{GS}$  : Gate-source gerilimi
- $V_{DS}$  : Drain-source gerilimi
- $V_{TH}$  : Eşik gerilimi

parametreleri bulunmaktadır.

İşlemsel yükseltecin DC kazanç değeri tasarım parametreleriyle ayarlanmaya çalışılsa da,  $\mu$ ,  $C_{ox}$  ve  $\lambda$  gibi birçok üretim parametresine göre değişkenlik gösterdiği için tam olarak istenilen değeri elde etmek zordur.

### 2.1.2. Bant Genişliği

İşlemsel yükseltecin çalışma hızını belirleyen önemli karakteristik özelliklerden biridir. Kazanç - Bant Genişliği Çarpımı (GBW) değeri, (2.3) numaralı formülde belirtildiği gibi işlemsel yükseltecin DC kazancı ile bant genişliği değerinin çarpımı sonucu elde edilir.

$$GBW = DC \text{ Kazanç} \times \text{Bant Genişliği (Hz)} \quad (2.3)$$

İşlemsel yükseltecin GBW değeri, (2.1) numaralı formülde belirtilen ( $g_m$ ) değeri ile çıkışta sürülen kapasitif yüke ( $C_L$ ) bağlı olarak değişmektedir. Çok katlı devre yapılarında, işlemsel yükseltecin kararlı çalışabilmesi için çıkış katı ile bir önceki kat arasında kompanzasyon kapasitörü ( $C_c$ ) kullanılmaktadır. Bu kapasitörün değeri yüksek olduğunda GBW değeri düşmektedir. Bu yüzden, yüksek performanslı sayısal devrelerde yüksek bant genişliği elde edebilmek için  $C_c$  ve  $C_L$  parametrelerinin incelenmesi gerekmektedir.

### 2.1.3. Faz Payı

İşlemsel yükseltecin kapalı çevrim modunda çalışırken kararlılığını etkileyen bir özelliktir. Açık çevrim kazancının 0 dB olduğu frekanstaki faz payı değerinin 45°'den büyük olması işlemsel yükseltecin kararlı çalışması için gereklidir. Faz payı değeri, devrenin karakteristiğine göre ortaya çıkan baskın kutupların ayrışmasına bağlıdır. Yüksek DC kazanç elde edebilmek için baskın kutupların olabildiğince birbirinden uzak olması gerekmektedir. Bunu yapabilmek için de kompanzasyon kapasitörü ( $C_c$ ) kullanılmaktadır.

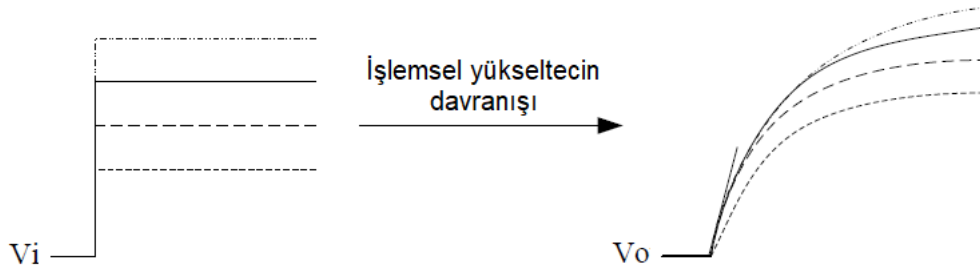
### 2.1.4. Giriş Ortak-Mod Gerilim Aralığı

İşlemsel yükseltecin performans değerlerinin sabit olduğu giriş gerilim aralığıdır. Özellikle düşük besleme gerilimli tasarımlarda, sinyal-gürültü oranı (SNR) değeri düştüğü için işlemsel yükseltecin giriş ortak-mod gerilim aralığı önem arz etmektedir. SNR değerini yükseltmek için beslemeleri kapsayan (rail-to-rail) giriş özelliğinde olan tasarımlara ihtiyaç duyulmaktadır. Bu tasarım yapılırken işlemsel yükseltecin her bir performans değerinin giriş ortak-mod gerilim aralığı boyunca sabit olması

gerekmektedir. Aksi takdirde, işlemsel yükselteç kararsız bir duruma girer ve DC kazanç, bant genişliği, faz payı vb. karakteristik özellikleri değişir. İlerleyen bölümlerde bu durumla ilgili çeşitli tasarım tekniklerinden bahsedilecektir.

### 2.1.5. Yetiştirme Hızı

İşlemsel yükseltecin çıkışında oluşan sinyalin değişme oranıdır. İşlemsel yükseltecin girişine yüksek genlikli kare dalga uygulandığında çıkıştaki yük kapasitörü maksimum akımla dolmaya başlar ve kapasitörün dolma hızına göre çıkıştaki değişim gözlemlenir. Şekil 2.2'de işlemsel yükseltecin davranışı gösterilmiştir [3].



Şekil 2.2. İşlemsel Yükseltecin Yetiştirme Hızı Grafiği [3]

Yetiştirme hızının değeri (2.4) numaralı formülle hesaplanmaktadır [3].

$$SR = \frac{I_{maks}}{C_C}, C_C > \left(\frac{2,2}{10}\right) C_L \quad (2.4)$$

İşlemsel yükseltecin yetiştirme hızı değeri, (2.4) numaralı formülde belirtilen;

- $I_{maks}$  : İşlemsel yükseltecin girişindeki devrenin çektiği toplam akım
- $C_L$  : İşlemsel yükseltecin çıkışındaki yük kapasitörü
- $C_C$  : Kompanzasyon kapasitörü

parametrelerine bağlıdır.

Ayrıca, işlemsel yükseltecin faz payı değerinin 45°'den büyük olması için, (2.4) numaralı formülde verilen yük kapasitörü ile kompanzasyon kapasitörü arasındaki eşitlik kullanılmaktadır [10].

### 2.1.6. Çıkış Salınımı

İşlemsel yükseltecin girişine uygulanan ortak-mod gerilim aralığında, bütün transistörler doyum bölgesinde çalışırken çıkışta oluşan gerilim aralığıdır.

Transistörlerin sürülme gerilimleri çıkış salınım aralığını sınırlandırmaktadır. Özellikle düşük besleme gerilimli tasarımlarda, SNR değerinin yüksek olması için beslemeleri kapsayan çıkış özelliğine ihtiyaç duyulmaktadır.

### 2.1.7. Ortak-Mod Bastırma Oranı

İşlemsel yükseltecin eviren ve evirmeyen girişlerinde kullanılan aynı özelliğe sahip transistörlerin, üretim yöntemine bağımlı olarak birbirleri arasındaki uyumsuzluk sonucu oluşan ortak-mod gerilimlerini yok etmeye yarayan bir özelliktir. Ortak-mod bastırma oranı (CMRR), (2.5) numaralı formülde belirtildiği gibi işlemsel yükseltecin diferansiyel kazancının ortak-mod kazancına oranı ile hesaplanır.

$$CMRR = \left| \frac{A_{DM}}{A_{CM}} \right|, \quad CMRR(dB) = 20 \log \left| \frac{A_{DM}}{A_{CM}} \right| \quad (2.5)$$

İşlemsel yükseltecin CMRR değerinin yüksek olması, çıkışta oluşan hata gerilimini azaltır. Bu yüzden, hassas çıkış gerilim aralığına ihtiyaç duyan uygulamalar için yüksek CMRR değerine sahip işlemsel yükselteçler tercih edilir.

### 2.1.8. Güç Kaynağı Bastırma Oranı

İşlemsel yükseltecin besleme gerilimi üzerinde farklı kaynaklardan gelen gürültü sebebiyle oluşan dalgalanmaları sönmülemeye yarayan bir özelliktir. Güç kaynağı bastırma oranı (PSRR), (2.6) numaralı formülde belirtildiği gibi besleme gerilimi üzerinde oluşan gürültü sinyalinin ( $V_n$ ) çıkışta oluşan gerilim değerine ( $V_o$ ) oranı ile hesaplanır.

$$PSRR = \frac{V_n}{V_o}, \quad PSRR(dB) = 20 \log \left( \frac{V_n}{V_o} \right) \quad (2.6)$$

Sayısal devreler gürültüye karşı hassas olduğu için yüksek PSRR değerine sahip işlemsel yükselteçlere bu alanda ihtiyaç duyulur.

### 2.1.9. Sapma Gerilimi

İşlemsel yükseltecin giriş tarafında kullanılan aynı özellikteki transistörlerin ve dirençlerin, üretim yöntemine bağımlı olarak birbirleri arasındaki uyumsuzluk sapma gerilimi oluşmasına neden olur. Bu gerilim değeri, devre tasarımına ve kullanılan teknolojiye göre mikrovolt ile milivolt arasında değişmektedir. İşlemsel yükseltecin DC kazancı yüksek olduğundan girişte oluşan küçük gerilim değerleri yükseltilerek çıkışta hata geriliminin oluşmasına sebep olur. Bu yüzden hassas gerilim değeri



okuyan uygulamalar için sapma gerilimi oldukça düşük olan işlemsel yükselteçler tercih edilmektedir.

### **2.1.10. Güç Tüketimi**

İşlemsel yükseltecin giriş tarafında bulunan devrenin öngerilimli akımı ve çıkış tarafındaki sürme akımı ne kadar düşük olursa güç tüketim değeri de az olur. Günümüz yarı iletken teknolojilerinde besleme gerilimleri oldukça düşük olan transistörler bulunmaktadır. Bu yüzden özellikle pille beslenen uygulamalar için düşük besleme gerilimleriyle kararlı bir şekilde çalışabilen, yüksek performanslı işlemsel yükselteçlere ihtiyaç duyulmaktadır. Tasarım yapılırken bu parametre de göz önünde bulundurularak teknoloji seçimi yapılmalı ve diğer karakteristik özellikler incelenmelidir.

Yukarıdaki özelliklere ek olarak, işlemsel yükselteç tasarımında kullanılan transistörlerin küçük de olsa giriş ve kaçak akımları vardır. Bu akım değerleri, kullanılan teknoloji ve üretim yöntemine bağlı olarak değişmektedir. Bu yüzden, işlemsel yükseltecin giriş akım değeri sıfır ve buna bağlı olarak giriş empedans değeri sonsuz olmamaktadır. Ayrıca, çıkış tarafında kullanılan devrelerin karakteristiğine göre küçük da olsa empedans oluşmaktadır. Bunu azaltmak için de, işlemsel yükseltecin negatif geri bildirim ile kullanılması gerekmektedir [3].

### **2.2. Yarı İletken Teknolojileri**

İşlemsel yükselteçler, düşük güç tüketimi, yüksek hız, yüksek bant genişliği vb. özelliklere ihtiyaç duyan uygulamalara göre maliyet de göz önünde bulundurularak Bipolar, CMOS ve BiCMOS gibi farklı teknolojiler kullanılarak tasarlanabilirler. Bu teknolojiler birbirleriyle karşılaştırıldığında, işlemsel yükselteçlerin ihtiyaç duyulan karakteristik özellikleri bakımından çeşitli avantajları ve dezavantajları vardır. Bipolar transistörlerin iletken yapıları arasındaki kontaklarda oluşan gürültü CMOS transistörlere göre daha azdır. Bu yüzden, işlemsel yükselteç, video yükselteç ve düşük gürültülü işlemsel yükselteç tasarımlarında bu teknoloji kullanılır. CMOS transistörler ise iletimdeyken daha düşük direnç değerine, daha az güç tüketimine ve hızlı açılıp kapanma özelliğine sahiptir. Ayrıca daha kompakt yapıda ve maliyeti düşük olduğundan dolayı düşük güçlü, yüksek hızlı ve hassas uygulamalarda kullanılacak işlemsel yükselteçler için Bipolar teknolojisi yerine CMOS tercih edilir. BiCMOS teknolojisinde ise hem Bipolar hem de CMOS transistörler kullanılır. Üretim

maliyeti diğer teknolojileri göre daha yüksektir. Özellikle yüksek kazanç, yüksek hıza ve yüksek bant genişliğine sahip olması istenen işlemsel yükselteçler için bu teknoloji tercih edilebilir. Bipolar transistör ile yüksek kazanç elde edilirken CMOS transistör ile yüksek hız ve yüksek bant genişliği elde edilmektedir [4].

Geçmişten bugüne,  $\mu\text{m}$  boyutlarından başlayıp nm boyutlarına kadar küçülen farklı türde CMOS teknolojileri üretilmiştir. Günümüzde ise, yüksek performanslı ve düşük güçte çalışan işlemsel yükselteçler için 1  $\mu\text{m}$ 'nin altında kanal boyutuna sahip CMOS teknolojileri tercih edilmektedir. En yaygın kullanılanlar ise, 3,3 V - 5 V arasındaki besleme gerilimlerinde çalışmaya olanak sağlayan 350 nm - 600 nm arasındaki CMOS teknolojileridir. CMOS teknolojisinin boyutu işlemsel yükseltecin açık çevrim kazancı, bant genişliği, güç tüketimi vb. karakteristik özelliklerini etkilediği için hedeflenen performans özelliklere göre uygun bir seçim yapılmalıdır [4].

### **2.3. MOSFET Transistörler ve Çalışma Prensipleri**

Düşük güçlü ve az maliyetli işlemsel yükselteç tasarımı yapabilmek için yaygın olarak CMOS teknolojisi kullanılmaktadır. Bu teknolojiye kullanılan anahtarlama elemanları ise Metal Oksit Yarıiletkenli Alan Etkili Transistör (MOSFET)'lerdir. Bu transistörlerin n kanallı (NMOS) ve p kanallı (PMOS) iki türü mevcuttur. Sürülme gerilimlerine göre çalışma operasyonları değişmektedir.

Bu bölümde, öncelikle MOSFET'lerin çalışma prensipleri ve operasyonel durumları hakkında bilgi verilecektir. Daha sonra, MOSFET transistörler kullanılarak işlemsel yükselteci oluşturan her bir devre bloğunun analizleri detaylı olarak incelenecek, kullanılan devrelerin artıları ve eksileri belirtilecek ve önerilen tasarımlar hakkında bilgi verilecektir.

MOSFET transistörler 4 terminalden oluşmaktadır: Kapı (G), Kanal (D), Kaynak (S) ve Tabaka (Substrate). N kanallı ve P kanallı MOSFET'lerin birbirlerine göre bazı farklılıkları vardır.

N kanallı MOSFET'lerde;

- Besleme kanal tarafından verilir ve akım kanaldan kaynağa doğru akar.
- P tipinde tabakaya sahip olduğundan dolayı bu terminal toprağa bağlanır.
- İletimde olması için kapı girişine pozitif gerilim uygulanmalıdır. ( $V_{GS} > 0$ )

P kanallı MOSFET'lerde;

- Besleme kaynak tarafından verilir ve akım kaynaktan kanala doğru akar.
- N tipinde tabakaya sahip olduğundan dolayı bu terminal beslemeye bağlanır.
- İletimde olması için kapı girişine negatif gerilim uygulanmalıdır. ( $V_{GS} < 0$ )

MOSFET transistörlerin 3 adet çalışma bölgesi vardır: Kesim bölgesi, aktif bölge ve doyum bölgesi. Transistörün kapı girişine uygulanan gerilim eşik geriliminden düşükse ( $V_{GS} < V_{TH}$ ), transistör kesim bölgesine girer ve kapalı durumda kalır. Aktif bölgede çalışırken ise, kapı girişine uygulanan gerilim eşik gerilimini aşmıştır; ancak kanal-kaynak gerilimi doyum bölgesine ulaşamamıştır ( $V_{GS} > V_{TH}$  &  $V_{DS} < V_{DSSat}$ ). Transistörün kanal akımı da kanal-kaynak arası gerilime ( $I_D = K[V_{DS}]^2$ ) bağlı olarak değişmektedir. Transistörün kanal-kaynak gerilimi doyum bölgesine ulaştığında ise ( $V_{DS} > V_{DSSat}$ ) kendisi de doyum bölgesinde çalışıyor demektir.

İşlemsel yükselteç tasarımında kullanılan MOSFET'ler genellikle doyum bölgesinde çalıştırılırlar. Böylece hem yüksek hız hem de DC kazancı arttıran yüksek geçiş iletkenliği elde edilebilir. Güçlü iletim bölgesinde çalışırken transistörün kanal akımı (2.7) numaralı formül ile hesaplanmaktadır.

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2.7)$$

(2.7) numaralı formülde hesaplanan kanal akımı, transistörün;

- $\mu$  : Hareketlilik katsayısı
- $C_{ox}$  : Kapı-oksit kapasitansı
- $\lambda$  : Kanal-uzunluk modülasyonu
- $W$  &  $L$  : Genişlik ve uzunluk
- $V_{GS}$  : Kapı-kaynak gerilimi
- $V_{DS}$  : Kanal-kaynak gerilimi
- $V_{TH}$  : Eşik gerilimi

parametrelerine bağlıdır.

Ayrıca, kanal akımına bağlı olarak değişen geçiş iletkenliği değeri de (2.8) numaralı formülle hesaplanmaktadır.

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (2.8)$$

Düşük güç harcayan tümdevre tasarımlarında ise, MOSFET'ler genellikle zayıf iletim bölgesinde çalıştırılırlar. Bu bölgedeyken MOSFET'lerin karakteristiği Bipolar transistörlerle benzerdir ve transistörün kanal akımı (2.9) numaralı formülle hesaplanmaktadır [4].

$$I_D = \gamma I_0 e^{\frac{V_{GS}}{V_T}} \quad (2.9)$$

(2.9) numaralı formülde hesaplanan kanal akımı, termal gerilim değerine ( $V_T$ ) ve üretim yöntemine göre değişen  $\gamma$  ve  $I_0$  parametrelerine bağlıdır.

Zayıf iletim bölgesindeyken kanal akımına bağlı olarak değişen geçiş iletkenliği değeri de (2.10) numaralı formül ile hesaplanmaktadır [4].

$$g_m = \gamma \frac{I_D}{V_T} \quad (2.10)$$

#### 2.4. İşlemsel Yükselteç Tasarım Aşamaları

İşlemsel yükselteç tasarımı yapılırken öncelikle kullanılacak olan yarı iletken teknolojisinin boyutuna karar verilmelidir. CMOS transistörler iki farklı yöntemle üretilirler: Uzun kanal ( $\mu\text{m}$  seviyesinde) ve kısa kanal (nm seviyesinde). Transistörlerin üretim yöntemine göre;

- Besleme ve eşik gerilimi ( $V_{DD}$  &  $V_{TH}$ )
- Kapı-oksit kalınlığı ( $t_{ox}$ )
- Kanal uzunluk modülasyonu ( $\lambda$ )
- Elektron hareketliliği ( $\mu$ )
- İletkenlik katsayısı (KP) vb.

birçok parametre değişkenlik göstermektedir. Tasarım aşamasında, tercih edilen teknolojiye ait transistör parametreleri kullanılarak hesaplamalar yapılmaktadır. Allen E. P.'nin [10] kitabından alınmış parametreler Şekil 2.3'te verilmiştir.

Long-channel MOSFET parameters used in this book. The $V_{DD} = 5\text{ V}$ and the scale factor is $1\ \mu\text{m}$ ( $scale = 1e-6$ )			
Parameter	NMOS	PMOS	Comments
$V_{THN}$ and $V_{THP}$	800 mV	900 mV	Typical
$KP_n$ and $KP_p$	$120\ \mu\text{A}/\text{V}^2$	$40\ \mu\text{A}/\text{V}^2$	$t_{ox} = 200\ \text{Å}$
$C'_{ox} = \epsilon_{ox}/t_{ox}$	$1.75\ \text{fF}/\mu\text{m}^2$	$1.75\ \text{fF}/\mu\text{m}^2$	$C_{ox} = C'_{ox}WL \cdot (scale)^2$
$\lambda_n$ and $\lambda_p$	$0.01\ \text{V}^{-1}$	$0.0125\ \text{V}^{-1}$	at $L = 2$
$\gamma_n$ and $\gamma_p$	$0.5\ \text{V}^{-1/2}$	$0.6\ \text{V}^{-1/2}$	Body factor

Short-channel MOSFET parameters used in this book. The $V_{DD} = 1\text{ V}$ and the scale factor is $50\ \text{nm}$ ( $scale = 50e-9$ )			
Parameter	NMOS	PMOS	Comments
$V_{THN}$ and $V_{THP}$	280 mV	280 mV	Typical
$t_{ox}$	14 Å	14 Å	See also Table 5.1
$C'_{ox} = \epsilon_{ox}/t_{ox}$	$25\ \text{fF}/\mu\text{m}^2$	$25\ \text{fF}/\mu\text{m}^2$	$C_{ox} = C'_{ox}WL \cdot (scale)^2$
$\lambda_n$ and $\lambda_p$	$0.6\ \text{V}^{-1}$	$0.3\ \text{V}^{-1}$	At $L = 2$
$I_{on,n}$ and $I_{on,p}$	$600\ \mu\text{A}/\mu\text{m}$	$300\ \mu\text{A}/\mu\text{m}$	On current
$I_{off,n}$ and $I_{off,p}$	$7.1\ \text{nA}/\mu\text{m}$	$10\ \text{nA}/\mu\text{m}$	Off current, see Fig. 14.2

Şekil 2.3. MOSFET Kanal Teknolojilerine Göre İlgili Parametreler [10]

Günümüzde düşük güç harcayan, yüksek performanslı tümdevrelere ihtiyaç olduğu için CMOS teknolojisinin boyutu oldukça küçülmüştür. Kısa kanal boyutu kullanarak hem küçük boyutlu hem de düşük besleme gerilimiyle çalışan işlemsel yükselteç tasarımı yapabilmek zordur. Kanal boyutunun küçülmesi işlemsel yükseltecin karakteristik özelliklerini hem olumlu hem de olumsuz yönde etkiler. (2.11) ve (2.12) numaralı formüllerde görüldüğü gibi, kullanılan teknoloji küçüldüğü zaman işlemsel yükseltecin bant genişliği artar; ancak açık çevrim kazancı azalır [5].

$$f_T \propto \frac{V_{EB}}{L} \quad (2.11)$$

$$g_m r_0 \propto \frac{L}{V_{EB}} \quad (2.12)$$

(2.11) ve (2.12) numaralı formüllerde hesaplanan transistörün geçiş frekansı ( $f_T$ ) ve açık çevrim kazancı ( $g_m r_0$ ) değerleri;

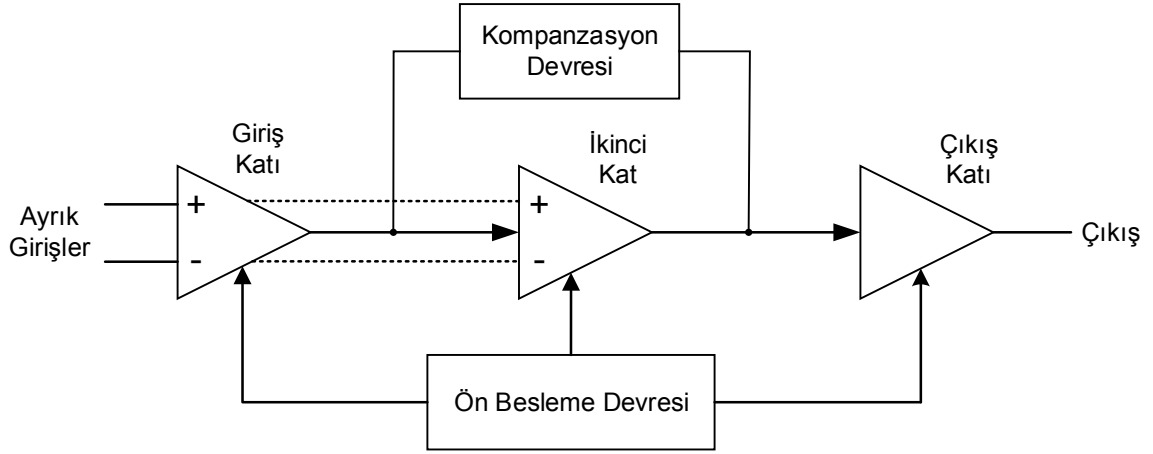
- $V_{EB}$  : Aşırı meyil gerilimi
- $L$  : Kanal uzunluğu
- $g_m$  : Geçiş iletkenliği
- $r_0$  : Çıkış empedansı

parametrelerine baęlı olarak deęişmektedir. Teknoloji boyutu seęilirken ihtiyaę duyulan performans özellikler göz önünde bulundurularak karar verilmelidir.

Şekil 2.4'te fonksiyonel blok şeması verilen işlemsel yükselteç temel olarak 3 ana bloktan oluşmaktadır [11]:

- **Giriş Katı:** İşlemsel yükseltecin yüksek kazançlı olmasını sağlayan fark yükseltici devresinin olduğu bloktur. İki katlı basit işlemsel yükselteçlerde, ayırık hattan tek hatta dönüştürme işlemi de giriş katında yapılmaktadır.
- **İkinci Kat:** Giriş katında oluşan gerilim deęişimlerine karşı dięer katların kararlı çalışmaya devam edebilmesi için genellikle sinyal seviyesini tersleme amaçlı kullanılmaktadır. Ayrıca, işlemsel yükseltecin açık çevrim kazancını arttırmak ve ayırık hattan tek hatta dönüştürmek için de bu katın kullanılması tercih edilmektedir.
- **Çıkış Katı:** İşlemsel yükseltecin hem düşük çıkış empedansına sahip olması hem de dirençli veya kapasitörlü yükleri sürebilmesi için bu kat kullanılmaktadır. Özellikle düşük besleme gerilimleriyle çalışan işlemsel yükselteç tasarımlarında güç kaybını azaltmak için tamponlu çıkış devrelerinden yararlanılmaktadır.

Ayrıca, işlemsel yükseltecin bahsedilen katlarında öngerilme akım ve gerilim ihtiyacını karşılamak için ön besleme devreleri kullanılmaktadır. Dışarıdan ve içeriden (kendinden) beslemeli olarak iki farklı türü mevcuttur. Düşük güç harcayan işlemsel yükselteç tasarımlarında özellikle kendinden beslemeli devreler tercih edilmektedir. Buna ek olarak, işlemsel yükseltecin negatif geri bildirim modunda çalışırken AC performansının kararlı olması için çeşitli kompanzasyon teknikleri uygulanmaktadır. Bu yüzden, iki katlı tasarımlarda girişle çıkış arasında, üç ve daha çok katlı tasarımlarda ise çıkışla bir önceki kat arasında kompanzasyon devreleri kullanılmaktadır [11].



Şekil 2.4. İşlemsel Yükseltecin Blok Şeması

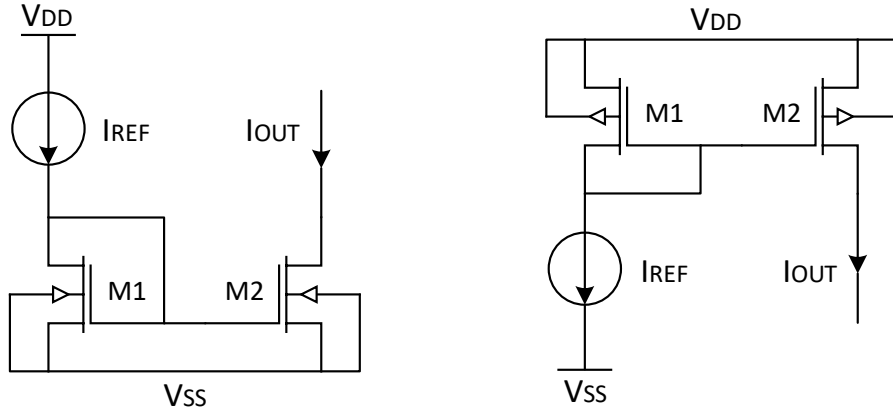
Genel amaçlı işlemsel yükselteç tasarımlarında kullanılan devrelerin analizleri ve bu devrelerin işlemsel yükseltecin karakteristik özellikleri üzerindeki etkileri ilerleyen bölümlerde detaylı olarak incelenecektir.

#### 2.4.1. Akım Aynası

İşlemsel yükseltecin her bir katında ihtiyaç duyulan öngerilme akım ve gerilim ihtiyacını karşılayan bir ön besleme devresidir. Güç beslemesinde veya sıcaklıkla oluşan değişimlere karşı dayanıklı bir devre performansına sahip olduğu için yaygın olarak kullanılır. İşlemsel yükselteçlerde akım aynası hem ön besleme hem de aktif yük amaçlı kullanılır. Yüksek dirençli aktif yük elemanı olarak kullanıldığı zaman işlemsel yükseltecin DC kazancını artırır. Ayrıca, direnç değerinin aktif yük ile ayarlanması tümdevre tasarımında yer açısından önemli bir alan kazandırır. Akım aynasının temel çalışma prensibine göre, kapı terminalleri birbirine bağlı MOSFET'lerin kapı-kaynak arası gerilimleri ( $V_{GS}$ ) eşitse, girişteki kanaldan geçen akım çıkıştaki kanala eşit olur. Bu durumu elde edebilmek için, kullanılan MOSFET'lerin tamamen aynı özelliklere sahip olması ve doyum bölgesinde çalışması gerekmektedir.

Akım aynasının en önemli özellikleri ise, çıkıştaki yük değişimine karşı yüksek direnç göstererek çıkış akımının ve girişteki sürülme gerilimlerine karşı düşük direnç göstererek giriş akımının sabit kalmasıdır. İşlemsel yükselteç tasarımlarında yaygın olarak kullanılan 3 tane akım aynası vardır: Temel akım aynası, kaskot akım aynası ve Wilson akım aynası [12].

İki ve üç katlı işlemsel yükselteç tasarımlarında, Şekil 2.5'te verilen NMOS ve PMOS transistörlerle yapılmış temel akım aynası devreleri kullanılmaktadır. M1 MOSFET'lerinin kanal ve kapı terminalleri birbirine bağlı olduğu için ( $V_{DG} = 0$ ) bu transistörler doyum bölgesinde çalışır. Böylece, (2.7) numaralı formülle hesaplanan transistörlerin kanal akımı sadece kapı-kaynak gerilimine ( $V_{GS}$ ) bağlı olarak değişir. M2 transistörleri ile M1 transistörlerinin kapı terminalleri birbirine bağlı olduğu için kapı-kaynak arası gerilimleri de birbirine eşittir ( $V_{GS1} = V_{GS2}$ ). Böylece, M1 ve M2 tamamen aynı genişlik ve uzunluk, eşik gerilimi, geçiş iletkenliği ( $\mu C_{ox}$ ) değerine sahipse, referans akımı ( $I_{REF}$ ) çıkış akımına ( $I_{OUT}$ ) eşit olur.



Şekil 2.5. Temel Akım Aynası Devreleri

Ayrıca, temel akım aynasının çıkış direnç değeri de (2.13) numaralı formülde belirtildiği gibi transistörün kanal uzunluk modülasyonu ve kanal akımına bağlı olarak değişmektedir. Yüksek çıkış direnç değeri elde etmek için transistörün kanal boyutu büyütülerek kanal uzunluk modülasyonunun etkisi azaltılmalıdır ya da çıkış akımı düşürülmelidir.

$$r_o = r_{ds,M2} = \frac{1}{\lambda I_{M2}} \quad (2.13)$$

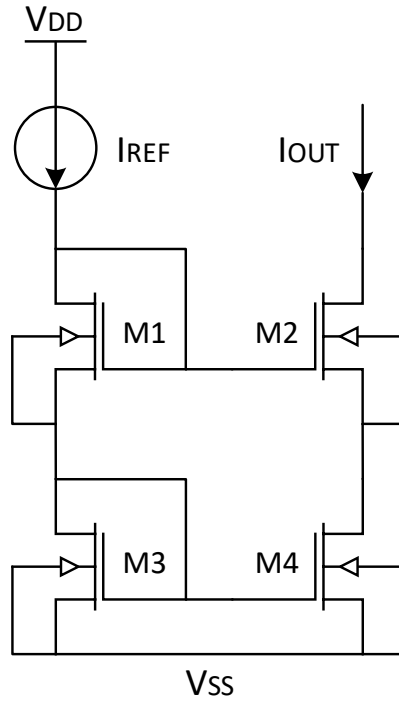
Temel akım aynasına göre daha yüksek çıkış direnç değeri elde etmek için kaskot akım aynası kullanılır. Çıkış direncinin yüksek olması yük değişimlerine karşı çıkış akımının sabit kalmasını sağlar. Kaskot akım aynasının dezavantajı ise, çıkış tarafındaki transistörlerin doyum bölgesinde çalışabilmesi için gereken minimum sürme gerilim değerinin yüksek olmasıdır. Şekil 2.6'da verilen kaskot akım aynası devresinde, referans akımının çıkış akımına eşit olması için ( $I_{REF} = I_{OUT}$ ) M1 ile M3



ve M2 ile M4 transistörlerinin aynı özellikte olması gerekmektedir. Bu durumda, M3 ve M4 transistörlerinin kapı-kaynak gerilimleri birbirine eşit olduğu için ( $V_{GS3} = V_{GS4}$ ) kanal gerilimleri de eşit olur ( $V_{D3} = V_{D4}$ ). Ayrıca bütün transistörler de aynı eşik gerilimine sahip olur. Sonuç olarak, çıkış tarafındaki transistörlerin doyum bölgesinde çalışıp akımın kopyalanması için  $V_{G2}$  üzerinde oluşması gereken gerilim değeri (2.14) numaralı eşitlikte verilmiştir.

$$V_{G1} = V_{G2} \Rightarrow V_{GS1} + V_{D3} = V_{GS2} + V_{D4}$$

$$V_{D3} = V_{D4} = V_{GS1} = V_{GS2} = V_{GS} \Rightarrow V_{G2} = 2V_{GS} = 2V_{DS,sat} + 2V_{TH} \quad (2.14)$$



Şekil 2.6. Kaskot Akım Aynası Devresi

Ayrıca, kaskot akım aynasının çıkış direnç değeri de (2.15) numaralı formülde belirtildiği gibi çıkıştaki transistörlerin geçiş iletkenliği ve direnç değerine bağlıdır.

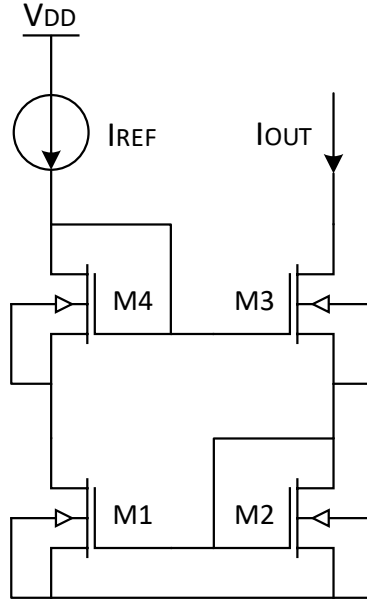
$$r_o = r_{o2}(1 + g_{m2}r_{o4}) + r_{o4} \quad (2.15)$$

Temel akım aynasına göre avantajı, kanal uzunluk modülasyonu etkisinden kurtularak yüksek çıkış direnç değeri elde edilmesidir. Dezavantajı ise, yüksek sürülme gerilimlerine ihtiyaç duyduğu için güç tüketiminin fazla olmasıdır.

Kaskot akım aynasına göre daha kararlı bir çıkış akımı ve yüksek çıkış direnç değeri elde etmek için Wilson akım aynası kullanılır. Şekil 2.7’de verilen Wilson akım aynası devresinde, referans akımının ( $I_{REF}$ ) çıkış akımına ( $I_{OUT}$ ) eşit olması için ( $I_{REF} = I_{OUT}$ ) M1 ile M2 ve M3 ile M4 transistörlerinin aynı özellikte olması gerekmektedir. Bu durumda, M1 ve M2 transistörlerine ait kanal gerilimlerinin eşit olduğu (2.16) numaralı eşitlikte gösterilmiştir. Çıkış tarafındaki transistörlerin doyum bölgesinde çalışması için  $V_{G3}$  üzerinde oluşması gereken gerilim değeri de kaskot akım aynasıyla aynıdır ( $2V_{GS} + 2V_{TH}$ ).

$$V_{DS1} = V_{GS3} + V_{DS2} - V_{GS4}$$

$$V_{GS3} = V_{GS4} \Rightarrow V_{DS1} = V_{DS2} \quad (2.16)$$



Şekil 2.7. Wilson Akım Aynası Devresi

Ayrıca, (2.17) numaralı formülde belirtildiği gibi, kaskot akım aynasına göre daha yüksek çıkış direnç değerine sahiptir [13].

$$r_o = r_{ds3} \frac{g_{m3}}{g_{m2}} g_{m1} V_{G2} r_T' \frac{R_L g_{m4}}{1 + R_L g_{m4}} \quad r_T' = r_{ds2} || (R_L + 1/g_{m4}) \quad (2.17)$$

Temel ve kaskot akım aynalarına göre daha yüksek çıkış direnç değerine ve geri bildirimli yapısı sayesinde daha kararlı bir çıkış akımına sahip olmasından dolayı verimi yüksek olan bir akım aynasıdır. Bunun aksine, yüksek sürülme gerilimlerine

ihtiyaç duyduğu için düşük besleme gerilimli işlemsel yükselteç tasarımlarında tek başına kullanılması tavsiye edilmez.

Yukarıda detaylı olarak bahsedilen üç farklı akım aynası devresinin performans özellikleri Çizelge 2.1’de karşılaştırılmıştır. Elde edilen sonuçlara göre, düşük güçlü işlemsel yükselteç tasarımlarında ön besleme devresi için temel akım aynasının kullanılması gerekmektedir.

Çizelge 2.1. Akım Aynası Devrelerinin Performans Özellikleri

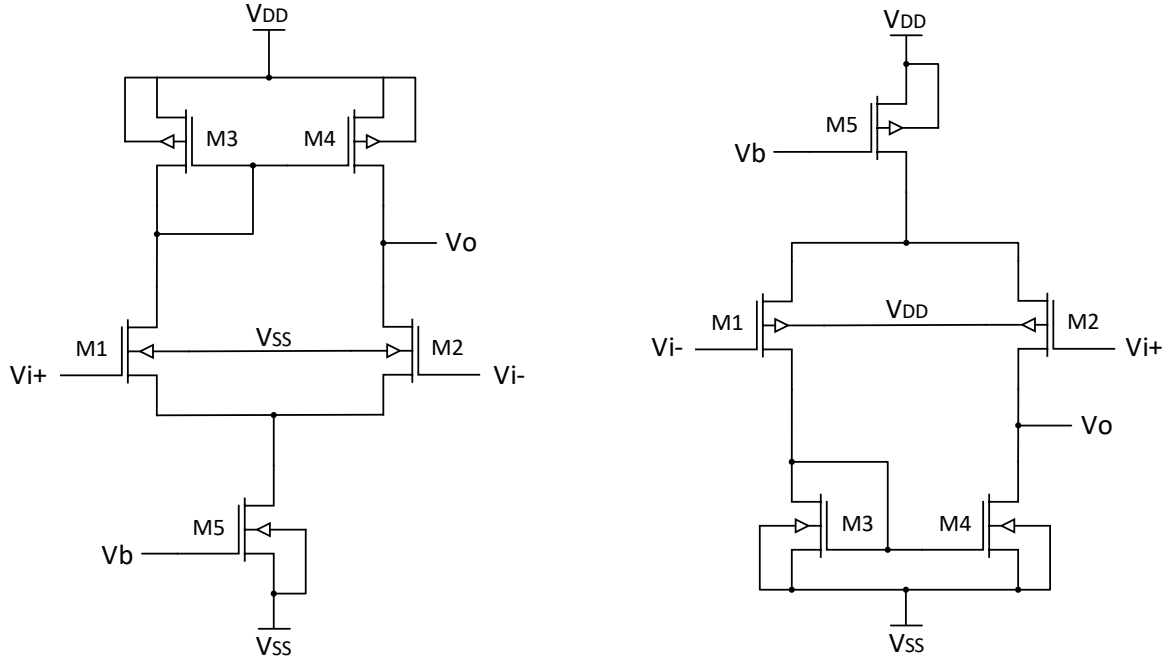
	<b>Çıkış Direnci</b>	<b>Kazanca Etkisi</b>	<b>Sürülme Gerilimi</b>	<b>Güç Tüketimi</b>
Temel Akım Aynası	Düşük	Düşük	Düşük	Düşük
Kaskot Akım Aynası	Yüksek	Yüksek	Yüksek	Yüksek
Wilson Akım Aynası	Yüksek	Yüksek	Yüksek	Yüksek

#### 2.4.2. Giriş Katı

İşlemsel yükselteç tasarımında dikkat edilmesi gereken en önemli bölümlerden biridir. Giriş katında tasarlanan fark yükselteç devresiyle, işlemsel yükseltecin yüksek DC kazanca, yüksek giriş empedansına, geniş giriş ortak-mod gerilim aralığına, düşük sapma gerilimi ve gürültü değerine, yüksek CMRR ve PSRR değerine sahip olması hedeflenir. Fark yükselteç devresi, yapısı gereği ayrık sinyallerle çalıştığı için yüksek açık çevrim kazancı ve düşük ortak-mod kazancı elde edilmesine olanak sağlamaktadır. Böylece, CMRR ve PSRR değeri de yüksek olmaktadır. Giriş katında yaygın olarak temel fark yükselteç, teleskopik kaskot ve katlanmış kaskot yükselteç devre yapıları kullanılmaktadır. Tasarım gereksinimlerine göre kullanılacak olan devre yapısına karar verilmelidir.

İki katlı basit işlemsel yükselteç tasarımlarında Şekil 2.8’de verilen NMOS girişli, PMOS aktif yüklü veya PMOS girişli, NMOS aktif yüklü temel fark yükselteç devreleri kullanılmaktadır. Kullanılan aktif yükler akım aynası yapısında olduğu için, hem fark yükselteç devrelerinin ihtiyaç duyduğu öngerilme akım ve gerilim ihtiyacı karşılanmakta hem de girişe uygulanan ayrık hatlı sinyaller çıkışta tek hatlı sinyale dönüştürülmektedir. Ayrıca, fark yükseltecinin her iki kolundan geçmesi istenen

toplam öngerilme akımının ayarlanması için ön besleme devresiyle sürülen, NMOS girişli fark yükselticilerde NMOS, PMOS girişli olanlarda ise PMOS transistörler (M5) kullanılmaktadır.



Şekil 2.8. Temel Fark Yükselteç Devreleri. NMOS Girişli, PMOS Aktif Yüklü (Solda) ve PMOS Girişli, NMOS Aktif Yüklü (Sağda).

Şekil 2.8’de verilen fark yükselteç devrelerinin doğru bir şekilde çalışması için, giriş tarafında bulunan  $M1$  ve  $M2$  transistörleri ile devrenin iletimde kalmasını sağlayan  $M5$  transistörünün doyum bölgesinde çalışması gerekmektedir. Bu koşulu sağlamak için NMOS girişli, PMOS aktif yüklü ve PMOS girişli, NMOS aktif yüklü fark yükselteç devrelerinin ihtiyaç duyduğu giriş ortak-mod gerilim aralıkları sırayla (2.18) ve (2.19) numaralı eşitliklerde verilmiştir.

$$V_{SS} + V_{DS,SATM5} + V_{DS,SATM1} + |V_{TH,N}| \leq V_{ICM} \leq V_{DD} - V_{DS,SATM3} - |V_{TH,P}| + |V_{TH,N}| \quad (2.18)$$

$$V_{SS} + V_{DS,SATM4} - |V_{TH,P}| \leq V_{ICM} \leq V_{DD} - V_{DS,SATM5} - V_{DS,SATM2} - |V_{TH,P}| \quad (2.19)$$

(2.18) ve (2.19) numaralı eşitliklerde;

- $V_{ICM}$  : Giriş ortak-mod gerilimi aralığı
- $V_{DS,SAT}$  : Doyum bölgesindeyken kanal-kaynak arası gerilim

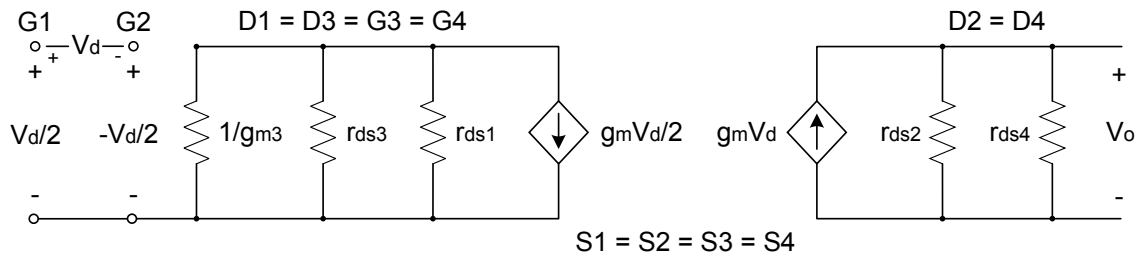
parametrelerini ifade etmektedir.

Uzun kanal boyutu kullanılarak  $V_{TH,N} = 0,8 \text{ V}$ ,  $V_{TH,P} = 0,9 \text{ V}$ ,  $V_{DS,SAT} = 0,2 \text{ V}$  ve besleme gerilimi de  $V_{DD} = 5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$  olarak alınır; (2.18) numaralı eşitliğe göre giriş ortak-mod gerilim değeri  $1,2 \text{ V} \leq V_{ICM} \leq 4,7 \text{ V}$  aralığında olmaktadır. (2.19) numaralı eşitlikte ise,  $-0,7 \text{ V} \leq V_{ICM} \leq 3,7 \text{ V}$  aralığında  $V_{ICM}$  değeri elde edilmektedir. Böylece, besleme geriliminin en fazla %70'i kadar  $V_{ICM}$  değeri sağlanabilmektedir. Eğer besleme gerilimi 2,5 V'ye kadar düşürülürse,  $V_{ICM}$  değerleri sırasıyla;

- NMOS girişli, PMOS aktif yüklü fark yükseltici için:  $1,2 \text{ V} \leq V_{ICM} \leq 2,2 \text{ V}$
- PMOS girişli, NMOS aktif yüklü fark yükseltici için:  $-0,7 \text{ V} \leq V_{ICM} \leq 1,2 \text{ V}$

olmaktadır. Sonuç olarak, besleme geriliminin en fazla %40'ı kadar  $V_{ICM}$  aralığı elde edilmektedir. Besleme gerilimi düştükçe  $V_{ICM}$  aralığı düşmeye devam edecektir ve devrenin SNR değeri de düşeceğinden gürültüye karşı hassasiyeti artmış olacaktır. Bu yüzden, düşük besleme gerilimli işlemsel yükselteç tasarımları için temel fark yükseltici devrelerini kullanmak uygun değildir.

Buna ek olarak, giriş katında sadece temel fark yükselteç devresi kullanılırsa düşük açık çevrim kazancı elde edilmektedir. Fark yükselteç devresinin girişlerine,  $V_{i+} = \frac{V_d}{2}$  &  $V_{i-} = -\frac{V_d}{2}$  gerilimleri uygulanıp devrenin AC analizi yapıldığında, Şekil 2.9'da verilen eşdeğer devre modeli elde edilmektedir [10][14].

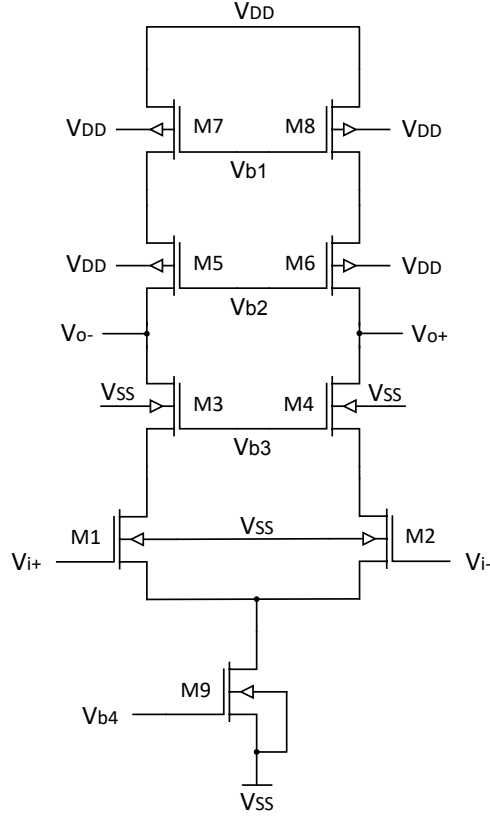


Şekil 2.9. Temel Fark Yükselteç Eşdeğer Devre Modeli

M1 ve M2 ile M3 ve M4 transistörleri tamamen aynı özelliğe sahip olmalıdır. Böylece,  $g_{m1} = g_{m2} = g_m$  olarak kabul edilebilir. Eşdeğer devre modeline göre elde edilen kazanç değeri (2.20) numaralı eşitlikte verilmiştir. Elde edilen kazanç sadece M2 ve M4 transistörlerinin geçiş iletkenliği ve çıkış empedans değerine göre değiştiği için sınırlıdır. Genellikle 20 dB - 30 dB arasında bir değer elde edilmektedir.

$$V_o = (g_m V_d)(r_{ds2} || r_{ds4}) \Rightarrow A_d = \frac{V_o}{V_d} = g_m(r_{ds2} || r_{ds4}) \quad (2.20)$$

Giriş katında daha yüksek açık çevrim kazancı elde edebilmek için, Şekil 2.10'da verilen teleskopik kaskot devre yapısına sahip fark yükselteç kullanılmaktadır.



Şekil 2.10. Teleskopik Kaskot Fark Yükselteç Devresi

Temel fark yükselteç devresiyle karşılaştırıldığında, kaskot devresinin giriş ortak-mod gerilim aralığı daha dardır. Çünkü seri transistör sayısı fazladır ve bu transistörler doyum bölgesinde çalışırken her birinden kanal-kaynak arası ( $V_{DS,SAT}$ ) gerilim düşümü olur. Bunun sonucunda, devrenin güç kaybı da artmış olur. (2.21) numaralı eşitlikte, devredeki bütün transistörlerin doyum bölgesinde çalışması için gerekli  $V_{ICM}$  aralığı ve ön besleme gerilimleri ( $V_{b1}$ ,  $V_{b2}$ ,  $V_{b3}$ ) verilmiştir.

$$V_{SS} + V_{DS,SATM9} + V_{DS,SATM1} + |V_{TH,N}| \leq V_{ICM} \leq V_{DD} - V_{DS,SATM7} - V_{DS,SATM5} - V_{DS,SATM3} + |V_{TH,N}|$$

$$V_{b3} = V_{gs3} + V_{DS,SATM1} + V_{DS,SATM9}$$

$$V_{b2} = V_{gs5} + V_{DS,SATM3} + V_{DS,SATM1} + V_{DS,SATM9}$$

$$V_{b1} = V_{gs7} + V_{DS,SATM5} + V_{DS,SATM3} + V_{DS,SATM1} + V_{DS,SATM9} \quad (2.21)$$

Ayrıca, devrenin çıkış salınım değeri de (2.22) numaralı eşitlikte verilmiştir.

$$\text{Çıkış Salınımı} = 2(V_{DD} - V_{DS,SATM7} - V_{DS,SATM5} - V_{DS,SATM3} - V_{DS,SATM1} - V_{DS,SATM9}) \quad (2.22)$$

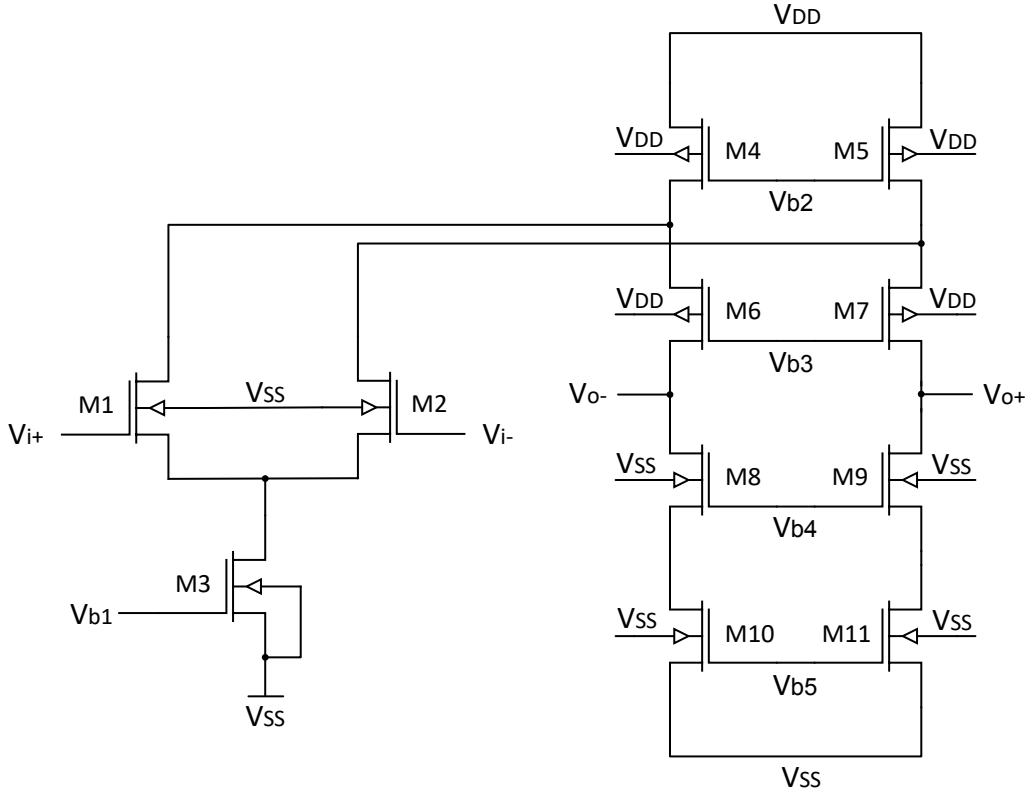
(2.21) ve (2.22) numaralı eşitliklerde görüldüğü gibi düşük besleme gerilimli işlemsel yükselteç tasarımları için teleskopik kaskot devre yapısını kullanmak uygun değildir.

Buna ek olarak, kaskot yapısı sayesinde çıkış empedansı artırılarak yüksek açık çevrim kazancı elde edilmektedir. Bu kazanç değeri (2.23) numaralı formülle hesaplanmaktadır [3]. M1 ve M2 transistörleri tamamen aynı özelliklere sahip olursa  $g_{m1} = g_{m2} = g_m$  olarak alınabilir.

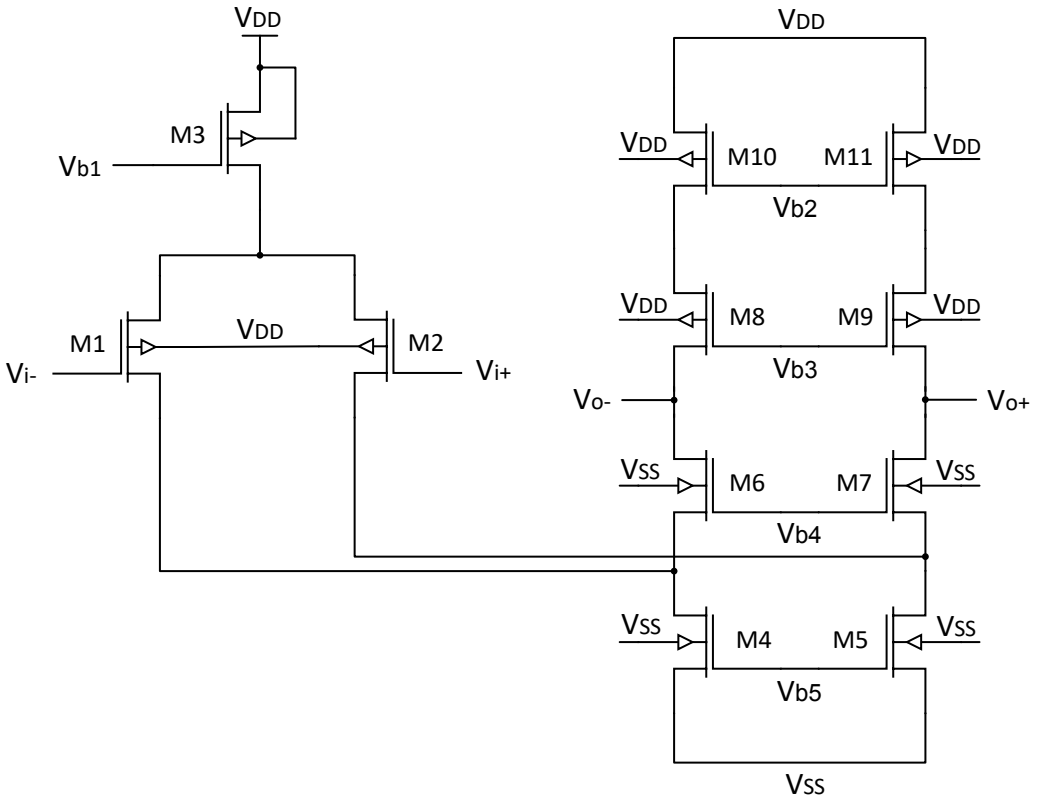
$$A_d = g_m R_o = g_m [(g_{m3} r_{o3} r_{o1}) || (g_{m5} r_{o5} r_{o7})] \quad (2.23)$$

Giriş katında teleskopik kaskot fark yükselteç devresi kullanıldığında, yüksek kazanç ve çıkış salınım değeri elde edebilmek için kullanılan transistörlerin boyutları büyütülmelidir. Böylece, (2.7) ve (2.8) numaralı formüllerde belirtildiği gibi transistörlerin geçiş iletkenlik değeri artar ve doyum bölgesindeki kapı-kaynak gerilimleri düşer. Ayrıca, çıkış empedans değeri artırılarak da daha az güç kaybıyla yüksek kazanç değeri elde etmek mümkündür. Bunun için (2.13) numaralı formülde belirtildiği gibi öngerilme akım değeri düşürülmelidir.

Temel fark yükselteç ve teleskopik kaskot devrelerine göre daha geniş giriş ortak-mod gerilim aralığı ve çıkış salınımı elde edebilmek için genellikle katlanmış kaskot fark yükselteç devre yapısı tercih edilmektedir. Şekil 2.11 ve Şekil 2.12'de NMOS veya PMOS girişli olarak kullanılan iki farklı katlanmış kaskot fark yükselteç devresi verilmiştir.



Şekil 2.11. NMOS Girişli Katlanmış Kaskot Fark Yükselteç Devresi



Şekil 2.12. PMOS Girişli Katlanmış Kaskot Fark Yükselteç Devresi



Teleskopik kaskot fark yükselteç devresiyle karşılaştırıldığında, giriş tarafında birbirine seri olan transistör sayısı daha az olduğu için gerilim düşümü de az olmaktadır. Böylece NMOS girişli olan devrenin giriş ortak-mod gerilim aralığı  $V_{DD}$  değerine yaklaşırken, PMOS girişli olanın ise  $V_{SS}$  değerine ulaşmaktadır. NMOS ve PMOS girişli devrede bütün transistörlerin doyum bölgesinde çalışması için gerekli olan giriş ortak-mod gerilim aralıkları sırayla (2.24) ve (2.25) numaralı eşitliklerde verilmiştir.

$$V_{SS} + V_{DS,SATM3} + V_{DS,SATM1} + |V_{TH,N}| \leq V_{ICM} \leq V_{DD} - V_{DS,SATM4} + |V_{TH,N}| \quad (2.24)$$

$$V_{SS} + V_{DS,SATM4} - |V_{TH,P}| \leq V_{DD} - V_{DS,SATM3} - V_{DS,SATM1} - |V_{TH,P}| \quad (2.25)$$

Uzun kanal boyutu kullanılarak  $V_{TH,N} = 0,8 \text{ V}$ ,  $V_{TH,P} = 0,9 \text{ V}$ ,  $V_{DS,SAT} = 0,2 \text{ V}$  ve besleme gerilimi de  $V_{DD} = 2,5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$  olarak alınırsa;

- NMOS girişli katlı kaskot fark yükseltici devresi için:  $1,2 \text{ V} \leq V_{ICM} \leq 3,1 \text{ V}$
- PMOS girişli katlı kaskot fark yükseltici devresi için:  $-0,7 \text{ V} \leq V_{ICM} \leq 1,2 \text{ V}$

değerlerine ulaşılmaktadır. Sonuç olarak, besleme geriliminin en fazla %80'i kadar  $V_{ICM}$  aralığı elde edilmektedir ve her iki devrede de besleme uçlarına yakın gerilim değerleri görülebilmektedir. Buna ek olarak, çıkış salınım değeri de (2.26) numaralı eşitlikte verilmiştir.

$$\text{Çıkış Salınımı} = 2[V_{DD} - V_{DS,SATM4} - V_{DS,SATM6} - V_{DS,SATM8} - V_{DS,SATM10}] \quad (2.26)$$

(2.26) numaralı eşitlikte verilen çıkış salınım değeri, teleskopik kaskot devresine göre M3 transistörünün kanal-kaynak gerilimi ( $V_{DS,SATM3}$ ) kadar daha yüksektir.

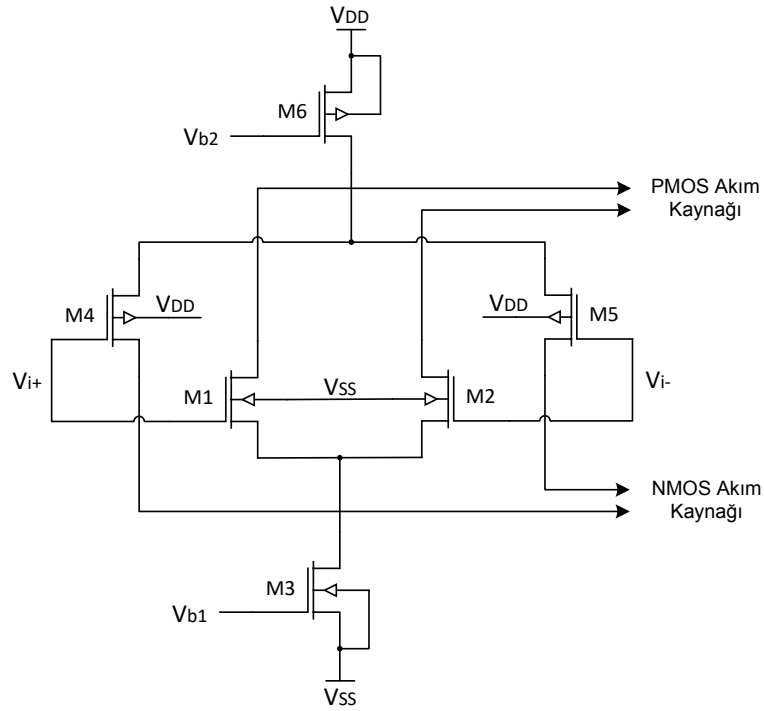
Bu devre yapısının dezavantajı ise, devrenin AC analizi incelendiğinde fark yükseltecin giriş tarafındaki transistörleri ile kaskot tarafında akım kaynağı olarak kullanılan transistörler birbirine paralel olduğu için çıkış empedans değeri düşmekte ve devrenin açık çevrim kazancı azalmaktadır. Katlanmış kaskot devresinin kazanç değeri (2.27) numaralı formülle hesaplanmaktadır [3].

$$A_d = g_m r_o = g_{m1} [(g_{m6} r_{o6} (r_{o1} || r_{o4})) || (g_{m8} r_{o8} r_{o10})] \quad (2.27)$$

Ayrıca, kaskot tarafında ayrı bir akım kaynağına (M4 ve M5) ihtiyaç duyulduğu için daha fazla güç harcanmaktadır. İşlemsel yükselteç tasarımı yaparken bu dezavantajları yok edebilmek için, hedeflenen karakteristik özelliklere göre giriş

katında kullanılan transistörlerin boyutları uygun bir şekilde ayarlanmalı ve öngerilme akımı olabildiğince düşük tutulmalıdır.

Giriş katında, işlemsel yükselteç tasarımlarında yaygın olarak kullanılan üç çeşit fark yükselteç devresinden bahsedilmiştir. Geniş giriş ortak-mod gerilim aralığı elde edebilmek için kullanılacak en uygun devre yapısının katlanmış kaskot fark yükselteç devresi olduğu analizlerle kanıtlanmıştır. Buna rağmen, bahsedilen devrelerden hiçbirisiyle her iki besleme ucuna da yaklaşan giriş ortak mod gerilim aralığı elde etmek mümkün değildir. Bu yüzden özellikle düşük besleme gerilimleriyle çalışan uygulamalar için bu devrelerin tek başına kullanılması uygun değildir. Beslemeleri kapsayan giriş ortak-mod gerilim aralığı elde edebilmek için yaygın olarak kullanılan teknik, Şekil 2.13'te gösterildiği gibi NMOS ve PMOS temel fark yükselteç devrelerini birlikte kullanmaktır [6][7].



Şekil 2.13. Beslemeleri Kapsayan Giriş Özellikli Fark Yükselteç Devresi

Bu devrenin girişine düşük seviyeli sinyal uygulandığında PMOS girişli fark yükselteç devresi doyum bölgesinde çalışırken (M6 da aktif durumda) NMOS girişli olan devre kesim bölgesinde kalmaktadır. Yüksek seviyeli sinyal uygulandığında ise NMOS girişli fark yükselteç devresi doyum bölgesinde çalışırken (M3 de aktif durumda) PMOS girişli olan devre kesim bölgesinde kalmaktadır. Sonuç olarak,

beslemeleri kapsayan giriş ortak-mod gerilim aralığı elde edilmektedir. Bu devrede dikkat edilmesi gereken nokta ise, girişe orta seviyeli sinyal uygulandığında hem NMOS hem de PMOS fark yükselteç devresinin doyum bölgesinde çalışmasıdır. Sadece bu aralıkta geçiş iletkenlik değeri artacağı için işlemsel yükseltecin kararsız çalışmasına neden olmaktadır. Bu yüzden geçiş iletkenlik değerini sabit tutmak için devre tasarımında iyileştirme yapılması gerekmektedir. Bahsedilen bu sorunun detaylı incelemesi, çözüm için önerilen teknikler ve tercih edilen çözüm yöntemi tezin 3. bölümünde anlatılacaktır.

Giriş katında kullanılan fark yükselteç devrelerinin performans özellikleri Çizelge 2.2'de karşılaştırılmıştır. Elde edilen sonuçlara göre, hem beslemeleri kapsayan (rail-to-rail) giriş ortak-mod gerilim aralığı hem de düşük güç tüketimi değerine ulaşabilmek için birbirini tamamlayıcı (NMOS ve PMOS) temel fark yükselteç devrelerinin birlikte kullanılması gerekmektedir.

*Çizelge 2.2. Fark Yükselteç Devrelerinin Performans Özellikleri*

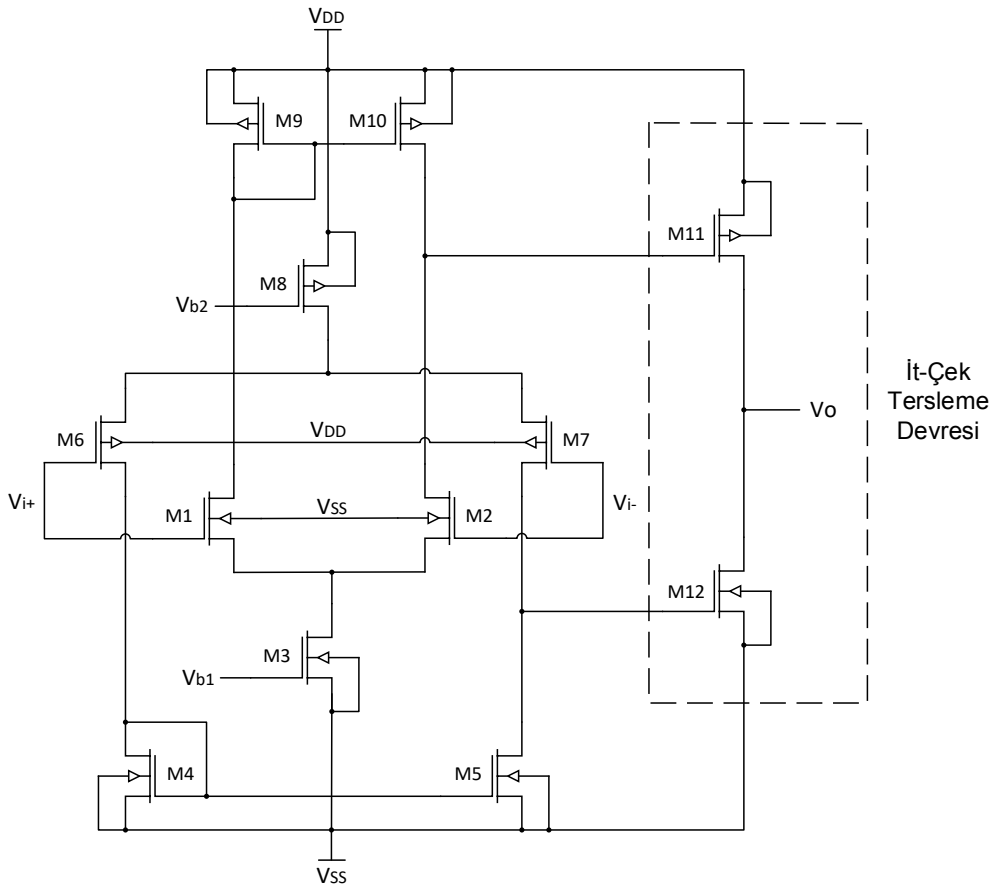
	<b>Giriş Ortak-Mod Gerilim Aralığı</b>	<b>Kazanç Değeri</b>	<b>Çıkış Salınımı</b>	<b>Güç Tüketimi</b>
Temel Fark Yükselteç	$\%70V_{DD}$ , $V_{DD} = 5V$ $\%40V_{DD}$ , $V_{DD} = 2,5V$	Düşük	Düşük	Düşük
Teleskopik Kaskot Fark Yükselteç	$< \%70V_{DD}$ , $V_{DD} = 5V$ $< \%40V_{DD}$ , $V_{DD} = 2,5V$	Yüksek	Düşük	Yüksek
Katlanmış Kaskot Fark Yükselteç	$\%80V_{DD}$ , $V_{DD} = 2,5V$	Orta	Yüksek	Çok Yüksek
Birbirini Tamamlayıcı Fark Yükselteç Çifti	$\%90 - \%95$	Düşük	Çok Yüksek	Düşük

### 2.4.3. İkinci Kat

İşlemsel yükselteç tasarımında ayırık hatlı sinyalleri tek hatta dönüştürmek ve daha yüksek açık çevrim kazancı elde etmek için giriş ile çıkış arasında ikinci bir kat kullanılmaktadır. Özellikle düşük besleme gerilimleriyle çalışan işlemsel yükselteç tasarımlarında, Şekil 2.13'te verilen beslemeleri kapsayan giriş ortak-mod gerilim

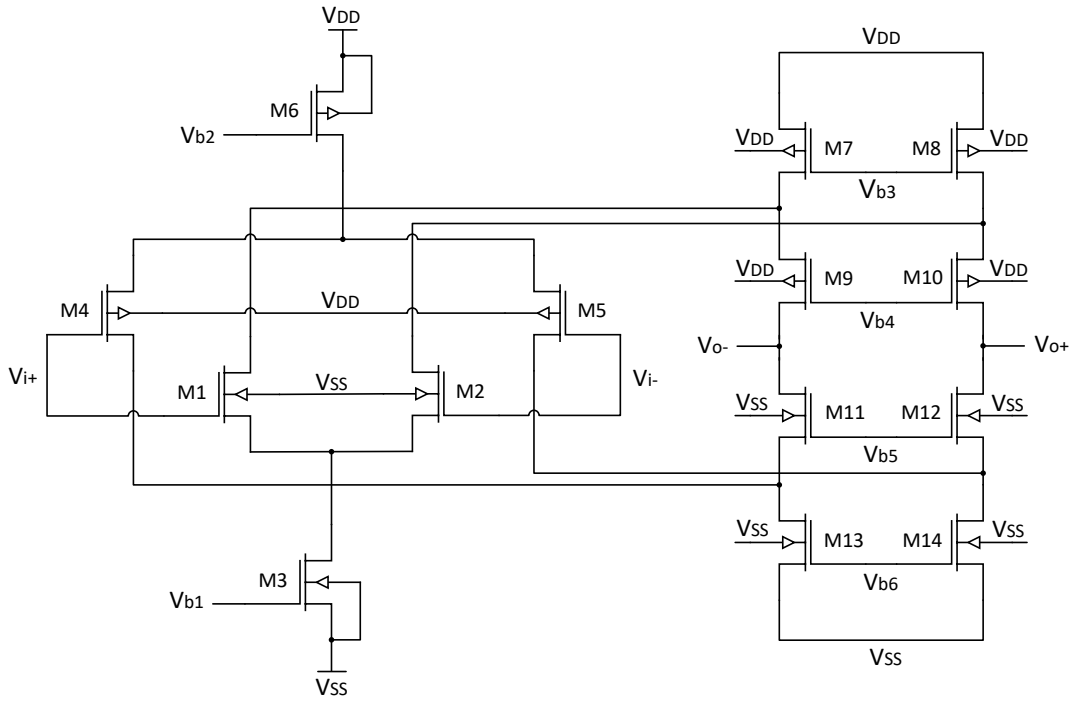
aralığına sahip fark yükselteç devresi kullanıldığında, giriş katından sonra ikinci bir katın da kullanılması gerekmektedir. İkinci katta yaygın olarak it-çek tersleme devresi ve katlanmış kaskot devre yapısı kullanılmaktadır.

Şekil 2.14'te, it-çek tersleme devresiyle birlikte kullanılan fark yükselteç devresi verilmiştir. Beslemeleri kapsayan girişe sahip fark yükselteç devresinde, NMOS girişli temel fark yükseltecin çıkışı M11 transistörünü, PMOS girişli temel fark yükseltecin çıkışı ise M12 transistörünü sürmektedir. Böylece, ayrı hatlı çıkışlara sahip olan fark yükselteç devresi, it-çek tersleme devresi sayesinde tek hatlı çıkışa dönüşmektedir. Bu devre yapısında hem transistör sayısı hem de ön besleme ihtiyacı az olduğu için katlanmış kaskot devre yapısına göre daha az güç harcanmaktadır. Buna karşın, çıkış tarafında kullanılacak olan devreyle birlikte kat sayısı artacağı için işlemsel yükselticinin kararlı çalışması ve kompanzasyonu zorlaşmaktadır [7].



Şekil 2.14. İt-Çek Tersleme Devresiyle Birlikte Kullanılan Fark Yükselteç Devresi

İkinci katta yaygın olarak kullanılan devre yapılarından biri de katlanmış kaskot devresidir. Bu devre NMOS veya PMOS kaskot yüklü olmak üzere iki farklı yapıyla kullanılmaktadır. Bu seçim, akım aynası olarak kullanılan kısma göre belirlenir. Şekil 2.15'te, katlanmış kaskot devre yapısıyla birlikte kullanılan fark yükselteç devresi görülmektedir. Katlanmış kaskot devresinde, M7 ve M8 transistörleri NMOS girişli, M13 ve M14 transistörleri ise PMOS girişli temel fark yükseltecin akım kaynağı olarak kullanılmaktadırlar. Bu devre yapısında daha fazla transistör ve ön besleme devresi kullanıldığı için it-çek tersleme devresine göre daha çok güç harcanmaktadır. Buna karşın, katlanmış kaskot devre yapısı daha karmaşık olmasına rağmen işlemsel yükselteç parametrelerini ayarlama esneklik sağlamaktadır. Ayrıca devrenin kompanzasyonu daha kolay ayarlandığı için işlemsel yükseltecin kararlı çalışmasına olanak sağlamaktadır [7].



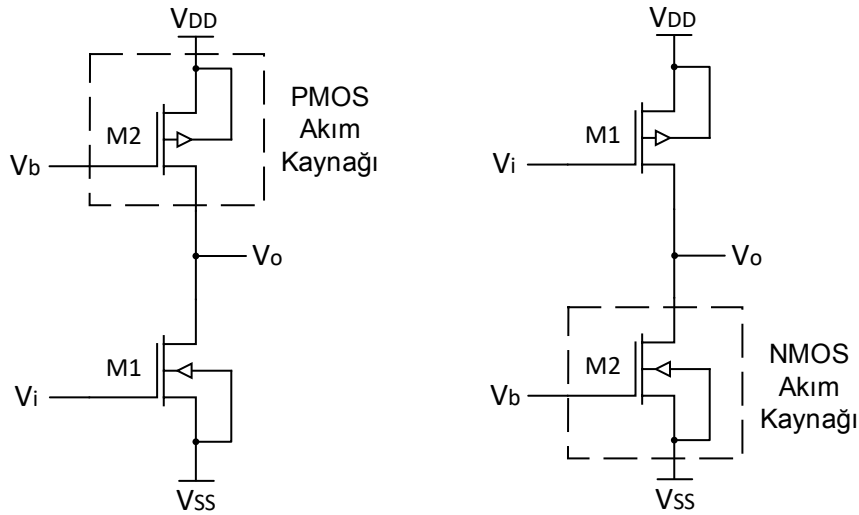
Şekil 2.15. Katlanmış Kaskot Devre Yapısıyla Birlikte Kullanılan Fark Yükselteç Devresi

#### 2.4.4. Çıkış Katı

İşlemsel yükselteç tasarımında önemli bir yeri olan bölümlerden biri de çıkış katıdır. Çıkış katında tasarlanan devreyle işlemsel yükseltecin düşük çıkış empedans değerine, geniş çıkış salınım aralığına ve kararlı akım sürme yeteneğine sahip olması hedeflenmektedir. Ayrıca giriş katında elde edilen açık çevrim kazancını

artırmak için de çıkış katına ihtiyaç duyulmaktadır. Çıkış katında yaygın olarak iki çeşit devre yapısı kullanılmaktadır: ortak-kaynaklı yükselteç ve it-çek tersleme devresi. Tasarımdaki gereksinimlere göre ihtiyaç duyulan devre yapısı seçilmelidir.

Ortak-kaynaklı yükselteç devresi çıkış katında en çok tercih edilen devre yapılarından biridir. Şekil 2.16'da gösterildiği gibi, giriş katından veya ikinci kattan gelen sinyalle ( $V_i$ ) sürülen MOSFET türüne göre NMOS veya PMOS çıkışlı olarak iki farklı kullanımı bulunmaktadır. Çıkış tarafındaki akım değeri, NMOS veya PMOS akım kaynaklarını süren ön besleme devresiyle ayarlanmaktadır. Bu durum, çıkış akım değerini ayarlama konusunda esneklik sağlamaktadır. Buna karşın, çıkış salınım aralığı M1 transistörünün doyum bölgesindeki gerilim değerine bağlı olarak değiştiği için besleme uçlarına yaklaşmamaktadır.



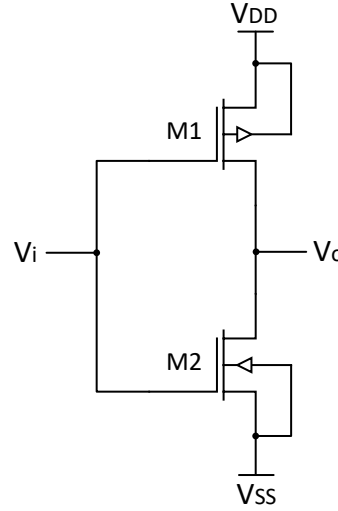
Şekil 2.16. NMOS(Solda) ve PMOS(Sağda) Çıkışlı Ortak-Kaynaklı Yükselteç Devreleri.

Ortak-kaynaklı yükselteç devresinin çıkış empedans ve kazanç değerleri (2.28) numaralı formülle hesaplanmaktadır.

$$R_o = \frac{1}{g_{ds,M1} + g_{ds,M2}} \Rightarrow A_v = \frac{-g_{M1}}{g_{ds,M1} + g_{ds,M2}} \quad (2.28)$$

Ortak-kaynaklı yükselteç devresine göre hem daha yüksek kazanç hem de besleme uçlarına yakın çıkış salınım aralığı sağlayan daha verimli bir devre yapısı ise it-çek tersleme devresidir. Şekil 2.17'de verilen it-çek tersleme devresinde, M1 ve M2 transistörleri aynı sinyalle sürülmektedir. Böylece, uygulanan sinyalin sadece yarım

periyodunda iletim başladığı için daha verimli çalışan bir devredir. Bu devrede ekstra bir ön besleme devresine ihtiyaç duyulmadığı için çıkış akımı transistörlerin genişlik-uzunluk oranıyla ayarlanmaktadır. Bu yüzden hem yüksek kazanç hem de akım sürme yeteneğinin iyi olması için transistör boyutlarının uygun bir şekilde ayarlanması gerekmektedir.



Şekil 2.17. İt-Çek Tersleme Devresi

İt-çek tersleme devresinin çıkış empedans ve kazanç değerleri (2.29) numaralı formülle hesaplanmaktadır. Her iki transistör de farklı zamanlarda ilettime geçtiği için daha yüksek kazanç değeri elde edilmektedir.

$$R_o = \frac{1}{g_{ds,M1} + g_{ds,M2}} \Rightarrow A_v = \frac{-(g_{M1} + g_{M2})}{g_{ds,M1} + g_{ds,M2}} \quad (2.29)$$

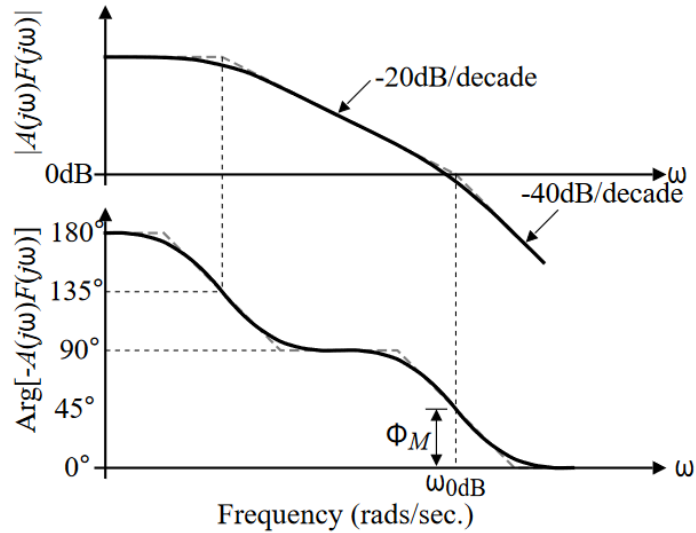
Çıkış katında kullanılan devrelerin performans özellikleri Çizelge 2.3'te karşılaştırılmıştır. Hem yüksek kazanç hem de beslemeleri kapsayan çıkış salınım değerine ulaşılması hedeflenen işlemsel yükselteç tasarımlarında it-çek tersleme devresi kullanılması gerekmektedir.

Çizelge 2.3. Çıkış Katında Kullanılan Devrelerin Performans Özellikleri

	Çıkış Salınım Değeri	Çıkış Empedans Değeri	Kazanç Değeri	Akım Sürme Yeteneği
Ortak-Kaynaklı Yükselteç Devresi	Yüksek	Düşük	Yeterli	Yeterli
İt-Çek Tersleme Devresi	Çok Yüksek	Düşük	Yüksek	Yüksek

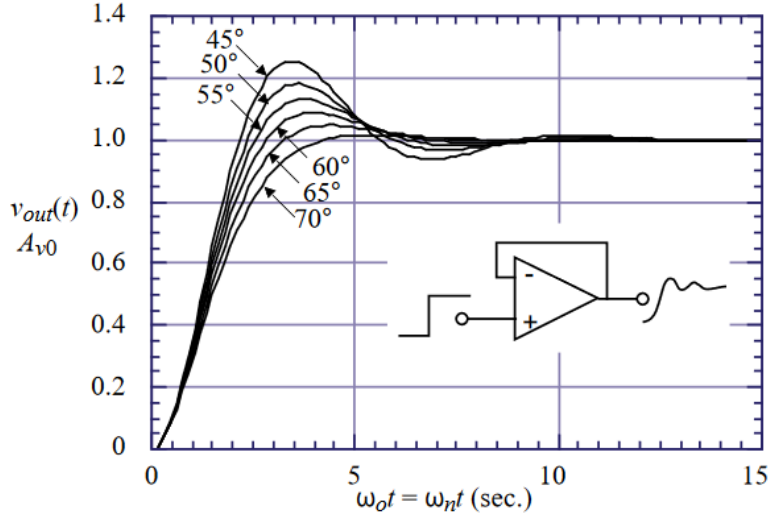
#### 2.4.5. Kompanzasyon Devresi

İki veya daha çok katlı devre tasarımlarında, işlemsel yükseltecin kapalı döngü performansının kararlı olması için faz payı değerinin yüksek olması gerekmektedir. Faz payı ( $\phi_M$ ), Şekil 2.18'de gösterildiği gibi işlemsel yükseltecin kazancının  $|A_v| = 1$  olduğu andaki değerden bulunmaktadır. İkinci dereceden sistemlerde, kapalı döngü sistemine uygulanan adım sinyaline karşı çıkışta oluşan cevap ne kadar hızlı olursa sistem de o kadar kararlı çalışır. Şekil 2.19'da verilen kapalı döngü kazanç grafiğine göre, sistemin kararlı çalışması için faz payı değerinin  $45^\circ$ 'den büyük olması gerekmektedir. Özellikle yüksek kazançlı işlemsel yükselteç tasarımı yapılırken  $60^\circ$ 'den büyük faz payı değeri hedeflenmektedir [10].



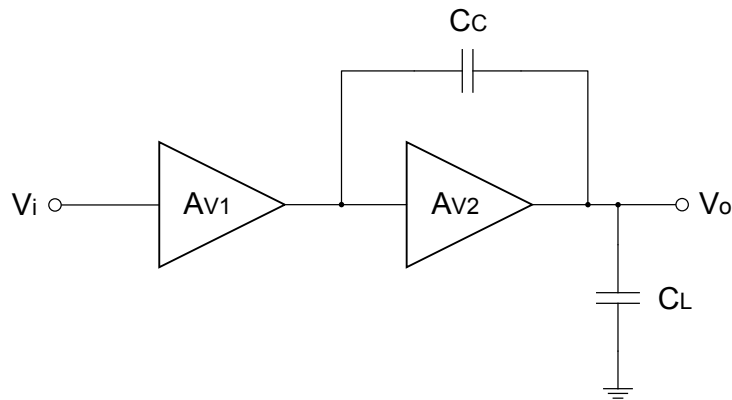
Şekil 2.18. Negatif Geri Bildirimli Sistemlerde Kazanç ve Faz Payı Grafikleri [10]





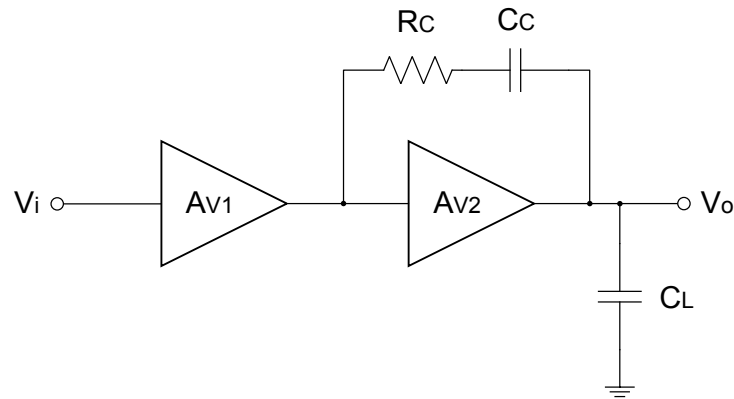
Şekil 2.19. İşlemsel Yükseltecin Kapalı Döngü Kazanç Grafiği [10]

Faz payı değeri, devrenin AC karakteristiği sonucu ortaya çıkan baskın kutupların ayrışımına bağlıdır. Özellikle yüksek kazançlı işlemsel yükselteç tasarımlarında uygun faz payı değeri elde edebilmek için geniş kutup ayrışımına ihtiyaç vardır. İşlemsel yükseltecin kararlı çalışabilmesi için literatürde çeşitli kompanzasyon teknikleri kullanılmaktadır [2][4][5]. Giriş katında temel fark yükselteç ve çıkış katında ortak-kaynaklı yükselteç devresinin kullanıldığı iki katlı basit işlemsel yükselteç tasarımlarında genellikle Şekil 2.20'de verilen Miller kompanzasyon tekniği kullanılmaktadır. Bu devre yapısında, çıkış tarafında kullanılan devrenin girişi ile çıkışı arasına kompanzasyon kapasitörü ( $C_C$ ) koyularak baskın kutup oluşturulmaktadır. Çıkış tarafındaki transistörün kazancı arttıkça baskın kutupun etkisi azalırken baskın olmayan kutupun etkisi artmaktadır. Sonuç olarak, kutup ayrışımı gerçekleştirilmiş olmaktadır [2].



Şekil 2.20. Miller Kompanzasyon Blok Şeması [2]

Kompanzasyon kapasitörü kullanmanın dezavantajı ise, kapalı döngü sisteminde negatif faz değeri oluşturarak kararsızlığa sebep olan RHP sıfır meydana getirmesidir. Bunu yok edebilmek için, Şekil 2.21’de gösterildiği gibi kompanzasyon kapasitörüne seri bağlı direnç ( $R_C$ ) kullanılarak empedans değeri artırılmakta ve faz payı değeri uygun seviyelere getirilmektedir [2]. Bunun aksine, tümdevre tasarımı yapılırken direnç kullanımı çok yer kapladığı için tercih edilmemektedir. Bu yüzden, doyum bölgesinde çalıştırılan bir transistör ile direnç görevinin yerine getirilmesi tavsiye edilmektedir.



Şekil 2.21. Geliştirilmiş Miller Kompanzasyon Blok Şeması [2]

Buna ek olarak, Şekil 2.11’de gösterildiği gibi girişte temel fark yükselteç, çıkışta katlanmış kaskot yükselteç devre yapısı kullanılan iki katlı işlemel yükselteç tasarımlarında, harici olarak kompanzasyon devresine ihtiyaç duyulmamaktadır. Katlanmış kaskot devre yapısında çıkışta bulunan yük kapasitörü ( $C_L$ ) baskın kutup oluşturduğu için bunun değeri ayarlanarak uygun bir faz payı değeri elde edilmektedir. Bu yüzden çıkışta tamponlu yükselteç devresi kullanılmayan tasarımlarda, geniş çıkış salınım aralığı ve yüksek kazanç elde edebilmek için katlanmış kaskot devre yapısı tercih edilmektedir. Buna karşın, çıkış salınım aralığının her iki besleme ucuna da yakın olması istenen ve büyük kapasitif yük sürececek olan tasarımlarda ise çıkışta it-çek tersleme devresi kullanılmaktadır. Bu durumda kapalı döngü performansının kararlı olması için kompanzasyon devresi kullanılması gerekmektedir. Bunun için de, devre yapısı daha basit olduğundan Şekil 2.20’de verilen Miller kompanzasyon tekniği kullanılarak işlemel yükseltecin kararlı bir performansa sahip olması sağlanabilmektedir. Ayrıca kompanzasyon

kapasitörünün değeri arttıkça işlemsel yükseltecin bant genişliği ( $GB = g_m / C_L$ ) ve yetiştirme hızı ( $SR = I_{max} / C_L$ ) değerleri düştüğü için gereksinimler göz önünde bulundurularak hesaplamalar yapılmalıdır. Buna karşın, eğer kompanzasyon devresi kullanılmaz ise işlemsel yükseltecin kapalı döngü performansı kararsız bir duruma girer ve kazanç değeri sıfıra yaklaşır.

### 3. YÜKSEK KAZANÇLI, BESLEMELERİ KAPSAYAN GİRİŞ/ÇIKIŞ ÖZELLİKLİ İŞLEMSEL YÜKSELTEÇ TASARIMI

#### 3.1. Giriş

İşlemsel yükseltecin her bir katının tasarımında yapılacak olan hesaplamalar için öncelikle kullanılacak olan tümdevre teknolojisine karar verilmesi gerekmektedir. Daha sonra hedeflenen karakteristik özelliklere göre tercih edilen tasarımların devre analizleri yapılmakta ve her bir transistörün boyutu hesaplanmaktadır. Literatürde yapılan işlemsel yükselteç tasarımlarında genellikle 0,25  $\mu\text{m}$  - 0,6  $\mu\text{m}$  arasındaki boyutlarda CMOS teknolojisi kullanılmıştır [2][4][5][7][9].

Bu tez çalışmasında, literatürden farklı olarak daha kısa kanal uzunluğuna sahip olan 0,13  $\mu\text{m}$  CMOS teknolojisi tercih edilmiştir. Seçilen CMOS teknolojisine göre kullanılan transistör parametreleri Çizelge 3.1'de verilmiştir [15]. (2.6) numaralı formülde belirtildiği gibi, transistörün kanal uzunluğunun küçülmesi açık çevrim kazancının azalmasına sebep olsa da, yapılan tasarım ve seçilen transistör boyutlarıyla işlemsel yükseltecin açık çevrim kazancı istenilen seviyelere kadar yükseltilebilmektedir.

Çizelge 3.1. Seçilen CMOS Teknolojisine Ait Parametreler

130 nm Kısa Kanal CMOS Parametreleri ( $V_{DD} = 1,5 \text{ V}$ )		
Parametreler	NMOS	PMOS
$V_{THN}$ & $V_{THP}$	300 mV	300 mV
$KP_N$ & $KP_P$	400 $\mu\text{A} / \text{V}^2$	100 $\mu\text{A} / \text{V}^2$
$\lambda_N$ & $\lambda_P$	0,08 $\text{V}^{-1}$	0,04 $\text{V}^{-1}$

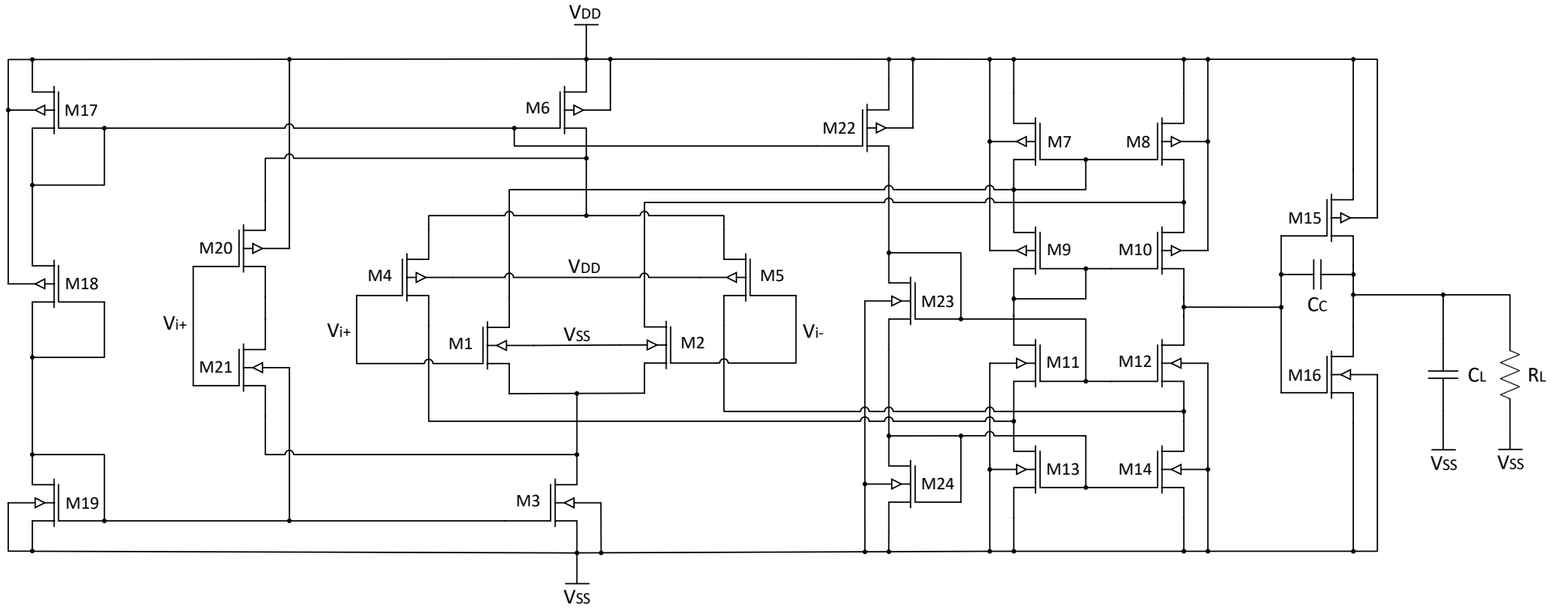
Kullanılan transistör parametreleriyle birlikte, tasarlanacak olan işlemsel yükseltecin sahip olacağı karakteristik özelliklerinin de belirlenmesi gerekmektedir. Bu tez çalışması kapsamında hedeflenen özellikler, hem literatürde yapılmış olan çeşitli tasarımlar hem de tezin amaçları göz önüne alınarak belirlenmiştir. Bu kapsamda tasarlanacak olan işlemsel yükselteç Çizelge 3.2'de verilen gereksinimleri

karşılacaktır. Bu yüzden her bir kat için tasarlanacak olan devrelerin analizleri bu gereksinimlere göre yapılacaktır.

Çizelge 3.2. İşlemsel Yükseltecin Hedeflenen Karakteristik Özellikleri

Özellikler	Hedeflenen Değer
Açık Çevrim Kazancı	$\geq 80$ dB
Bant Genişliği	$\geq 10$ MHz
Faz Payı	$\geq 45^\circ$
Yetişme Hızı	$\geq 2$ V / $\mu$ s
Giriş Ortak Mod Aralığı	0,05 V - 1,45 V
Çıkış Salınımı	0,05 V - 1,45 V
Ortak Mod Kesme Oranı	$\geq 80$ dB
Besleme Gerilimi Kesme Oranı	$\geq 80$ dB
Sapma	$\leq 10$ mV
Güç Kaybı	$\leq 1$ mW

Yüksek kazançlı, beslemeleri kapsayan giriş/çıkış özellikli ve Çizelge 3.2’de belirlenen gereksinimleri karşılayan bir işlemsel yükselteç yapabilmek için Şekil 3.1’de verilen üç katlı bir devre tasarlanmıştır. Tasarlanan işlemsel yükseltecin giriş katında, hem beslemeleri kapsayan giriş ortak-mod gerilim aralığı hem de yüksek kazanç elde edebilmek için Şekil 2.13’te verilen devre yapısı kullanılmıştır. Ayrıca değişken geçiş iletkenliği değerini sabit tutmak için de bu devreye it-çek tersleme devresi eklenmiştir. İkinci katta ise, kendi kendini kompanze edebilen, açık çevrim kazancını arttırmayı sağlayan katlanmış kaskot devre yapısı kullanılmıştır. Çıkış katında, hem yüksek akım sürme kapasitesine sahip olan hem de beslemeleri kapsayan çıkış salınım aralığına ulaşmayı sağlayan it-çek tersleme devresi kullanılmıştır. Her bir devre katında öngerilme akım ve ön besleme gerilim ihtiyacını karşılamak için basit yapısından dolayı temel akım aynaları tercih edilmiştir. Son olarak, tamponlu çıkışa sahip bu devrenin kararlı bir AC performansına sahip olması için de Şekil 2.20’de verilen Miller kompanzasyon tekniği kullanılmıştır.



Şekil 3.1. Yüksek Kazançlı, Beslemeleri Kapsayan Giriş/Çıkış Özellikli İşlemsel Yükselteç Tasarımı

### 3.2. Giriş Katı

Giriş katında NMOS ve PMOS temel fark yükselteç devrelerinin öngerilme akım ihtiyacını belirlemek için işlemsel yükseltecin yetiştirme hızı ( $SR = 4 \text{ V} / \mu\text{s}$ ) ve süreceği yük kapasitörü ( $C_L = 10 \text{ pF}$ ) değerleri kullanılmaktadır. Ayrıca, işlemsel yükseltecin kararlı çalışması için faz payı değerinin en az  $45^\circ$ 'den büyük olması gerekmektedir. Bu yüzden, (1.4) numaralı formülde verilen kompanzasyon kapasitörü ile yük kapasitörü arasındaki ilişkiye göre kompanzasyon kapasitörünün değeri,  $C_C = 2,5 \text{ pF}$  olarak seçilmiştir. Böylece, temel fark yükselteç devrelerinin öngerilme akım ihtiyacını karşılayan M3 ve M6 transistörlerinin üzerinden geçen akım (3.1) numaralı formülle hesaplanmıştır.

$$I_3 = I_6 = SR \times C_C = 4 \text{ V} / \mu\text{s} \times 2,5 \text{ pF} = 10 \mu\text{A} \quad (3.1)$$

İşlemsel yükseltecin bant genişliği ihtiyacına göre temel fark yükselteç devrelerinin geçiş iletkenlik değeri (3.2) numaralı formülle hesaplanmıştır. Kapalı döngü performansının kararlı olması için uygulanan giriş ortak-mod gerilim aralığı boyunca bu değer sabit olması gerekmektedir. Bu yüzden NMOS ve PMOS fark yükselteç devrelerinin geçiş iletkenlik değerleri eşit kabul edilmiştir. Geçiş iletkenlik değeri ve öngerilme akımına bağlı olarak değişen M1, M2, M4 ve M5 transistörlerinin genişlik-uzunluk oranları (2.8) numaralı formül kullanılarak (3.3) numaralı eşitlikte hesaplanmıştır.

$$g_{m1} = g_{m2} = 2\pi \times GB \times C_C = 2\pi \times 16 \text{ MHz} \times 2,5 \text{ pF} \cong 251,3 \mu\text{S} \quad (3.2)$$

$$(W/L)_{M1} = (W/L)_{M2} = \frac{(g_{m1})^2}{KP_N \times I_3} \cong 15,8$$

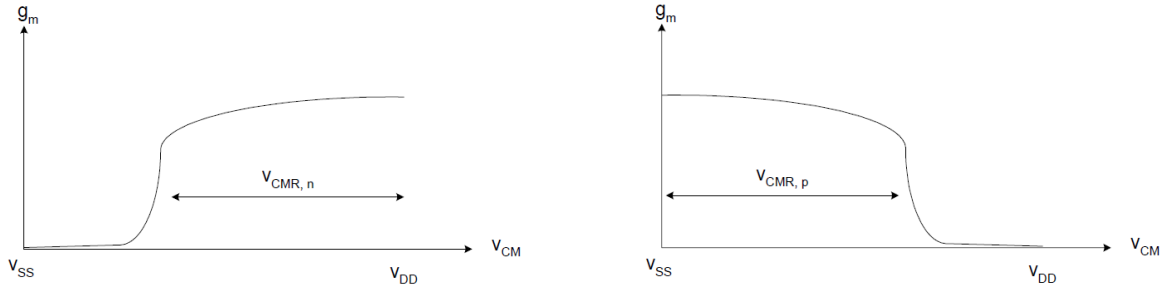
$$(W/L)_{M4} = (W/L)_{M5} = \frac{(g_{m2})^2}{KP_P \times I_6} \cong 63,2 \quad (3.3)$$

Buna ek olarak, hedeflenen giriş ortak-mod gerilim aralığına ve öngerilme akımına göre değişen M3 ve M6 transistörlerinin genişlik-uzunluk oranı da (2.7) numaralı MOSFET akım denklemi kullanılarak (3.4) numaralı eşitlikte hesaplanmıştır.

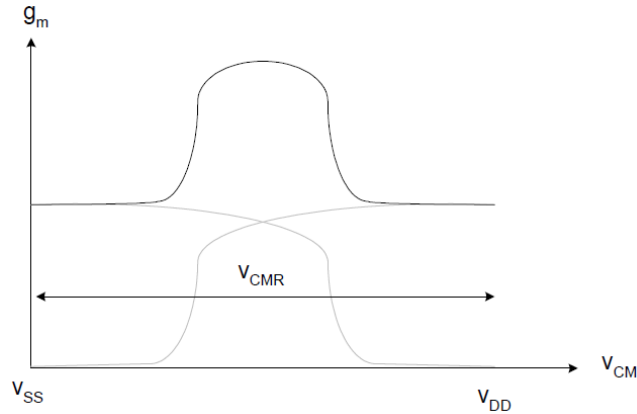
$$(W/L)_{M3} = \frac{2I_3}{KP_N \times \left( V_{inmin} - V_{ss} - \sqrt{\frac{I_3}{KP_N \times (W/L)_{M1}} - V_{THN}} \right)^2} \cong 0,6$$

$$(W/L)_{M6} = \frac{2I_6}{KPP \times \left( V_{dd} - V_{inmax} - \sqrt{\frac{I_6}{KPP \times (W/L)_{M4}} - |V_{THP}|} \right)^2} \cong 2,4 \quad (3.4)$$

Giriş katında NMOS ve PMOS temel fark yükselteç devreleri birlikte kullanıldığı zaman geçiş iletkenlik değerinin sabit tutulması gerekmektedir. Aksi takdirde işlemsel yükselteç kararsız bir duruma girmekte ve kapalı döngü performansı kötüleşmektedir. Şekil 3.2'de görüldüğü gibi, girişe yüksek seviyeli sinyal uygulandığında NMOS, düşük seviyeli sinyal uygulandığında ise PMOS fark yükselteç devresi aktif durumda olduğu için geçiş iletkenlik değeri sabit olur ( $g_m = g_{mn} = g_{mp} = \sqrt{KI}$ ,  $K = KP \times W/L$ ). Eğer orta seviyeli sinyal uygulanırsa, hem NMOS hem de PMOS fark yükselteç devresi aktif olacağı için Şekil 3.3'te belirtildiği gibi geçiş iletkenlik değeri iki katına çıkar ( $g_m = g_{mn} + g_{mp} = 2\sqrt{KI}$ ) [6].



Şekil 3.2. NMOS(Solda) veya PMOS(Sağda) Fark Yükselteç Aktifken Geçiş İletkenlik Değeri [6]



Şekil 3.3. NMOS ve PMOS Fark Yükselteç Devreleri Aktifken Geçiş İletkenlik Değeri [6]



Geçiş iletkenlik değerini giriş ortak-mod gerilim aralığı boyunca sabit tutabilmek için tasarımı iyileştirmeye yönelik olarak literatürde birçok farklı teknik kullanılmıştır [6][9][16]. Bu tez çalışmasında, önerilen çözüm yöntemlerinden biri olan akım bölme tekniği tercih edilmiştir. Literatürdeki çalışmalarla karşılaştırıldığında, M20 ve M21 transistörleriyle yapılan ve sadece orta seviyeli sinyal uygulandığında aktif olan basit bir it-çek tersleme devresiyle uygun sonuca ulaşılmıştır.

Bu devrede, M20 transistörünün genişlik-uzunluk oranı M1 ve M2'nin, M21 transistörünün genişlik-uzunluk oranı ise M4 ve M5'in 6 katı olarak alınmıştır. Böylece (2.7) numaralı MOSFET akım denkleminde göre, NMOS ve PMOS temel fark yükselteçlerine ait öngerilme akım değerinin dörtte birine düştüğü (3.5) numaralı eşitlikte görülmektedir. Sonuç olarak, (2.8) numaralı formül kullanılarak (3.6) numaralı eşitlikte hesaplanan geçiş iletkenlik değeri sabit kalmaktadır.

$$I_3 = I_6 = I \Rightarrow I_1 = I_2 = I_4 = I_5 = I/8 \text{ \& } I_{20} = I_{21} = 3I/4 \quad (3.5)$$

$$g_m = g_{mn} + g_{mp} = (1/2)\sqrt{KI} + (1/2)\sqrt{KI} = \sqrt{KI} \quad (3.6)$$

### 3.3. İkinci Kat

İkinci katta kullanılan katlanmış kaskot yükselteç devresinde, kaskot çıkışı oluşturan M9, M10, M11 ve M12 transistörleri üzerinden geçen akımın sıfır olmaması için akım kaynağı olarak kullanılan M7 ve M8 transistörlerinin akım değeri uygun olarak seçilmelidir. Önerilen akım değeri, temel fark yükseltecin öngerilme akım değerinden 1,2 ila 1,5 kat daha fazla olmasıdır. Bu durum göz önünde bulundurularak katlanmış kaskot yapısındaki transistörlerin hesaplanan akım değerleri (3.7) numaralı eşitlikte verilmiştir.

$$I_8 = 1.25I_3 \Rightarrow I_7 = I_8 = I_{13} = I_{14} \text{ \& } I_{10} = I_8 - I_3/2 \Rightarrow I_9 = I_{10} = I_{11} = I_{12} \quad (3.7)$$

Akımları hesaplanan transistörlerin genişlik-uzunluk oranlarını bulabilmek için (2.1) numaralı MOSFET akım denkleminde göre öncelikle doyum bölgesindeki gerilimleri bulunmalıdır. Bu gerilim değerleri kaskot çıkışında elde edilmek istenen salınım aralığına bağlı olarak değişmektedir. Besleme gerilimi 1,5 V olarak alınan işlemsel yükselteç tasarımında, kaskot çıkış salınımı (0,1 V - 1,4 V) aralığında alınarak işlemler yapılmış ve hesaplanan genişlik-uzunluk oranları (3.8) ve (3.9) numaralı eşitliklerde verilmiştir.

$$V_{SD,M8} = V_{SD,M10} = 0,5 \times (V_{DD} - V_{O,max}) = 0,5 \times (1,5 - 1,4) = 0,05 V$$

$$(W/L)_{M7} = (W/L)_{M8} = \frac{2I_8}{KP_P \times (V_{SD,M8})^2} = 100$$

$$(W/L)_{M9} = (W/L)_{M10} = \frac{2I_{10}}{KP_P \times (V_{SD,M10})^2} = 60 \quad (3.8)$$

$$V_{DS,M12} = V_{DS,M14} = 0,5 \times (V_{O,min} - V_{SS}) = 0,5 \times (0,1 - 0) = 0,05 V$$

$$(W/L)_{M11} = (W/L)_{M12} = \frac{2I_{12}}{KP_N \times (V_{DS,M12})^2} = 15$$

$$(W/L)_{M13} = (W/L)_{M14} = \frac{2I_{14}}{KP_N \times (V_{DS,M14})^2} = 25 \quad (3.9)$$

Sonuç olarak, uygun çıkış salınımı ve akım değeri hedeflenerek çıkış transistörlerine ait genişlik-uzunluk oranlarının çok yüksek olmamasına dikkat edilmiştir. Böylece, hem güç tüketimi azaltılmış hem de tümdevre tasarımında daha az yer kaplamış bir tasarım olacaktır.

### 3.4. Çıkış Katı

Çıkış katında kullanılan it-çek tersleme devresi sayesinde beslemeleri kapsayan çıkış salınım değeri elde edilmektedir. Yüksek kapasitör ve direnç yükünü birlikte sürebilmek için M15 ve M16 transistörlerinin genişlik-uzunluk oranı mümkün olduğunca büyük olmalıdır. Böylece, devrenin geçiş iletkenlik değeri artacağı için sistemin açık çevrim kazancının da artırılmasına olanak sağlamaktadır. Yapılan tasarım sayesinde transistörlerin boyutu çok fazla büyütülmeden yüksek kazanç elde edilmiştir ve tümdevre tasarımında daha az yer kaplamasının önü açılmıştır.

### 3.5. Akım Aynaları

Temel fark yükselteç devrelerinin ve katlanmış kaskot yükseltecin öngerilme akım ve ön besleme gerilim ihtiyacını karşılamak için basit yapısından dolayı temel akım aynası devrelerinden yararlanılmıştır. NMOS ve PMOS temel fark yükselteç devrelerinde bulunan M3 ve M6 transistörünün öngerilme akım ihtiyacını karşılamak için bu transistörlerle aynı genişlik-uzunluk oranına sahip M17 ve M19 transistörü kullanılmıştır. M18 transistörü ise, akım aynası devresinin sağladığı akım değerini ayarlamak için direnç gibi kullanılmaktadır. Böylece, öngerilme akım ve doyum

bölgesindeki gerilim değeri bilinen M18 transistörünün genişlik-uzunluk oranı (3.10) numaralı eşitlikte hesaplanmıştır.

$$V_{SD,M17} - V_{THP} = \frac{2I_6}{KPP \times (W/L)_{M17}} \cong 1,24 V \Rightarrow V_{SD,M17} = 0,94 V$$

$$V_{DS,M19} - V_{THN} = \frac{2I_3}{KPN \times (W/L)_{M19}} \cong 0,22 V \Rightarrow V_{DS,M19} = 0,52 V$$

$$V_{SD,SATM18} = V_{SD,M18} - |V_{THP}| = 0,94 - 0,52 - 0,3 = 0,12 V$$

$$(W/L)_{M18} = \frac{2I_6}{KPP \times (V_{SD,SATM18})^2} \cong 13,9 \quad (3.10)$$

Buna ek olarak, katlanmış kaskot yükseltecin kaskot çıkışındaki M11, M12 ve M13, M14 transistörlerinin öngerilme akım ihtiyacını karşılamak için; M11 ve M12'nin 2 katı genişlik-uzunluk oranına sahip M23, M13 ve M14 ile aynı genişlik-uzunluk oranına sahip M24 kullanılmıştır. M22 transistörü ise akım aynası devresinin sağladığı akım değerini ayarlamak için direnç gibi kullanılmaktadır. Böylece, öngerilme akım ve doyum bölgesindeki gerilim değeri bilinen M22 transistörünün genişlik-uzunluk oranı (3.11) numaralı eşitlikte hesaplanmıştır.

$$V_{SD,SATM22} = V_{SG,M22} - |V_{THP}| = 1,5 - 0,94 - 0,3 = 0,26 V$$

$$(W/L)_{M22} = \frac{2I_{13}}{KPP \times (V_{SD,SATM22})^2} \cong 3,7 \quad (3.11)$$

Yapılan hesaplamalarda elde edilen sonuçlar, kullanılan CMOS teknolojisinde önerilen kanal uzunluk değeri ( $L = (2 - 5) \cdot L_{\min}$ ) ve ulaşılmaya hedeflenen karakteristik özellikler göz önünde bulundurularak transistörlerin boyutlarına karar verilmiştir. İşlemsel yükselteç tasarımında kullanılan transistörlerin genişlik-uzunluk oranları Çizelge 3.3'te verilmiştir.

Çizelge 3.3. Transistörlerin Genişlik / Uzunluk Değerleri

<b><u>Transistör</u></b>	<b><u>En/Boy Değeri</u></b>
M1 & M2	4,16 / 0,26
M3	0,26 / 0,26
M4 & M5	16,64 / 0,26
M6	0,78 / 0,26
M7 & M8	39 / 0,26
M9 & M10	15,6 / 0,26
M11 & M12	3,9 / 0,26
M13 & M14	6,5 / 0,26
M15	6,5 / 0,26
M16	0,65 / 0,26
M17	0,78 / 0,26
M18	3,38 / 0,26
M19	0,26 / 0,26
M20	99,84 / 0,26
M21	24,96 / 0,26
M22	0,96 / 0,26
M23	7,8 / 0,26
M24	6,5 / 0,26

İşlemsel yükselteç tasarımında kullanılan transistörlerin öngerilme akım değerleri ve genişlik-uzunluk oranları belirlendikten sonra süreceği yük kapasitör ve direnç değerine göre işlemsel yükseltecin açık çevrim kazancı hesaplanır. Yapılan üç katlı devre tasarımında her bir kat birbirine seri bağlı olduğu için işlemsel yükseltecin açık çevrim kazancı (3.12) numaralı eşitlikte verildiği gibi bu katların kazanç değerlerinin çarpımına eşittir.

$$A_v = A_1 \times A_2 \times A_3 \quad (3.12)$$

Giriş katında temel fark yükselteç devreleri ve ikinci katta katlanmış kaskot yükselteç kullanılan işlemsel yükselteç tasarımında, bu katların kazanç değeri hesaplanırken literatürde yapılan çalışmalar göz önünde bulundurulmuştur [10][17]. Ayrıca çıkış katında kullanılan it-çek tersleme devresinin kazancı da (2.23) numaralı formülle hesaplanmıştır. Sonuç olarak, transistör parametreleri ve çıkış direnci bilinen işlemsel yükseltecin açık çevrim kazancı (3.13) numaralı eşitlikte hesaplanmıştır.

$$R_L = 10 \text{ k}\Omega \text{ \& } I_{23} = 216 \text{ }\mu\text{A} \text{ \& } I_{24} = 128 \text{ }\mu\text{A}$$

$$g_{m2} = \sqrt{2 \frac{I_3}{2} K_N \left(\frac{W}{L}\right)_2} \cong 251 \text{ }\mu\text{S} \text{ \& } g_{ds2} = \lambda_N \frac{I_3}{2} = 0,4 \text{ }\mu\text{S} \text{ \& } g_{ds8} = \lambda_P \frac{I_8}{2} = 0,5 \text{ }\mu\text{S}$$

$$g_{m10} = \sqrt{2 I_{10} K_P \left(\frac{W}{L}\right)_{10}} = 300 \text{ }\mu\text{S} \text{ \& } g_{ds10} = \lambda_P I_{10} = 0,3 \text{ }\mu\text{S}$$

$$g_{m12} = \sqrt{2 I_{12} K_N \left(\frac{W}{L}\right)_{12}} = 300 \text{ }\mu\text{S} \text{ \& } g_{ds12} = g_{ds14} = \lambda_N I_{12} = 0,3 \text{ }\mu\text{S}$$

$$g_{m23} = \sqrt{2 I_{23} K_P \left(\frac{W}{L}\right)_{23}} = 1 \text{ mS} \text{ \& } g_{ds23} = \lambda_P I_{23} = 8,64 \text{ }\mu\text{S}$$

$$g_{m24} = \sqrt{2 I_{24} K_N \left(\frac{W}{L}\right)_{24}} \cong 506 \text{ }\mu\text{S} \text{ \& } g_{ds24} = \lambda_N I_{24} = 10,24 \text{ }\mu\text{S}$$

$$R_{eq} = g_{m12} r_{ds12} r_{ds14} \cong 833,3 \text{ M}\Omega \Rightarrow k = \frac{R_{eq}(g_{ds2} + g_{ds8})}{g_{m10} r_{ds10}} = 0,75$$

$$R_{o1} = R_{eq} \parallel \left( g_{m10} r_{ds10} \left( \frac{1}{g_{ds2} + g_{ds8}} \right) \right) \cong 476,2 \text{ M}\Omega$$

$$R_{o2} = (r_{ds23} \parallel r_{ds24}) \parallel R_L \cong 8,41 \text{ k}\Omega$$

$$A_v = \left( \frac{2 + k}{2 + 2k} \right) g_{m2} R_{o1} (g_{m23} + g_{m24}) R_{o2} \cong 1.222.200 \text{ V/V}$$

$$A_v(\text{dB}) = 20 \log_{10}(A_v) \cong 121,74 \text{ dB} \quad (3.13)$$

## 4. TASARLANAN İŞLEMSEL YÜKSELTEÇLE YAPILAN BENZETİMLER VE SONUÇLAR

### 4.1. Giriş

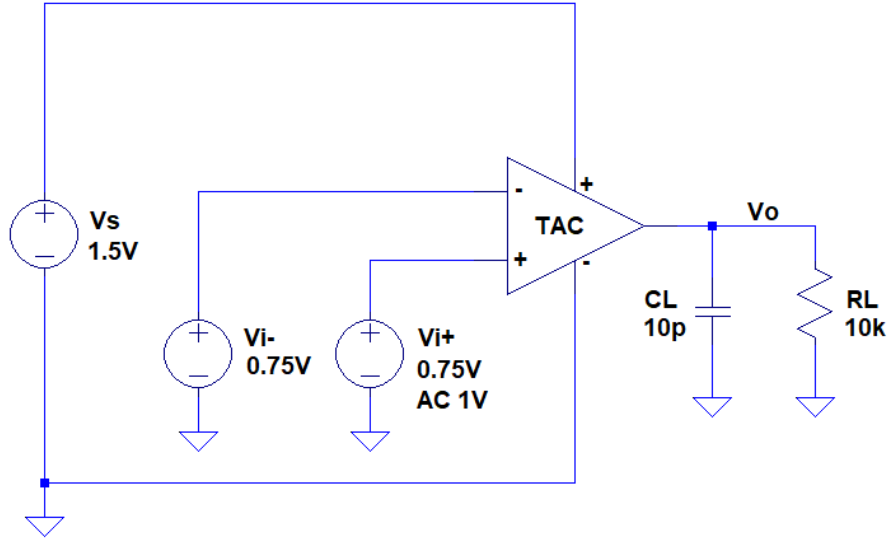
Bu tez çalışması kapsamında tasarlanmış olan yüksek kazançlı, beslemeleri kapsayan giriş ve çıkış özellikli işlemsel yükselteç tasarımında, hedeflenen karakteristik özelliklere ulaşmanın mümkün olup olmadığını anlamak için devrenin test edilmesi gerekmektedir. Bu yüzden tasarlanan işlemsel yükseltecin belirlenen parametrelerini hesaplayabilmek için bilgisayar ortamında ücretsiz olarak sunulan LTspice programı kullanılarak çeşitli benzetimler yapılmış ve sonuçlar gözlemlenmiştir. Benzetim çalışmaları sonrası elde edilen sonuçlar literatürde yapılan benzer çalışmalarla karşılaştırılmış ve yapılan tasarımın artı ve eksi yönleri belirtilmiştir. Son olarak, tasarlanan işlemsel yükselteç kullanılarak medikal ve otomotiv endüstrisinde yaygın bir kullanım alanı olan enstrümantasyon yükselteç devresi kurulmuş ve elde edilen sonuçlar gözlemlenmiştir.

### 4.2. Devre Benzetim Çalışmaları

İşlemsel yükseltecin hedeflenen karakteristik özelliklerine yönelik sonuçları görebilmek için çeşitli benzetim devreleri kurulmuştur. Yapılan benzetimler ve elde edilen sonuçlar ayrı başlıklar halinde verilmiştir.

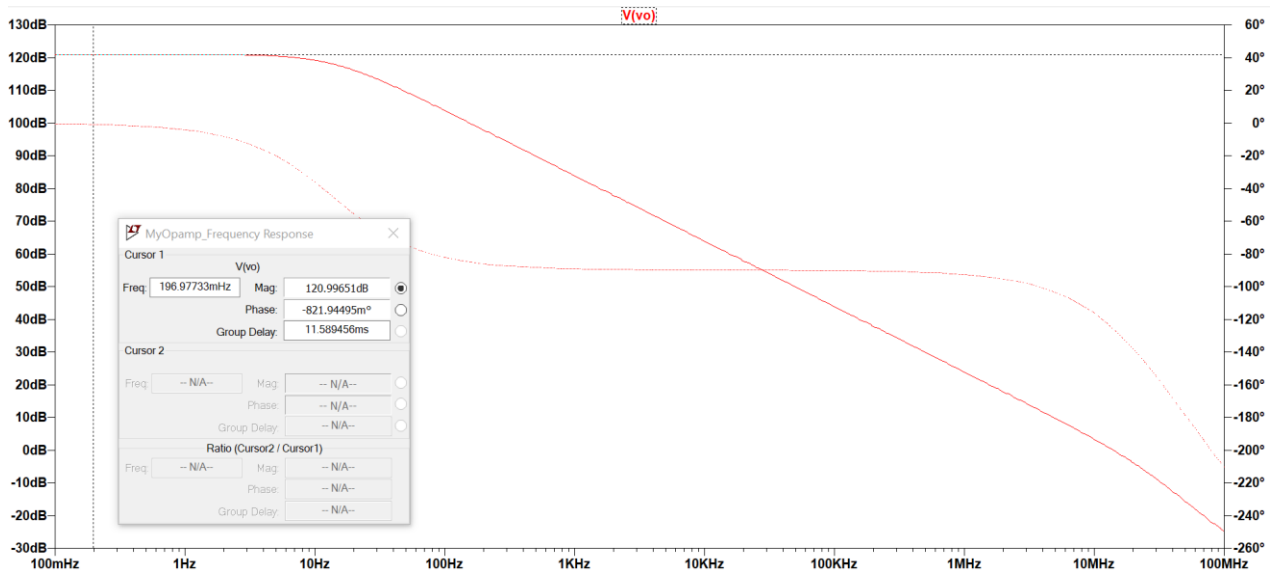
#### 4.2.1. Frekans Analizi

Tasarlanan işlemsel yükseltecin frekans analizini yapabilmek için Şekil 4.1'de verilen benzetim devresi kurulmuştur. Bu devrede, bütün transistörlerin doyum bölgesinde çalışması için işlemsel yükseltecin eviren ve evirmeyen girişlerine 0,75 V DC gerilim uygulanmıştır. Ayrıca işlemsel yükseltecin evirmeyen girişine 1 V genişliğinde AC sinyal uygulanarak frekans cevabı incelenmiş ve işlemsel yükseltecin açık çevrim kazancı, bant genişliği ve faz payı değerleri ölçülmüştür. Şekil 4.2'de görüldüğü gibi, işlemsel yükseltecin açık çevrim kazancı yaklaşık **121 dB** olarak ölçülmüştür. Şekil 4.3'te verilen grafikte ise, işlemsel yükseltecin birim kazançtaki bant genişliği yaklaşık **14 MHz** ve faz payı değeri de **55°** olarak ölçülmüştür. Elde edilen bu sonuçlar literatürde bulunan yüksek kazançlı işlemsel yükselteç tasarımlarıyla karşılaştırıldığında, kısa kanal boyutuna sahip CMOS teknolojisi kullanılmasına rağmen yapılan tasarım sayesinde yüksek performans elde edildiği görülmektedir [5][8][9][11].

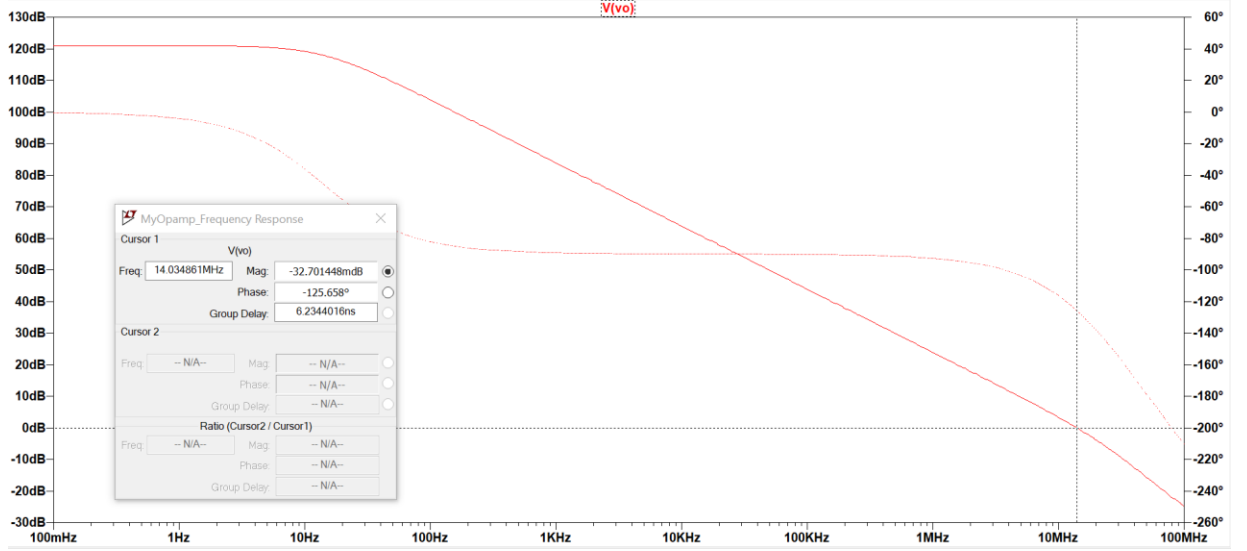


.ac dec 10 0.1 1e8  
 .lib D:\MyOpamp Simulations\My R2R Opamp.lib

Şekil 4.1. İşlemsel Yükseltecin Frekans Analizi için Benzetim Devresi



Şekil 4.2. İşlemsel Yükseltecin Açık Çevrim Kazancı ve Faz Payı Grafiği - 1

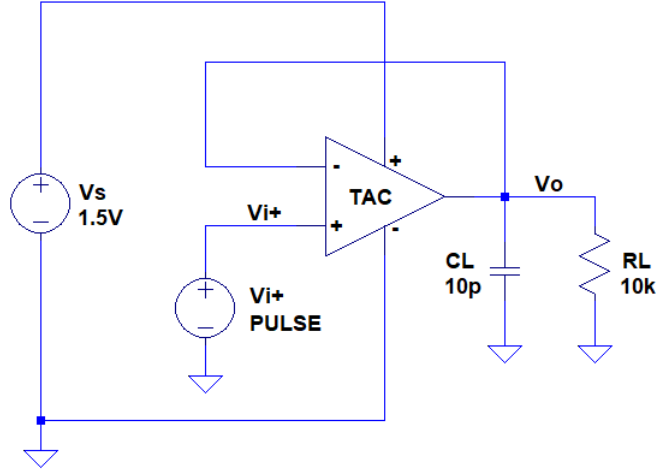


Şekil 4.3. İşlemsel Yükseltecin Açık Çevrim Kazancı ve Faz Payı Grafiği - 2

#### 4.2.2. Yetiştirme Hızı

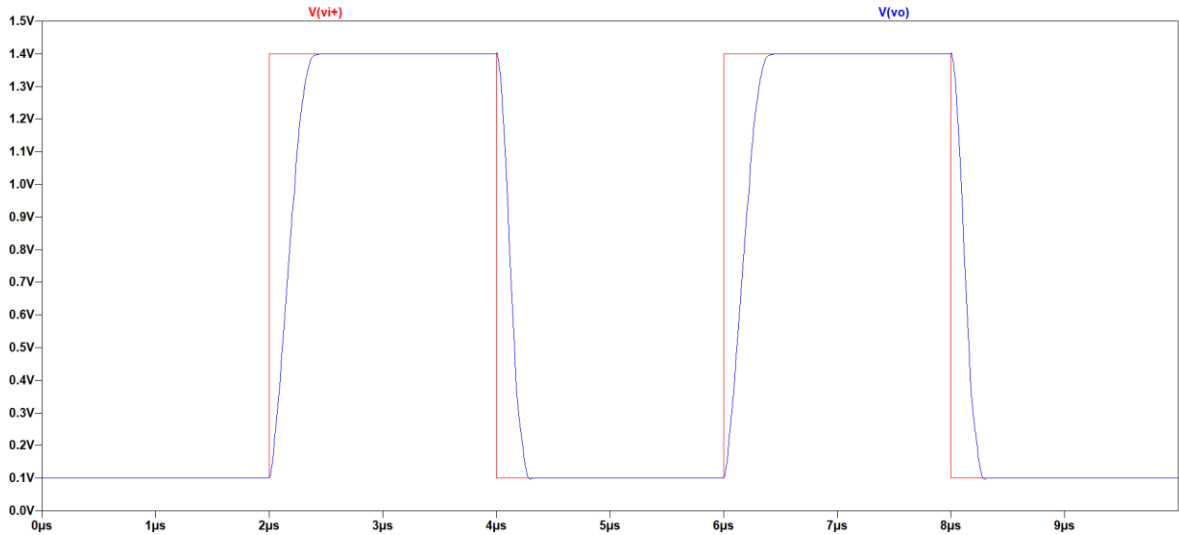
Tasarlanan işlemsel yükseltecin zamana bağlı olarak çıkışında oluşan gerilim değişimini gösteren yetiştirme hızı değerini bulmak için Şekil 4.4’de verilen “gerilim takip edici” benzetim devresi kurulmuştur. İşlemsel yükseltecin evirmeyen girişine, 4  $\mu$ s periyoda ve 1,3 V genliğe sahip bir kare dalga sinyali uygulanarak çıkışta oluşan sinyal gözlemlenmiştir. Şekil 4.5’te verilen grafikte, işlemsel yükseltecin çıkışında oluşan sinyalin %10’u ile %90’ı arasındaki gerilim farkına ne kadar sürede yükseldiği ölçülerek yetiştirme hızı değeri yaklaşık **4,2 V /  $\mu$ s** olarak hesaplanmıştır. Elde edilen sonuca göre, yapılan tasarım sayesinde hedeflenen değere ( $> 2 \text{ V} / \mu\text{s}$ ) ulaşılmış olduğu görülmektedir. İşlemsel yükseltecin açık çevrim kazancı ile yetiştirme hızı değeri ters orantılı olduğu için kazanç değerinin yüksek olması üzerine çalışmalar yapılmıştır. Ayrıca öngerilme akım değerini düşürerek güç tüketimini azaltmak için de yetiştirme hızı değeri düşük tutulmuştur. Bu yüzden tasarlanan işlemsel yükselteç literatürdeki benzer tasarımların bazılarına göre daha düşük yetiştirme hızı değerine sahiptir [8][11].





.tran 0 10u 0 10n  
 .lib D:\MyOpamp Simulations\My R2R Opamp.lib

Şekil 4.4. Gerilim Takip Edici Benzetim Devresi - 1

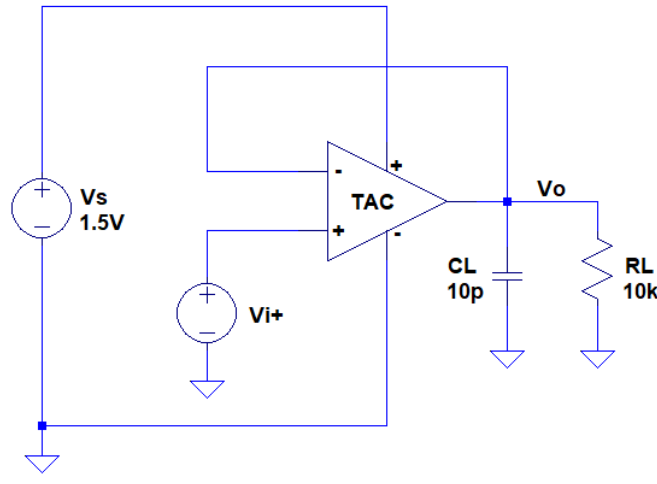


Şekil 4.5. İşlemsel Yükseltecin Yetiştirme Hızı Grafiği

### 4.2.3. Giriş Ortak-Mod Gerilim Aralığı

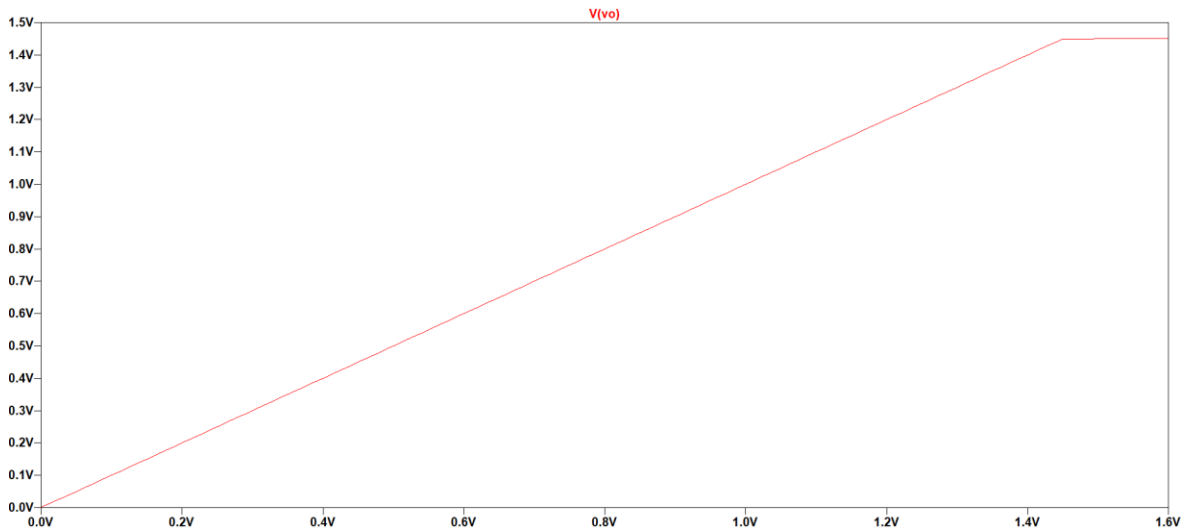
Tasarlanan işlemsel yükseltecin giriş ortak-mod gerilim aralığını bulmak için Şekil 4.6'da verilen "gerilim takip edici" benzetim devresi kurulmuştur. İşlemsel yükseltecin evirmeyen girişine, 0,01 V aralıklarla artan (0V - 1,6 V) aralığında bir DC gerilim kaynağı bağlanarak çıkışta oluşan gerilim değeri incelenmiştir. Şekil 4.7'de görüldüğü gibi işlemsel yükseltecin giriş ortak-mod gerilim aralığı **(0,05 V - 1,45 V)** olarak ölçülmüştür. Böylece beslemeleri kapsayan giriş özelliğine sahip bir işlemsel yükselteç elde edilmiştir. Ayrıca literatürde yapılan benzer tasarım çalışmalarına

bakıldığında, besleme gerilim aralığı boyunca işlemsel yükseltecin açık çevrim kazancının (%1 - %5) oranında değiştiği görülmektedir [6][9]. Bu tez çalışmasında ise, yapılan tasarım sayesinde elde edilen açık çevrim kazancı (119 dB - 121 dB) arasında salındığı için en fazla %1,5 oranında değişim olmaktadır. Sonuç olarak, kararlı bir işlemsel yükselteç tasarımına ulaşıldığı görülmektedir. Buna karşın, tasarımdan üretime geçerken kullanılan yöntemden dolayı meydana gelen uyumsuzluklar bu değişimin artmasına sebep olmaktadır.



```
.dc Vi+ 0 1.6 0.01
.lib D:\MyOpamp Simulations\My R2R Opamp.lib
```

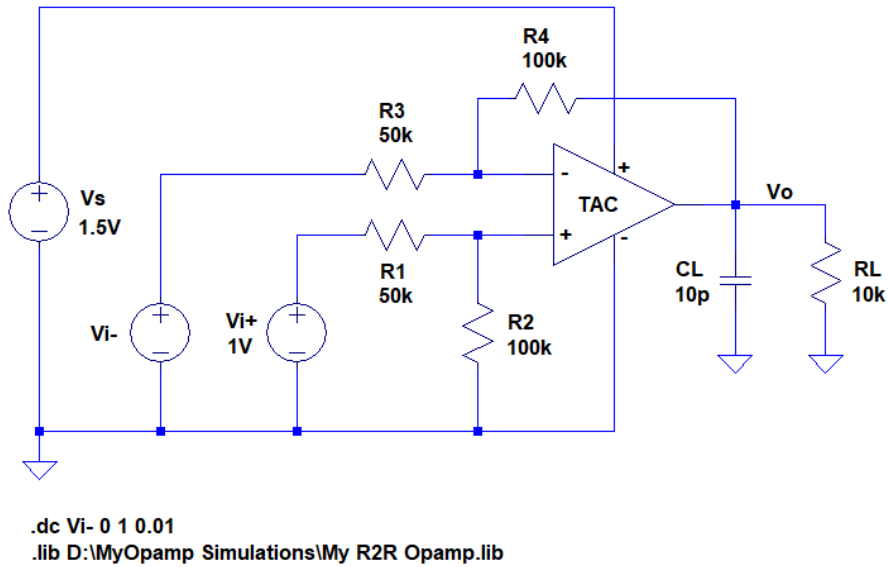
Şekil 4.6. Gerilim Takip Edici Benzetim Devresi - 2



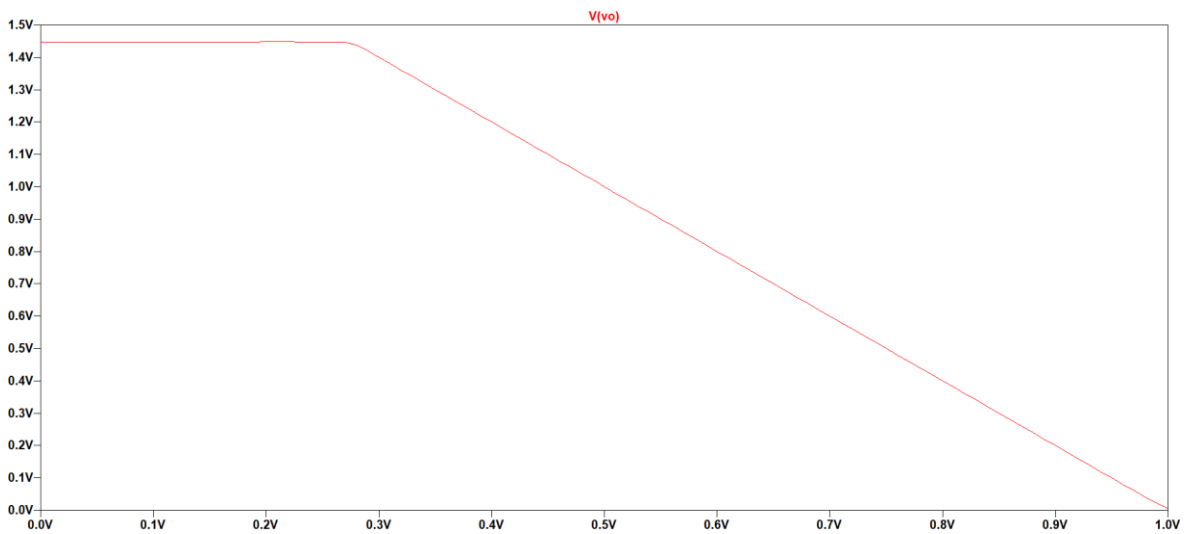
Şekil 4.7. İşlemsel Yükseltecin Giriş Ortak-Mod Gerilim Aralığı

#### 4.2.4. Çıkış Salınımı

Tasarlanan işlemsel yükseltecin çıkış salınım aralığını bulmak için Şekil 4.8'de verilen "iki kat fark yükselteç" benzetim devresi kurulmuştur. İşlemsel yükseltecin evirmeyen girişine sabit 1 V ve eviren girişine 0,01 V aralıklarla artan (0V - 1V) aralığında bir DC kaynak bağlanarak çıkışta oluşan gerilim değeri incelenmiştir. Şekil 4.9'da verilen grafikte ise, işlemsel yükseltecin çıkış salınım aralığı (**0,05 V - 1,45 V**) olarak ölçülmüştür. Elde edilen sonuca göre, beslemeleri kapsayan çıkışa sahip bir işlemsel yükselteç elde edildiği görülmektedir. Literatürde yapılan benzer çalışmalarda da aynı özellikte işlemsel yükselteç tasarımları bulunmaktadır [7][9].



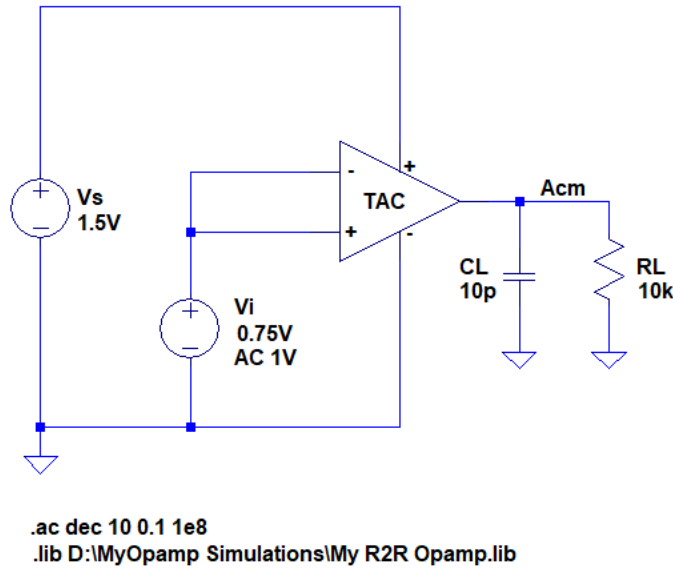
Şekil 4.8. İki Kat Fark Yükselteç Benzetim Devresi



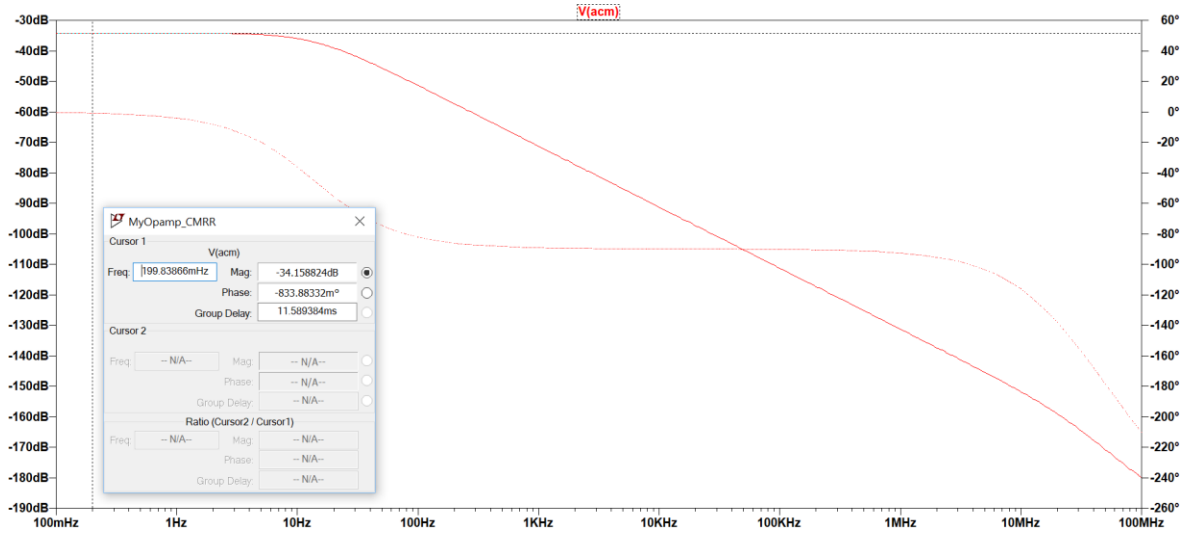
Şekil 4.9. İşlemsel Yükseltecin Çıkış Salınım Aralığı

#### 4.2.5. Ortak-Mod Bastırma Oranı (CMRR)

Tasarlanan işlemsel yükseltecin ortak-mod bastırma oranını (CMRR) bulabilmek için ayrık-mod kazancı ile ortak-mod kazancının birbirine oranının hesaplanması gerekmektedir. Bu yüzden öncelikle işlemsel yükseltecin ortak-mod kazancını bulmak için Şekil 4.10'da verilen benzetim devresi kurulmuştur. İşlemsel yükseltecin eviren ve evirmeyen girişine 1 V genliğinde AC sinyal uygulanarak çıkışta oluşan değişim incelenmiştir. Şekil 4.11'de verilen grafikte işlemsel yükseltecin ortak-mod kazancı yaklaşık **- 34 dB** olarak ölçülmüştür. Böylece CMRR değeri, (1.5) numaralı formül kullanılarak **121 dB - (- 34 dB) = 155 dB** olarak hesaplanmıştır. 80 dB ile 120 dB arasında CMRR değerine sahip standart işlemsel yükselteçlerle karşılaştırıldığında daha iyi bir performansa sahip olduğu görülmektedir. Böylece, yüksek CMRR değerine sahip olduğu için işlemsel yükseltecin çıkışında oluşacak hata gerilimi de daha düşük olur.



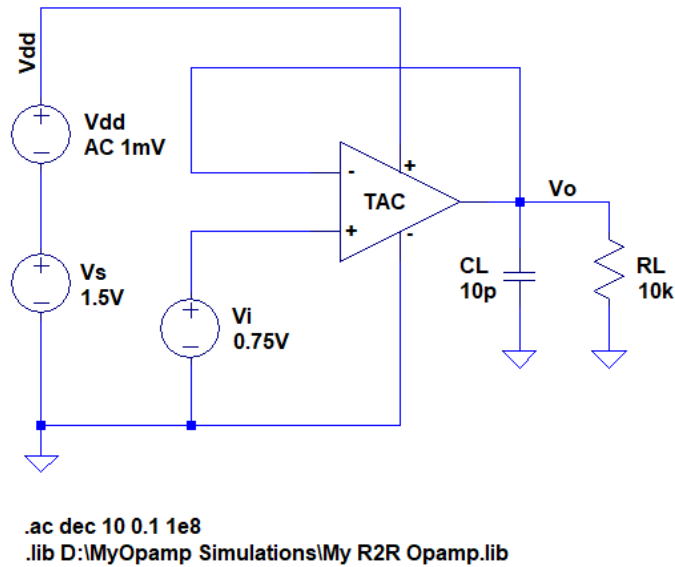
Şekil 4.10. İşlemsel Yükseltecin Ortak-Mod Kazancını Gösteren Benzetim Devresi



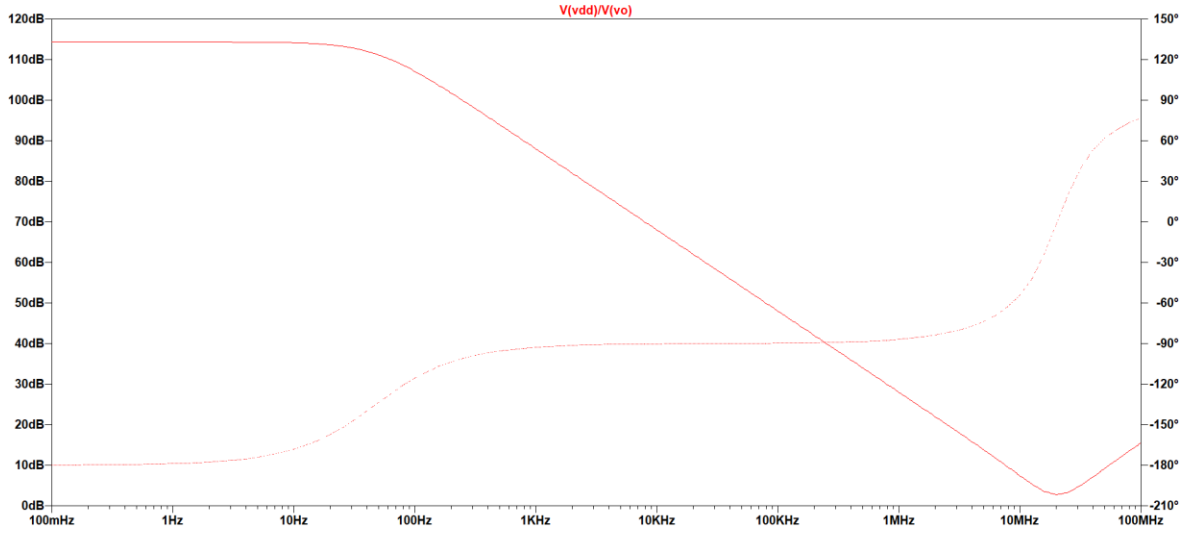
Şekil 4.11. İşlemsel Yükseltecin Ortak-Mod Kazanç Grafiği

#### 4.2.6. Güç Kaynağı Bastırma Oranı (PSRR)

Tasarlanan işlemsel yükseltecin güç kaynağı bastırma oranını (PSRR) bulabilmek için Şekil 4.12’de verilen “gerilim takip edici” benzetim devresi kurulmuştur. İşlemsel yükseltecin besleme hattına seri olacak şekilde, 1 mV genliğe sahip bir AC kaynak bağlanarak çıkışta oluşan sinyal incelenmiştir. Şekil 4.13’te verilen grafikte işlemsel yükseltecin PSRR değeri yaklaşık **114 dB** olarak ölçülmüştür. Standart işlemsel yükselteçler için PSRR değerinin 80 dB’den büyük olması önerilmektedir. Elde edilen sonuca göre, tasarlanan işlemsel yükseltecin güç beslemesinde oluşan değişimleri bastırma performansının iyi olduğu görülmektedir.



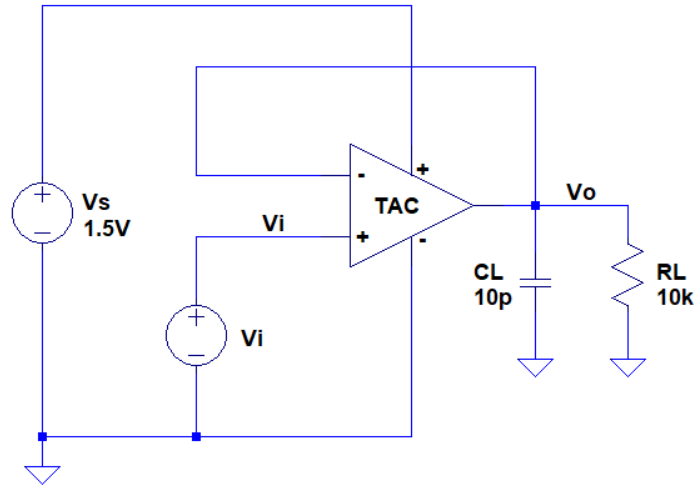
Şekil 4.12. İşlemsel Yükseltecin Güç Kaynağı Bastırma Oranını Gösteren Benzetim Devresi



Şekil 4.13. İşlemsel Yükseltecin Güç Kaynağı Bastırma Oranı Grafiği

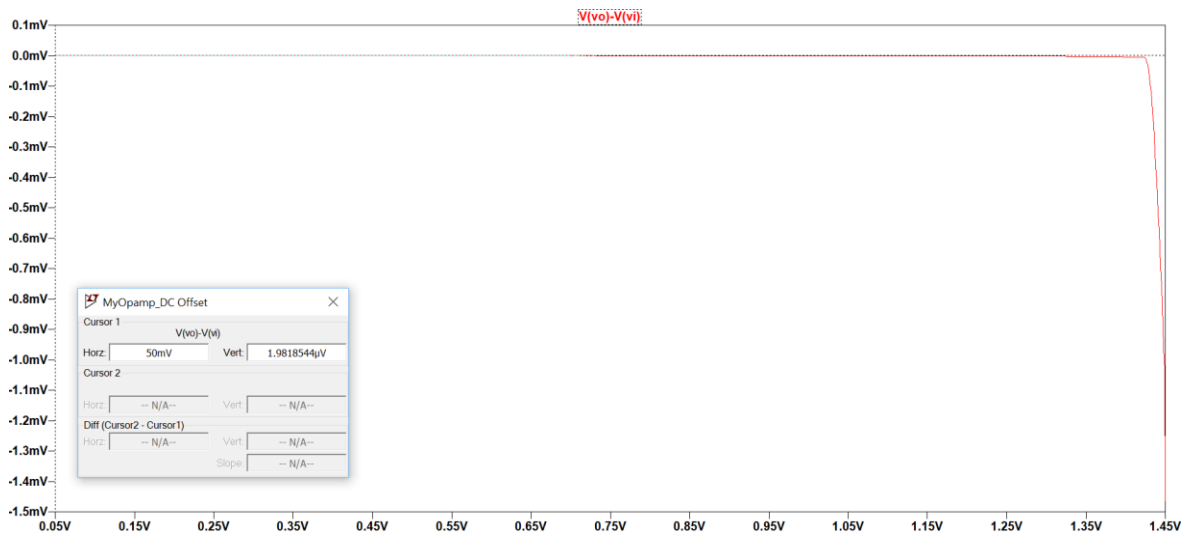
#### 4.2.7. Sapma Gerilimi

Tasarlanan işlemsel yükseltecin sapma gerilimini bulabilmek için Şekil 4.14'te verilen "gerilim takip edici" benzetim devresi kurulmuştur. İşlemsel yükseltecin evirmeyen girişine, giriş ortak-mod gerilim aralığı boyunca (0,05 V - 1,45 V) çalışacak şekilde, 1 mV aralıklarla artan bir DC gerilim kaynağı bağlanmıştır. Çıkışta oluşan gerilim değerinden girişe uygulanan gerilim değeri çıkarılarak ( $V_o - V_i$ ) sapma gerilimi elde edilmiştir. Şekil 4.15'te verilen grafiğe göre, işlemsel yükseltecin sapma gerilimi yaklaşık olarak **2  $\mu$ V ile - 1,5 mV arasında** ölçülmüştür. Elde edilen sonuca göre hedeflenen performans değerine (< 10 mV) ulaşıldığı görülmektedir. Buna karşın, işlemsel yükselteç tasarımında kullanılan transistörlerin üretimi sırasında oluşan uyumsuzluklar, sıcaklık değişimi ve genişlik-uzunluk oranlarındaki farklar sapma değerini değiştirdiği için benzetim sonucu elde edilen değer tam olarak doğru sonucu vermemektedir. Bu yüzden genellikle tümdevre üretiminden sonra yapılan testler sonucu işlemsel yükseltecin sapma gerilim değeri hesaplanmaktadır.



.dc Vi 0.05 1.44 0.001  
 .lib D:\MyOpamp Simulations\My R2R Opamp.lib

Şekil 4.14. İşlemsel Yükseltecin Sapma Gerilimini Gösteren Benzetim Devresi



Şekil 4.15. İşlemsel Yükseltecin Sapma Gerilim Grafiği

#### 4.2.8. Güç Tüketimi

Tasarlanan işlemsel yükseltecin güç tüketimi (4.1) numaralı formül kullanılarak hesaplanmaktadır. İşlemsel yükseltecin her bir devre katından geçen öngerilme akımıyla besleme gerilimleri arasındaki farkın çarpımı istenilen sonuca ulaşılmasını sağlamaktadır.

$$P_D = (I_3 + I_{13} + I_{14} + I_{15})(V_{DD} - V_{SS}) \quad (4.1)$$

İşlemsel yükseltecin besleme gerilimleri,  $V_{DD} = 1,5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$  ve her bir katından geçen öngerilme akımları ise,  $I_3 = 10 \text{ }\mu\text{A}$ ,  $I_{13} = 12,5 \text{ }\mu\text{A}$ ,  $I_{14} = 12,5 \text{ }\mu\text{A}$ ,  $I_{15} = 216 \text{ }\mu\text{A}$

olduđu için gc tketim deęeri yaklaşık **0,38 mW** olarak bulunmuřtur. Bylece hedeflenen sonuca ( $< 1 \text{ mW}$ ) ulařıldıđı grlmektedir. zellikle dřk gce alıřan tařınabilir cihazlarda gc tketimi az olan iřlemsel ykseteler tercih edilmektedir.

### 4.3. Sonular ve Uygulamalar

Bu tez alıřması kapsamında tasarlanan yksek kazanlı, beslemeleri kapsayan giriř ve ıkıř zellięine sahip (rail-to-rail) iřlemsel yksetecin performans zellikleri iin hedeflenen deęerler ve benzetimler sonrası elde edilen sonular izelge 4.1'de verilmiřtir.

*izelge 4.1. İřlemsel Yksetecin Benzetimler Sonucu Elde Edilen Performans zellikleri*

Parametreler	Hedeflenen Deęer	Benzetim Sonucu
Aık evrim Kazancı (Open Loop Gain)	$\geq 80 \text{ dB}$	121 dB
Bant Geniřlięi (Gain Bandwidth Product)	$\geq 10 \text{ MHz}$	14 MHz
Faz Payı (Phase Margin)	$\geq 45^\circ$	$55^\circ$
Yetiřme Hızı (Slew Rate)	$\geq 2 \text{ V} / \mu\text{s}$	$4,2 \text{ V} / \mu\text{s}$
Giriř Ortak Mod Aralıęı (Input Common Mode Range)	0,05 V - 1,45 V	0,05 V - 1,45 V
ıkıř Salınımı (Output Swing)	0,05 V - 1,45 V	0,05 V - 1,45 V
Ortak Mod Bastırma Oranı (Common Mode Rejection Ratio)	$\geq 80 \text{ dB}$	155 dB
Gc Kaynaęı Bastırma Oranı (Power Supply Rejection Ratio)	$\geq 80 \text{ dB}$	114 dB
Sapma (Offset)	$\leq 10 \text{ mV}$	(- 1,5 mV) - 2 $\mu\text{V}$
Gc Tketimi (Power Dissipation)	$\leq 1 \text{ mW}$	0,38 mW



Tasarlanan işlemsel yükseltece yönelik yapılan benzetimler sonucu elde edilen karakteristik özellikleri literatürde yapılan benzer çalışmalarla Çizelge 4.2'de karşılaştırılmıştır.

Çizelge 4.2. İşlemsel Yükselteç Tasarımlarında Performans Karşılaştırması

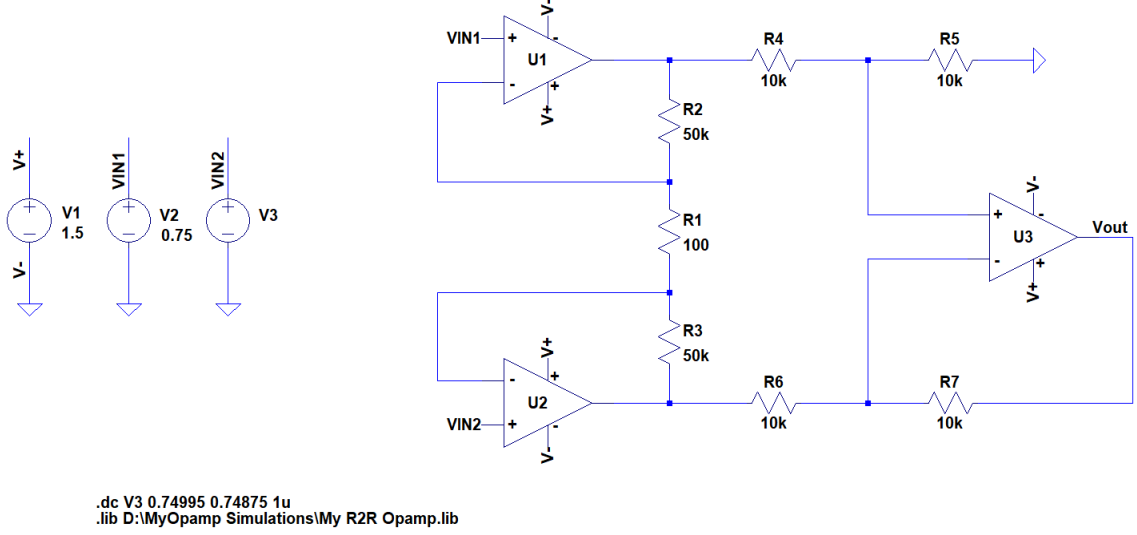
Parametreler	[5]	[18]	[19]	Yapılan Tasarım
CMOS Teknolojisi	0,5 $\mu\text{m}$	0,13 $\mu\text{m}$	0,35 $\mu\text{m}$	0,13 $\mu\text{m}$
Besleme Gerilimi	$\pm 1,25 \text{ V}$	1,2 V	3,3 V	1,5 V
Çıkıştaki Yük	100 pF	5 pF	5 pF	10 pF    10 k $\Omega$
Açık Çevrim Kazancı (Open Loop Gain)	72,45 dB	85,93 dB	156 dB	121 dB
Bant Genişliği (Kazanç = 1) (Gain Bandwidth Product)	2,01 MHz	55 MHz	1,13 MHz	14 MHz
Faz Payı (Phase Margin)	61,83°	-	69°	55°
Yetiştirme Hızı (Slew Rate)	1 / (- 2,45) V / $\mu\text{s}$	44,29 V / $\mu\text{s}$	-	4,2 V / $\mu\text{s}$
Giriş Ortak Mod Aralığı (Input Common Mode Range)	(1,1 V) - (- 0,75 V)	0,35 V - 0,85 V	Rail-to-rail	0,05 V - 1,45 V (Rail-to-rail)
Çıkış Salınımı (Output Swing)	(1,14 V) - (- 1,1 V)	1,1 V	Rail-to-rail	0,05 V - 1,45 V (Rail-to-rail)
Ortak Mod Bastırma Oranı (Common Mode Rejection Ratio)	-	61 dB	107 dB	155 dB
Güç Kaynağı Bastırma Oranı (Power Supply Rejection Ratio)	-	-	< 90 dB	114 dB
Sapma (Offset)	-	-	-	(- 1,5 mV) - 2 $\mu\text{V}$
Güç Tüketimi (Power Dissipation)	0,075 mW	0,11 mW	7 mW	0,38 mW

Tasarlanan işlemsel yükseltecin benzetim sonuçları incelendiğinde, özellikle hem yüksek kazanç hem de beslemeleri kapsayan giriş ve çıkış özelliği bakımından hedeflenen sonuçlara ulaşıldığı Çizelge 4.1’de görülmektedir. Buna ek olarak; işlemsel yükseltecin bant genişliği, CMRR ve PSRR gibi özelliklerinin de yeterli derecede performansa sahip olması sağlanmıştır. Çizelge 4.2’de verilen performans karşılaştırmasında tasarlanan işlemsel yükseltecin artı ve eksi yönleri gösterilmiştir. [18] numaralı çalışmada aynı kanal boyutuna sahip 130 nm CMOS teknolojisi ve 1,2 V besleme gerilimi kullanılarak iki katlı işlemsel yükselteç tasarımı yapılmıştır. Bu tasarımla 5 pF kapasitif yük altında 85,93 dB kazanç değeri elde edilmiştir; ancak bu tez çalışması kapsamında yapılan tasarım sayesinde 10 pF kapasitif ve 10 kΩ direnç yükü altında 121 dB kazanç değeri elde edilerek yüksek performanslı bir işlemsel yükselteç ortaya çıkarılmıştır. Ayrıca, [18] numaralı çalışmada işlemsel yükseltecin giriş ve çıkış katında tasarlanan devreyle beslemeleri kapsayan giriş ortak-mod gerilim aralığı ve çıkış salınım değeri elde edilemezken, bu tezde yapılan işlemsel yükselteç tasarımıyla beslemeleri kapsayan giriş ve çıkış (rail-to-rail) özelliği elde edilmiştir. Buna ek olarak, ortak mod bastırma oranı [18] numaralı çalışmayla karşılaştırıldığında daha yüksek seviyelerde olduğu için işlemsel yükseltecin çıkışında oluşacak hata gerilimleri de en aza indirilmiştir. İşlemsel yükseltecin açık çevrim kazancını yükseltmek için katlanmış kaskot devre yapısının kullanılması ve üç katlı bir tasarım tercih edilmesi güç tüketimini arttırmaktadır. Yapılan tasarımla transistörlerin genişlik-uzunluk oranları uygun değerlerde seçilerek güç tüketimi düşürülmeye çalışıldığı için bant genişliği ve yetiştirme hızı değerleri [18] numaralı çalışmaya göre daha düşük seviyelerde elde edilmiştir. [19] numaralı çalışmada ise, daha büyük kanal boyutuna sahip 350 nm CMOS teknolojisi ve 3,3 V besleme gerilimi kullanılarak kazanç, giriş ortak-mod gerilim aralığı ve çıkış salınımı özellikleri bakımından geliştirilmiş iki katlı işlemsel yükselteç tasarımı yapılmıştır. Bu tasarımla 5 pF kapasitif yük altında oldukça yüksek seviyede olan 156 dB kazanç değeri elde edilmiştir. Buna karşın, daha yüksek kapasitif yük ve özellikle de direnç yükü altında kazanç değeri önemli olduğu için bu tez çalışması kapsamında tasarlanan işlemsel yükselteçle elde edilen 121 dB kazanç değerinin [19] numaralı çalışmayla karşılaştırılabilir seviyede olduğu görülmektedir. Ayrıca yapılan tasarım sayesinde, kullanılan CMOS teknolojisine ait kanal boyutu [19] numaralı çalışmaya göre daha küçük ve besleme gerilimi daha düşük olmasına rağmen oldukça yüksek kazanç değerine sahip bir işlemsel yükselteç ortaya

çıkarılmıştır. Yapılan işlemsel yükselteç tasarımıyla [19] numaralı çalışma arasında giriş ortak-mod gerilim aralığı ve çıkış salınım değerleri karşılaştırıldığında ise her iki çalışmada da beslemeleri kapsayan giriş ve çıkış (rail-to-rail) özelliği elde edildiği görülmektedir. Ayrıca işlemsel yüksetecin çalışma hızını belirleyen bant genişliği değerine bakıldığında ise, bu tez çalışmasında tasarlanan işlemsel yükseltecin [19] numaralı çalışmaya göre yüksek kazançla sahip olmasının yanında bant genişliği değerinin de on kattan daha yüksek olduğu görülmektedir. İşlemsel yükselteç tasarımında yüksek kazanç ve yüksek bant genişliği hedeflerine ulaşırken taşınabilir cihazlarda kullanılabilmesi açısından işlemsel yükseltecin güç tüketimi değerinin de düşük olması gerekmektedir. Tasarlanan işlemsel yükselteç [19] numarada yapılan çalışmayla karşılaştırıldığında, 0.38 mW değerinde oldukça düşük güç tüketimi ile yüksek performans özelliklerine ulaşıldığı görülmektedir. Buna ek olarak; [19] numaralı çalışmada bulunan işlemsel yükselteç tasarımına ait CMRR ve PSRR değerlerinin de bu tez çalışmasında tasarlanan işlemsel yükseltece göre daha düşük seviyede olduğu görülmektedir. Böylece, tasarlanan işlemsel yüksetecin girişinde ve besleme gerilimleri üzerinde oluşan dalgalanmalar yüksek oranda sönmümlenerek çıkışta oluşacak hata gerilimlerinin en aza indirilmesi sağlanmıştır. Sonuç olarak, bu tez çalışması kapsamında tasarlanan işlemsel yükselteç literatürde bulunan benzer çalışmalarla karşılaştırıldığında, düşük gerilimle çalıştırılan ve yüksek performansla ihtiyaç duyan taşınabilir cihazlar için düşük akım ve gerilimleri yükseltme görevini karşılayacak nitelikte bir tasarım ortaya çıkarıldığı görülmektedir.

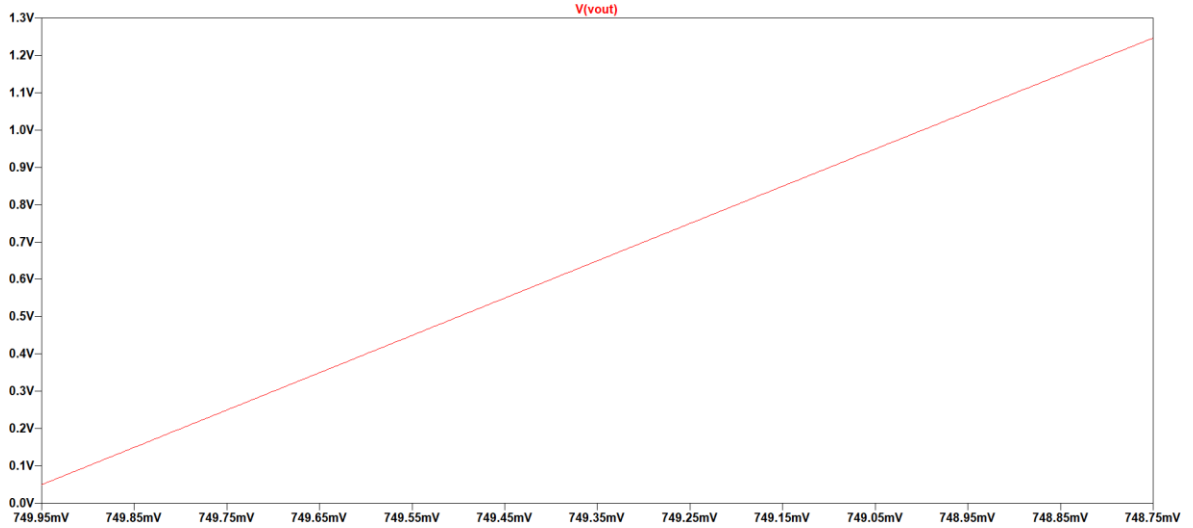
Tasarlanan yüksek kazançlı, beslemeleri kapsayan giriş ve çıkış (rail-to-rail) özelliğine sahip, güç tüketimi düşük olan işlemsel yüksetecin enstrümantasyon yükselteç uygulamalarında kullanılabilir olması hedeflenmiştir. Enstrümantasyon yükselteçler, medikal, otomotiv ve optik gibi alanlarda yüksek performansla çalışan çeşitli sensörler üzerinden hassas akım ve gerilim okuma amaçlı kullanılmaktadır. Enstrümantasyon yükselteç kullanılarak yapılan devre tasarımlarında genellikle mikrovolt - milivolt arası gerilimlerin yüksek doğrulukla okunması hedeflenmektedir [20]. Bu hedefler doğrultusunda, tasarlanan işlemsel yükselteç kullanılarak Şekil 4.16'da verilen bin kat kazançlı bir enstrümantasyon yükselteç devresinin benzetimi yapılmıştır. Ayrık girişlerden birine sabit 0,75 V, diğerine ise 1  $\mu$ V aralıklarla azalan (0,74995 V - 0,74875 V) aralığında gerilim uygulanarak çıkıştaki değişim

gözlemlenmiştir. Sonuç olarak, 50  $\mu\text{V}$  ile 1,25 mV arasındaki giriş gerilim aralığının tasarlanan işlemsel yükselteç sayesinde yüksek doğrulukla yükseltildiği Şekil 4.17'de görülmektedir.



Şekil 4.16. Bin Kat Kazançlı Enstrümantasyon Yükselteç Benzetim Devresi

$$V_{out} = (V_{IN1} - V_{IN2}) \left( 1 + \frac{2R_2}{R_1} \right) \left( \frac{R_5}{R_4} \right)$$



Şekil 4.17. Enstrümantasyon Yükseltecin Çıkışında Görülen Sinyal Grafiği

## 5. SONUÇLAR VE ÖNERİLER

İşlemsel yükselteç, medikal, optik ve haberleşme gibi alanlarda yaygın olarak kullanılan bir elektronik bileşendir. İhtiyaç duyulan uygulamaya yönelik olarak yüksek hız, yüksek kazanç veya düşük güç tüketimi gibi performans özelliklerine sahip işlemsel yükselteçler tercih edilmektedir. Hem yüksek hızlı hem de yüksek kazançta sahip işlemsel yükselteç yapmak zordur. Çünkü işlemsel yükselteç parametrelerinden bazıları birbirine ters orantılı olarak çalışmaktadır. Örneğin; yetiştirme hızı değerini yüksek tutabilmek için kazancı düşürmeniz gerekmektedir. Bu yüzden her açıdan yüksek performans elde edebilmek için daha karmaşık devre yapılarının kullanılması gerekmektedir.

Bu tez çalışması kapsamında, literatürde yapılan birçok çalışmaya göre daha kısa kanal boyutuna sahip 130 nm CMOS teknolojisi kullanılarak yüksek kazançlı işlemsel yükselteç tasarımı yapılmıştır. Ayrıca, işlemsel yükseltecin beslemeleri kapsayan giriş ve çıkış (rail-to-rail) özelliğine sahip olması hedeflenmiştir. Bu özelliklerin yanında güç tüketiminin de yeterli seviyede düşük tutulması sağlanarak taşınabilir uygulamalar için kullanılabilir olması hedeflenmiştir. Yapılan üç katlı ve kendinden beslemeli işlemsel yükselteç tasarımında, giriş katında NMOS ve PMOS fark yükselteç devreleri birlikte kullanılarak beslemeleri kapsayan giriş özelliği elde edilmiştir. Fark yükselteç devrelerinde bulunan transistörlerin doyum bölgesinde çalışması için gereken öngerilme akım ve ön besleme gerilim ihtiyacı da temel akım aynası devreleriyle karşılanmıştır. Ayrıca, temel akım aynası devreleri sayesinde transistörler aktif - doyum bölgesi arasında çalıştırılarak çıkış empedansı artırılmış ve işlemsel yükseltecin yüksek kazançlı olması sağlanmıştır. Buna ek olarak, işlemsel yükseltecin girişine ortaya seviyeli sinyal uygulandığında ortaya çıkan geçiş iletkenlik değişim sorunu için de akım bölme tekniği kullanılmıştır. Böylece, giriş ortak mod gerilim aralığı boyunca kazanç değerinin yüksek oranda sabit kalması sağlanmıştır. İkinci katta ise hem kazancı artırmak hem de ayırık çıkıştan tek çıkış elde etmek için katlanmış-kaskot yükselteç devresi kullanılmıştır. Ayrıca, çıkış katında kullanılan it-çek tersleme devresiyle hem beslemeleri kapsayan çıkış salınım değerine hem de kapasitör ve direnç yükü sürebilen tamponlu çıkışa sahip bir işlemsel yükselteç elde edilmiştir. Katlanmış-kaskot yükselteç devresi kendi kendini kompanze edebildiği için ikinci katla çıkış katı arasında sadece 2,5 pF

değerinde Miller kapasitörü kullanılarak işlemsel yükseltecin kararlı çalışması sağlanmıştır.

Tasarlanan işlemsel yükseltecin benzetimleri sonucunda; (0,05 V - 1,45 V) arasındaki giriş ortak mod gerilim aralığı boyunca (119 dB - 121 dB) arasında sabit açık çevrim kazancı, (0,05 V - 1,45 V) arasında çıkış salınım değeri ve 0,38 mW güç tüketimi elde edilmiştir. Böylece, hem yüksek kazançlı hem de beslemeleri kapsayan (rail-to-rail) giriş ve çıkış özelliğinde, düşük güç tüketimine sahip işlemsel yükselteç hedefine ulaşılmıştır. Buna ek olarak, bant genişliği, faz payı ve yetiştirme hızı gibi işlemsel yükseltecin diğer karakteristik özellikleri de yeterli seviyede tutulmuştur. Tasarlanan işlemsel yükseltecin farklı uygulama alanlarında kullanılabilir olması hedeflenmiştir. Bu tez çalışması kapsamında tasarlanan işlemsel yükselteçle benzetimi yapılan bir enstrümantasyon yükselteç devresinde, ayrık hatlı girişlere uygulanan mikrovolt - milivolt arasındaki düşük gerilimli sinyallerin yüksek doğrulukla yükseltildiği görülmüştür.

Yapılan işlemsel yükselteç tasarımı ihtiyaç duyulacak farklı uygulamalara göre geliştirilebilir niteliktedir. Performansın yüksek olması beklenen ilgili karakteristik özellikler tekrar gözden geçirilip tasarım üzerinde iyileştirmeler yapılabilir. Şematik tasarımı yapılan ve benzetimlerle her bir performans parametresi doğrulanan işlemsel yükselteç gelecekte yapılacak çalışmalarla uygulamaya özel bir tümdevreye dönüştürülebilir. Hem tasarım hem de üretim adına yüksek miktarda maddi kaynak gerektiği için ancak üretim desteği alınarak işlemsel yükseltecin tümdevre tasarımı yapıp üretirebilir. Böylece, tasarlanan işlemsel yükselteç gerçek hayatta test edilebileceği için performans parametreleri göz önünde bulundurularak ihtiyaç duyulan uygulamaya özel bir tümdevre haline getirilebilir.

## KAYNAKLAR

- [1] R. Mancini, Op Amps For Everyone, <http://www.cypress.com/file/65366/download> (Erişim tarihi: **25 Ocak 2017**).
- [2] L. Li, High Gain Low Power Operational Amplifier Design and Compensation Techniques, Doctoral Thesis, Department of Electrical and Computer Engineering at Brigham Young University, United States, **2007**.
- [3] S. Payami, Design of an Operational Amplifier for High Performance Pipelined ADCs in 65nm CMOS, Master's Thesis, Electronic Devices at Linköping Institute of Technology, Sweden, **2012**.
- [4] Q. Wan, Design of High Performance Amplifiers, Doctoral Thesis, Department of Electrical and Computer Engineering at University of Arizona, United States, **2013**.
- [5] V. Kumar, High Bandwidth Low Power Operational Amplifier Design and Compensation Techniques, Master's Thesis, Department of Electrical Engineering at Iowa State University, United States, **2009**.
- [6] A. Gharbiya, Operational Amplifiers Rail to Rail Input Stages Using Complementary Differential Pairs, [http://www.eecg.utoronto.ca/~kphang/papers/2002/gharbiya\\_constgmota.pdf](http://www.eecg.utoronto.ca/~kphang/papers/2002/gharbiya_constgmota.pdf) (Erişim tarihi: **26 Mayıs 2018**).
- [7] M. A. G. Lorenzo, A. A. S. Manzano, M. T. A. Gusad, J. R. E. Hizon, M. D. Rosales, Design and implementation of CMOS rail-to-rail operational amplifiers, International Symposium on Communications and Information Technologies, 17-19 October, Sydney, Australia, **2007**.
- [8] P. Lo, A Fully Differential CMOS Operational Amplifier Implemented with MOS Gain Boosting Technique, Master's Thesis, Department of Electrical Engineering at Texas Tech University, United States, **1996**.
- [9] R. L. Beal, A Low Voltage Rail-to-Rail Operational Amplifier with Constant Operation and Improved Process Robustness, Master's Thesis, Department of Electrical Engineering at Iowa State University, United States, **2009**.
- [10] P. E. Allen, D. R. Holberg, CMOS Analog Circuit Design, Third Edition, Oxford University Press, Inc., **2002**.
- [11] C. Ulaganathan, Design and Analysis of a General Purpose Operational Amplifier for Extreme Temperature Operation, Master's Thesis, Department of Electrical Engineering at University of Tennessee, United States, **2007**.
- [12] R. Sharma, N. Gupta, A. Kumar, Comparative analysis of different current mirror using 0.35 $\mu$ m and its application, International Journal of Advanced Research in Computer Science and Electronics Engineering, June, Bhopal, India, **2014**.

- [13] F. Maloberti, Current and Voltage Sources, <http://ims.unipv.it/Courses/download/AIC/PresentationNO04.pdf> (Erişim tarihi: **7 Ekim 2018**).
- [14] J. Bin Omar, Differential Amplifier with Active Load, <http://metalab.uniten.edu.my/~jamaludin/EEEE273 N07- Diff Amp ActiveLoad x6.pdf> (Erişim tarihi: **28 Nisan 2018**).
- [15] Lund University, Data Sheet for Analog IC Design, [https://www.eit.lth.se/fileadmin/eit/courses/eti063/datasheet09\\_extended.pdf](https://www.eit.lth.se/fileadmin/eit/courses/eti063/datasheet09_extended.pdf) (Erişim tarihi: **22 Nisan 2018**).
- [16] Y. Lin, A New Architecture of Constant- $g_m$  Rail-to-Rail Input Stage for Low Voltage Low Power CMOS Op Amp, Master's Thesis, Department of Electrical and Computer Engineering at Ohio State University, United States, **2010**.
- [17] R. J. Baker, CMOS Circuit Design, Layout and Simulation, Third Edition, A John Wiley & Sons, Inc., Publication, **2007**.
- [18] M. H. Hamzah, A. B. Jambek, U. Hashim, Design and analysis of a two-stage CMOS op-amp using Silterra's 0.13  $\mu\text{m}$  technology, IEEE Symposium on Computer Applications & Industrial Electronics, 7-8 April, Penang, Malaysia, **2014**.
- [19] L. Kouhalvandi, S. Aygün, E. O. Güneş, M. Kırıcı, An improved 2 stage opamp with rail-to-rail gain-boosted folded cascode input stage and monticelli rail-to-rail class AB output stage, IEEE International Conference on Electronics, Circuits and Systems, 5-8 December, Batumi, Georgia, **2017**.
- [20] C. Kitchin, L. Counts, A Designer's Guide to Instrumentation Amplifiers, Tech. Report. G02678-15-9/06(B), U.S.A., **2006**.

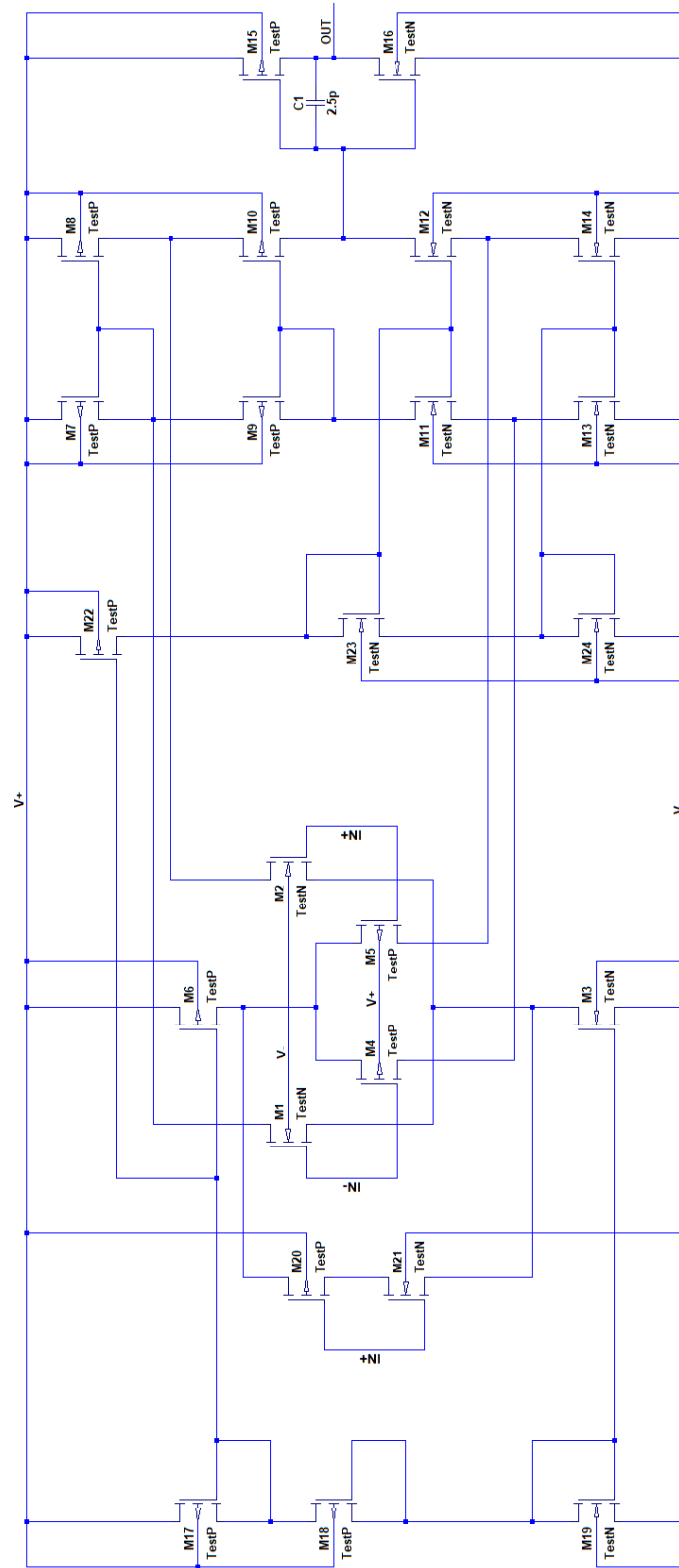


# EKLER

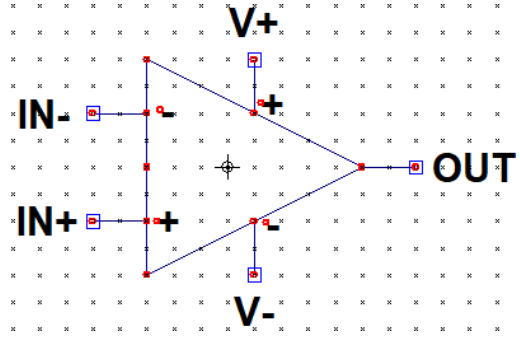
## MATLAB ile Yapılan Hesaplamalar

```
%Step-1
CC = 2.5e-12; %Selected Output Capacitor
SR = 4e6; %Slew Rate
I3 = CC*SR; I6 = I3; %Diff Amp Bias Current
%Step-2
%All Transistors' Bias Currents in Folded Cascode Amplifier
I8 = 1.25*I3; I7 = I8; I10 = I8 - I3/2; I9 = I10;
I11 = I10; I12 = I11; I13 = I8; I14 = I13;
%Step-3
Kp = 100e-6; Vdd = 1.5; Vomax = 1.4;
%Saturation Voltages of PMOS Transistors in Folded Cascode Amplifier
Vsd10 = 0.5*(Vdd - Vomax); Vsd8 = Vsd10;
WoverL8 = 2*I8/(Kp*Vsd8^2); WoverL7 = WoverL8; %Find WoverL7_8
WoverL10 = 2*I10/(Kp*Vsd10^2); WoverL9 = WoverL10; %Find WoverL9_10
%Step-4
Kn = 400e-6; Vss = 0; Vomn = 0.1;
%Saturation Voltages of NMOS Transistors in Folded Cascode Amplifier
Vds14 = 0.5*(Vomn - Vss); Vds12 = Vds14; WoverL12 = 2*I12/(Kn*Vds12^2);
WoverL11 = WoverL12; %Find WoverL11_12
WoverL14 = 2*I14/(Kn*Vds14^2); WoverL13 = WoverL14; %Find WoverL13_14
%Step-5
GB = 16e6; gm1 = 2*pi*GB*CC;
WoverL2 = (gm1^2)/(Kn*I3); WoverL1 = WoverL2; %Find WoverL1_2
WoverL5 = (gm1^2)/(Kp*I6); WoverL4 = WoverL5; %Find WoverL4_5
%Step-6
Vinmin = 0.05; Vinmax = 1.45; Vthn = 0.3; Vthp = -0.3;
%Find WoverL3
WoverL3 = 2*I3/(Kn*(Vinmin - Vss - sqrt(I3/(Kn*WoverL1)) - Vthn)^2);
%Find WoverL6
WoverL6 = 2*I6/(Kp*(Vdd - Vinmax - sqrt(I6/(Kp*WoverL4)) - abs(Vthp))^2);
%Step-7
lamda_n = 0.08; lamda_p = 0.04; RL = 10000;
I15 = 216e-6; I16 = 128e-6; WoverL15 = 25; WoverL16 = 2.5;
gm2 = sqrt(2*(I3/2)*Kn*WoverL2); gds2 = lamda_n*(I3/2); gds8 = lamda_p*I8;
gm10 = sqrt(2*I10*Kp*WoverL10); gds10 = lamda_p*I10;
gm12 = sqrt(2*I12*Kn*WoverL12); gds12 = lamda_n*I12; gds14 = gds12;
gm15 = sqrt(2*I15*Kp*WoverL15); gds15 = lamda_p*I15;
gm16 = sqrt(2*I16*Kn*WoverL16); gds16 = lamda_n*I16;
Req = gm12*(1/gds12)*(1/gds14); k = Req*(gds2 + gds8)/(gm10*(1/gds10));
Rout1 = ((1/Req) + (1/(gm10*(1/gds10)*(1/(gds2 + gds8))))))^(-1);
Rout2 = ((1/(gds15 + gds16))*RL)/((1/(gds15 + gds16)) + RL);
%Open Loop Gain (V/V)
Av = ((2 + k)/(2 + 2*k))*gm2*Rout1*(gm15 + gm16)*Rout2;
Av_dB = 20*log10(Av); %Open Loop Gain (dB)
%Step-8
Pdis = (I3 + I13 + I14 + I15)*(Vdd - Vss); %Power Dissipation
```

## LTspice ile Yapılan İşlemsel Yükselteç Şematik Kütüphanesi



## LTspice ile Yapılan İşlemsel Yükselteç Sembol Kütüphanesi



## LTspice ile Yapılan İşlemsel Yükselteç Şematik ve Sembol Bağlantı Dosyası

```
.subckt MyOpamp 1 2 3 4 5
M1 N001 1 N010 5 TestN l=0.26u w=4.16u
M2 N003 2 N010 5 TestN l=0.26u w=4.16u
M3 N010 N008 5 5 TestN l=0.26u w=0.26u
M19 N008 N008 5 5 TestN l=0.26u w=0.26u
M4 N004 1 N012 4 TestP l=0.26u w=16.64u
M5 N004 2 N011 4 TestP l=0.26u w=16.64u
M6 4 N002 N004 4 TestP l=0.26u w=0.78u
M17 4 N002 N002 4 TestP l=0.26u w=0.78u
M18 N002 N008 N008 4 TestP l=0.26u w=3.38u
M20 N004 2 N009 4 TestP l=0.26u w=99.84u
M21 N009 2 N010 5 TestN l=0.26u w=24.96u
M7 4 N001 N001 4 TestP l=0.26u w=39u
M8 4 N001 N003 4 TestP l=0.26u w=39u
M9 N001 N005 N005 4 TestP l=0.26u w=15.6u
M10 N003 N005 N006 4 TestP l=0.26u w=15.6u
M11 N005 N007 N012 5 TestN l=0.26u w=3.9u
M12 N006 N007 N011 5 TestN l=0.26u w=3.9u
M13 N012 N013 5 5 TestN l=0.26u w=6.5u
M14 N011 N013 5 5 TestN l=0.26u w=6.5u
M22 4 N002 N007 4 TestP l=0.26u w=0.96u
M23 N007 N007 N013 5 TestN l=0.26u w=7.8u
M24 N013 N013 5 5 TestN l=0.26u w=6.5u
M15 4 N006 3 4 TestP l=0.26u w=6.5u
M16 3 N006 5 5 TestN l=0.26u w=0.65u
C1 3 N006 2.5p
.ends MyOpamp
.model NMOS NMOS
.model PMOS PMOS
.lib D:\MyOpamp Simulations\standard.mos
.MODEL TestN NMOS (KP=400u VT0=0.3 LAMBDA=0.08)
.MODEL TestP PMOS (KP=100u VT0=-0.3 LAMBDA=0.04)
.backanno
.end
```

## 130 nm CMOS Transistör Parametreleri

### Technology parameters

Note: The design rules and electrical parameters presented in this document are representative for a 130nm CMOS process, and are intended for teaching purpose only.

	—Transistor—				Unit
	N		P		
		-type		-type	
Gain factor	$k'_n$	400	$k'_p$	100	$\mu\text{A}/\text{V}^2$
Threshold volt. (W/L=10/0.5)	$V_{t0n}$	0.3	$V_{t0p}$	-0.3	V
Side diffusion S/D (0.13 $\mu\text{m}$ )	$L_{d,n}$	0.005	$L_{d,p}$	0.005	$\mu\text{m}$
Depletion layer width, active region (0.13 $\mu\text{m}$ )	$X_{d,n}$	0.005	$X_{d,p}$	0.005	$\mu\text{m}$
Body effect factor (W/L=10/1)	$\gamma_n$	0.58	$\gamma_p$	-0.45	$\sqrt{\text{V}}$
Surface potential ( $\phi_0 \approx 2 \cdot \phi_f$ )	$2\phi_{fn}$	0.7	$2\phi_{fp}$	-0.7	V
Channel length modulation	$ \frac{dX_{d,n}}{dV_{DS}} $	0.08	$ \frac{dX_{d,p}}{dV_{DS}} $	0.04	$\mu\text{m}/\text{V}$
Junc. built-in pot.	$\psi_{0,n+}$	0.6	$\psi_{0,p+}$	0.65	V
D-S breakdown volt. (0.13 $\mu\text{m}$ )	$V_{BVn}$	$> 3$	$V_{BVp}$	$< -3$	V

—Capacitances (layer to substrate)—		
	Area $\text{fF}/\mu\text{m}^2$	Perimeter $\text{fF}/\mu\text{m}$
gate oxide capacitance	$C_{ox}$ 14	
gate-diff (S/D) overlap		$C_{ol}$ 0.07
gate-bulk cap.		$C_{gb0}$ 0.11
n <sup>+</sup> diffusion (0 V)	$C_{j0n}$ 1.0	$C_{jswn}$ 0.05
p <sup>+</sup> diffusion (0 V)	$C_{j0p}$ 1.1	$C_{jswp}$ 0.06
N <sub>well</sub> -bulk (0 V)	$C_{jw}$ 0.11	$C_{jwp}$ 0.53
poly	$C_p$ 0.105	$C_{pp}$ 0.025
metal1	$C_{m1}$ 0.043	
metal2	$C_{m2}$ 0.025	
metal3	$C_{m3}$ 0.017	
metal4	$C_{m4}$ 0.012	
metal5	$C_{m5}$ 0.010	
metal6	$C_{m6}$ 0.008	
metal7	$C_{m7}$ 0.007	
metal8	$C_{m8}$ 0.006	

—Sheet resistance—		
Layer	$\Omega/\square$	
poly	$R_{sp}$	7.5
metal1-6	$R_{sm1-6}$	0.065
metal7	$R_{sm7}$	0.03
metal8	$R_{sm8}$	0.03
n <sup>+</sup> diff.	$R_{sdn}$	8
p <sup>+</sup> diff.	$R_{sdp}$	8
n-well	$R_{snw}$	400

—Max. current density—		
Layer	$\text{mA}/\mu\text{m}$	
poly1	$J_p$	0.5
metal1-6	$J_{m1-6}$	2.4
metal7	$J_{m7}$	7.2
metal8	$J_{m8}$	7.2

—Contact resistance—		
Layer-layer	$\Omega/\text{cnt}$	
metal1-n <sup>+</sup> diff.	$R_{cdn}$	12
metal1-p <sup>+</sup> diff.	$R_{cdp}$	12
metal1-poly	$R_{cp}$	8
metal2-metal1, via1	$R_{via1}$	1.2
metal3-metal2, via2	$R_{via2}$	1.2
metal4-metal3, via3	$R_{via3}$	1.2
metal5-metal4, via4	$R_{via4}$	1.2
metal6-metal5, via5	$R_{via5}$	1.2
metal7-metal6, via6	$R_{via6}$	0.7
metal8-metal7, via7	$R_{via7}$	0.7

—Max. contact current—		
0.16 $\mu\text{m} \times 0.16\mu\text{m}$ metal1-poly/diff		
0.2 $\mu\text{m} \times 0.2\mu\text{m}$ via1-5,		
0.4 $\mu\text{m} \times 0.4\mu\text{m}$ via6,7		
Layer-layer	$\text{mA}/\text{via}$	
metal1-poly/diff	$I_{cp}$	0.94
via 1-5	$I_{via1-5}$	0.7
via 6,7	$I_{via6,7}$	1.8
Layer	$\text{mA}/\mu\text{m}$	
metal 1-6	$I_{m1-6}$	2.5
metal 7,8	$I_{m7,8}$	7.5



HACETTEPE ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ  
YÜKSEK LİSANS TEZ ÇALIŞMASI ORJİNALLİK RAPORU

HACETTEPE ÜNİVERSİTESİ  
FEN BİLİMLER ENSTİTÜSÜ  
ELEKTRİK VE ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI BAŞKANLIĞI'NA

Tarih: 18/02/2019

Tez Başlığı / Konusu: Yüksek Kazançlı, Beslemeleri Kapsayan Giriş / Çıkış Özellikli İşlemsel Yükselteç Tasarımı

Yukarıda başlığı/konusu gösterilen tez çalışmamın a) Kapak sayfası, b) Giriş, c) Ana bölümler d) Sonuç kısımlarından oluşan toplam 62 sayfalık kısmına ilişkin, 18/02/2019 tarihinde tez danışmanım tarafından *Turnitin* adlı intihal tespit programından aşağıda belirtilen filtrelemeler uygulanarak alınmış olan orijinallik raporuna göre, tezimin benzerlik oranı % 2 'dir.

Uygulanan filtrelemeler:

- 1- Kaynakça hariç
- 2- Alıntılar hariç/~~dâhil~~
- 3- 5 kelimedenden daha az örtüşme içeren metin kısımları hariç

Hacettepe Üniversitesi Fen Bilimleri Enstitüsü Tez Çalışması Orjinallik Raporu Alınması ve Kullanılması Uygulama Esasları'nı inceledim ve bu Uygulama Esasları'nda belirtilen azami benzerlik oranlarına göre tez çalışmamın herhangi bir intihal içermediğini; aksinin tespit edileceği muhtemel durumda doğabilecek her türlü hukuki sorumluluğu kabul ettiğimi ve yukarıda vermiş olduğum bilgilerin doğru olduğunu beyan ederim.

Gereğini saygılarımla arz ederim.

Tarih ve İmza

Adı Soyadı: CİHAN ERZEN

Öğrenci No: N14323353

Anabilim Dalı: ELEKTRİK VE ELEKTRONİK MÜHENDİSLİĞİ

Programı: TEZLİ YÜKSEK LİSANS

Statüsü:  Y.Lisans  Doktora  Bütünleşik Dr.

18/02/2019

C. Erzen

**DANIŞMAN ONAYI**

UYGUNDUR.

PROF. DR. ALİ ZİYA ALKAR

## ÖZGEÇMİŞ

### Kimlik Bilgileri

Adı Soyadı : Cihan ERZEN

Doğum Yeri : Keçiören

Medeni Hali : Bekar

E-posta : c.erzn@hotmail.com

Adresi : Bağlıca Mah. Güzelköy Cad. Kuru Konsept Sitesi, No: 19 / A, D: 20  
Etimesgut / ANKARA

### Eğitim

Lisans : Çankaya Üniversitesi, Elektronik ve Haberleşme Mühendisliği  
(Burslu) (2009 - 2014)

Lise : Kocatepe Mimar Kemal (Yabancı Dil Ağırlıklı) Lisesi (2004 - 2008)

### Yabancı Dil Düzeyi

İngilizce : İyi

Fransızca : Başlangıç

### İş Deneyimi

2015 – Halen: TÜBİTAK Uzay Teknolojileri Araştırma Enstitüsü, Araştırmacı

2015 – 2015: Başarı Teknolojik Sistemler San. ve Tic. A.Ş., Donanım Tasarım  
Mühendisi

2014 – 2015 : Mobiliz Bilgi ve İletişim Teknolojileri A.Ş., Ürün Geliştirme ve Destek  
Mühendisi

### Deneyim Alanları

Analog Elektronik Devre Tasarımı, Çok Katlı PCB Tasarım, Tasarım ve Üretim  
Teknik Dokümantasyon, Donanım Test ve Entegrasyon.