

**HF BANT SAYISAL SPEKTRUM MONİTÖRÜ CİHAZININ  
TASARIMI VE GERÇEKLEŞTİRİLMESİ**

**DESIGN AND IMPLEMENTATION OF AN HF BAND  
DIGITAL SPECTRUM MONITORING DEVICE**

**GÖKTUĞ KAYNAKÖZ**

**DR. ÖĞR. ÜYESİ YAKUP ÖZKAZANÇ**

**Tez Danışmanı**

Hacettepe Üniversitesi

Lisansüstü Eğitim-Öğretim ve Sınav Yönetmeliğinin

Elektrik ve Elektronik Mühendisliği Anabilim Dalı için Öngördüğü

YÜKSEK LİSANS TEZİ olarak hazırlanmıştır.

Eylül 2024

## ÖZET

### HF BANT SAYISAL SPEKTRUM MONİTÖRÜ CİHAZININ TASARIMI VE GERÇEKLEŞTİRİLMESİ

Göktuğ KAYNAKÖZ

Yüksek Lisans, Elektrik ve Elektronik Mühendisliği Anabilim Dalı

Danışman: Dr. Öğr. Üyesi Yakup ÖZKAZANÇ

Eylül 2024, 116 sayfa

Elektronik harp sistemleri askeri ve istihbarat operasyonlarında kullanılan önemli bir elektronik savaş aracıdır. Bu sistemler, düşmanın iletişim ağlarına ve radar sistemlerine müdahale etmek, sinyal istihbaratı toplamak, tehditleri tespit etmek ve karşı önlemler almak için kullanılır. Farklı frekans bantlarında çalışan birçok almaç vardır. Bunlardan biri olan Yüksek frekans (HF) almaçları radyo frekanslarında (3 MHz ile 30 MHz arasında) çalışan cihazlardır. Bu alıcılar genellikle sinyal istihbaratı ve sahadaki tehditleri tespit etmek için kullanılır.

Yapmış olduğumuz bu tez çalışması ile mevcut teknoloji ve algoritmaları göz önünde bulundurarak, HF bandında güvenilir ve etkili çalışma sağlayan bir sayısal spektrum monitör sisteminin donanım ve algoritma geliştirilmesi amaçlanmaktadır. Bu tez; teorik inceleme, simülasyonlar, prototip tasarım ve test aşamalarını içeren kapsamlı bir metodoloji sunar. Tez, elektronik harp sistemlerinin önemini vurgulayarak, HF bandında iletişim ve saha operasyonlarında kullanılan almaçların tasarımı ve uygulanmasını ele alır. Sonuçlar, tasarlanan sayısal monitörün HF bandında başarılı bir şekilde çalıştığını ve elektronik harp operasyonlarında önemli bir rol oynayabileceğini göstermektedir.

**Keywords:** HF Bandı, HF Gözetleme, FPGA, Hızlı Fourier dönüşümü, Analog Dijital Dönüştürücü

## **ABSTRACT**

### **DESIGN AND IMPLEMENTATION OF AN HF BAND DIGITAL SPECTRUM MONITORING DEVICE**

**Göktuğ KAYNAKÖZ**

**Master of Science, Department of Electrical and Electronics Engineering**

**Supervisor: Assist. Prof. Yakup ÖZKAZANÇ**

**September 2024, 116 pages**

Electronic warfare systems are crucial electronic warfare assets used in military and intelligence operations. These systems are employed to interfere with enemy communication networks and radar systems, gather signal intelligence, detect threats, and take countermeasures. There are various receivers operating in different frequency bands. One of these is High Frequency (HF) receivers, which are devices operating in the radio frequency range (3 MHz to 30 MHz). These receivers are generally used for signal intelligence and detecting threats in the field.

With this thesis study, the aim is to develop a hardware and algorithm for a monitoring device system that provides reliable and effective operation in the HF band, taking into account existing technology and algorithms. This thesis presents a comprehensive methodology including theoretical examination, simulations, prototype design, and testing phases. The thesis addresses the design and implementation of receivers used in communication and field operations in the HF band, emphasizing the importance of electronic warfare systems. The results demonstrate that the designed digital monitor operates successfully in the HF band and can play a significant role in electronic warfare operations.

**Keywords:** HF BAND, HF MONITORING, FPGA, ADC, FFT

## TEŐEKKÜR

Tez alıőmamda bilgi, grőő ve yorumlarıyla yardımcı olan danıőmanım Dr. ğr. Üyesi Yakup ZKAZANÇ'a teőekkür ederim.

Yüksek lisans eğitimimi teővik eden ve tez alıőması kapsamında her türlü olanağı sağlayan ASELSAN A.Ő.'ne teőekkür ederim.

Maddi ve manevi desteklerini esirgemeyen aileme ve her zaman yanımda olan sevgili eőim Arzu KAYNAKÖZ'e teőekkür ederim.



# İÇİNDEKİLER

	<u>Page</u>
ÖZET .....	i
ABSTRACT .....	ii
TEŞEKKÜR .....	iii
İÇİNDEKİLER .....	iv
ÇİZELGELER DİZİNİ .....	vi
ŞEKİLLER DİZİNİ .....	vii
KISALTMALAR .....	xi
1. GİRİŞ .....	1
1.1. Tezin Kapsamı .....	1
1.2. Katkılar ve Gereksinimler .....	2
1.3. Organizasyon .....	2
2. ELEKTRONİK HARP ALMAÇ YAPILARI .....	4
2.1. Süper-Heterodin Almaç Yapısı .....	4
2.2. Zero-IF Almaç Yapıları .....	5
2.3. Low-IF Almaç Yapıları .....	7
2.4. Sayısal Almaç Yapıları .....	8
3. HF BANDI SAYISAL SPEKTRUM MONİTÖR CİHAZININ DONANIM TASARIMI .....	10
3.1. Sistem Mimarisi .....	10
3.2. HF Anteni .....	10
3.3. RF Blok Tasarımı .....	11
3.3.1. RF Filtre .....	12
3.3.2. RF Yükselteç .....	14
3.4. Sayısal Blok Kart Tasarımı .....	16
3.4.1. Analog Digital Dönüştürücü(ADC) .....	17
3.4.2. RF Uyumlandırma Devresi .....	21
3.4.3. Saat İşaret Üretici .....	22

3.4.4. FPGA Entegrasyonu .....	23
3.4.5. Sayısal Kartın Tasarımı .....	26
3.5. Görüntü .....	31
4. FPGA SAYISAL ALGORİTMA TASARIMI .....	32
4.1. ADC Kontrol .....	33
4.2. ADC Kalibrasyon .....	36
4.3. ADC Veri Alımı .....	40
4.4. Sinyal İşleme .....	43
4.5. UART Haberleşme .....	50
4.5.1. UART Veri Gönderme Bloğu .....	51
4.5.2. UART Veri Alma Bloğu .....	53
4.6. QSPI Flash Kontrol .....	54
4.7. FPGA Kaynak Kullanımı .....	54
5. ÖLÇÜM DÜZENEGİ .....	56
6. ÖLÇÜM SONUÇLARI .....	59
6.1. Donanım Ölçüm Sonuçları .....	59
6.2. Sistem Ölçüm Sonuçları .....	61
7. SONUÇLAR .....	85
REFERANSLAR .....	87
EKLER .....	94

## ÇİZELGELER DİZİNİ

	<b><u>Page</u></b>
Çizelge 3.1 Artix-7 Serisi FPGA'lerin Maksimum Yetenekleri .....	24
Çizelge 4.1 IDELAYE2 Temel Bağlantı Noktaları .....	39
Çizelge 4.2 IP Sinyal Pin Ataması .....	49

## ŞEKİLLER DİZİNİ

	<u>Page</u>
Şekil 2.1 Süper-Heterodin Almaç Yapısı [3] .....	4
Şekil 2.2 Zero-IF Almaç Yapısı [8] .....	6
Şekil 2.3 Low-IF Almaç yapısı [3].....	7
Şekil 2.4 Sayısal Almaç Yapısı .....	8
Şekil 3.1 HF Band Sayısal Monitör Tasarımı .....	10
Şekil 3.2 9 kHz-30 MHz Anten .....	11
Şekil 3.3 RF Blok Tasarımı .....	12
Şekil 3.4 Alçak Geçiren Filtre Tasarımı .....	13
Şekil 3.5 Alçak Geçiren Filtre Benzetim Sonucu .....	13
Şekil 3.6 Alçak Geçiren Filtre .....	14
Şekil 3.7 Yükselteç Entegresi Yapısı [17] .....	15
Şekil 3.8 Yükselteç Entegresi Kazanç Grafiği [17] .....	15
Şekil 3.9 Yükselteç Kartı.....	15
Şekil 3.10 Sayısal Blok Kart Tasarımı .....	16
Şekil 3.11 ADC SNR Grafiği [19] .....	18
Şekil 3.12 ADC SFDR Grafiği [20] .....	19
Şekil 3.13 ADS4449 SFDR Grafiği [19].....	19
Şekil 3.14 ADS4449 Blok Şeması [19] .....	21
Şekil 3.15 RF Uyumlandırma Blok şeması [21] .....	22
Şekil 3.16 Saat İşaret Üretici XCO782 [22] .....	22
Şekil 3.17 FPGA İç Yapısı [23] .....	24
Şekil 3.18 Artix-7 FPGA [24] .....	25
Şekil 3.19 Artix-7 FPGA Kullanımı .....	26
Şekil 3.20 Sayısal Kart Katman Yapısı .....	28
Şekil 3.21 Devre Kartı Empedans Hesabı.....	29
Şekil 3.22 Devre Kartı Tasarımı Önyüz.....	29

Şekil 3.23	Sayısal Kart Arkayüz .....	30
Şekil 3.24	Sayısal Kart Önyüz.....	30
Şekil 3.25	FFT Verisi .....	31
Şekil 4.1	FPGA Algoritma Yapısı .....	32
Şekil 4.2	SPI Arayüzü [31].....	33
Şekil 4.3	ADC SPI Yapısı [19].....	34
Şekil 4.4	ADC SPI Veri Okuma [19] .....	35
Şekil 4.5	ADC SPI Sayısal Akış Şeması .....	35
Şekil 4.6	ADC Sayısal Veri Yapısı [19] .....	37
Şekil 4.7	IBUFDS Yapısı [34] .....	37
Şekil 4.8	IDELAY2 Yapısı [34] .....	38
Şekil 4.9	ADC Kalibrasyon Yapısı .....	40
Şekil 4.10	Pipelining Yöntemi [39] .....	41
Şekil 4.11	Xilinx FIFO Bloğu [41].....	43
Şekil 4.12	FFT işlemi [42] .....	44
Şekil 4.13	FFT Formül Çıkarımı [42] .....	45
Şekil 4.14	FFT IP Yapısı [46] .....	48
Şekil 4.15	FFT IP Sinyal Çıkış yapısı [46] .....	48
Şekil 4.16	UART Gönderme Yapısı .....	52
Şekil 4.17	UART Alma Yapısı .....	53
Şekil 4.18	Artix-7 FPGA Kaynak Kullanımı .....	55
Şekil 4.19	Artix-7 Güç Tüketimi .....	55
Şekil 5.1	HF Sayısal Monitör .....	56
Şekil 5.2	Sinyal Kaynağı [49].....	57
Şekil 5.3	Spektrum Analizör [50] .....	57
Şekil 5.4	Network Analizör [51] .....	58
Şekil 6.1	Filtre Ölçümü.....	59
Şekil 6.2	Yükselteç Kazanç Ölçümü.....	60
Şekil 6.3	RF Blok Ölçümü .....	61
Şekil 6.4	Almaç Gürültü Seviyesi .....	62

Şekil 6.5	Ortam Dinlemesi .....	62
Şekil 6.6	Frekansı 10 MHz, Genliği -80 dBm olan Yayının FFT'si .....	63
Şekil 6.7	Frekansı 10 MHz, Genliği -70 dBm olan Yayının FFT'si .....	64
Şekil 6.8	Frekansı 10 MHz, Genliği -60 dBm olan Yayının FFT'si .....	64
Şekil 6.9	Frekansı 10 MHz, Genliği -30 dBm olan Yayının FFT'si .....	65
Şekil 6.10	Frekansı 10 MHz, Genliği -15 dBm olan Yayının FFT'si .....	65
Şekil 6.11	Frekansı 3 MHz, Genliği -30 dBm olan Yayının FFT'si .....	66
Şekil 6.12	Frekansı 3,005 MHz, Genliği -30 dBm olan Yayının FFT'si .....	66
Şekil 6.13	Frekansı 3,100 MHz, Genliği -30 dBm olan Yayının FFT'si .....	67
Şekil 6.14	Frekansı 5,213 MHz, Genliği -30 dBm olan Yayının FFT'si .....	67
Şekil 6.15	Frekansı 12,005 MHz, Genliği -30 dBm olan Yayının FFT'si .....	68
Şekil 6.16	Frekansı 20,995 MHz, Genliği -30 dBm olan Yayının FFT'si .....	68
Şekil 6.17	Frekansı 25 MHz, Genliği -30 dBm olan Yayının FFT'si .....	69
Şekil 6.18	Frekansı 30 MHz, Genliği -30 dBm olan Yayının FFT'si .....	69
Şekil 6.19	Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si	70
Şekil 6.20	Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si	71
Şekil 6.21	Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si	71
Şekil 6.22	Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si	72
Şekil 6.23	Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si	72
Şekil 6.24	Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si	73
Şekil 6.25	Frekansı 21 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si .	74
Şekil 6.26	Frekansı 21 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si .	74
Şekil 6.27	Frekansı 21 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si .	75
Şekil 6.28	Frekansı 21 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si .	75
Şekil 6.29	Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT'si.	76
Şekil 6.30	Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT'si.	77
Şekil 6.31	Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT'si.	77
Şekil 6.32	Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT'si.	78
Şekil 6.33	Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT'si.	79
Şekil 6.34	Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT'si.	79

Şekil 6.35	Frekans 17,432 MHz, Genliği -30 dBm olan Yayının FFT'si .....	80
Şekil 6.36	Frekans 17,432 MHz, Genliği -30 dBm olan Yayının FFT'si .....	81
Şekil 6.37	Frekans 17,432 MHz, Genliği -30 dBm olan Yayının FFT'si .....	82
Şekil 6.38	Frekans 17,432 MHz, Genliği -30 dBm olan Yayının FFT'si .....	82
Şekil 6.39	Frekansları 3, 13 ve 23 MHz olan, Genliği -30 dBm olan Yayınların FFT'si .....	83
Şekil 6.40	Frekansları 3, 13 ve 23 MHz olan, Genliği -30 dBm olan Yayınların FFT'si .....	84
Şekil 6.41	Frekansları 9, 10 ve 11 MHz olan Yayınların FFT'si .....	84

## KISALTMALAR

- ADC** : Analog Digital Converter(Analog Sayısal Dönüştürücü),  
**AGC** : Automatic Gain Control(Otomatik Kazanç Kontrolü) ,  
**AM** : Amplitude Modulation(Genlik Modülasyonu) ,  
**BPF** : Band Pass Filter(Bant Geçiren Filtre),  
**CLK** : Clock(Saat İşareti),  
**CS** : Chip Select(Çip Secici),  
**DC** : Direct Current (Direkt Akım),  
**DSP** : Digital Signal Processing(Dijital Sinyal İşleme),  
**EH** : Elektronik Harp,  
**ENOB** : Effective Number of Bits(Efektif Bit Sayısı),  
**FFT** : Fast Fourier Transform(Hızlı Fourier Dönüşümü),  
**FIFO** : First In First Out(İlk Giren İlk Çıkar),  
**FPGA** : Field-Programmable Gate Array(Alanda Programlanabilir Kapı Dizileri),  
**HDL** : Hardware Description Language(Donanım Tanımlama Dili),  
**HF** : High Frequency(Yüksek Frekans),  
**HPF** : High Pass Filter(Yüksek Geçiren Filtre),  
**I** : In-phase(Eş Faz),  
**IBUF** : Input Buffer(Giriş Geçici Bellek),  
**IDELAY** : Input Delay(Giriş Geciktirme kaynağı),  
**IF** : Intermediate Frequency(Ara Frekans),  
**LNA** : Low Noise Amplifier(Düşük Gürültü Yükselteci),  
**LO** : Local Oscillator(Yerel Osilatör),  
**LUT** : Look Up Table(Arama Çizelgesi),  
**LPF** : Low Pass Filter(Alçak Geçiren Filtre),  
**MOSİ** : Master Out Slave In(Giriş Veri Hattı),  
**MISO** : Master In Slave Out(Çıkış Veri Hattı),  
**PM** : Phase Modulation(Faz Modülasyonu),



**RF** : Radio Frequency(Radyo Frekansı),  
**SDATA** : Serial Data(Seri Arayüz Giriş Verisi),  
**SDOUT** : Serial Data Out(Seri Arayüz Çıkış Verisi),  
**SCLK** : Serial Clock(Seri Saat İşareti),  
**SDR** : Software Defined Radio(Yazılım Tabanlı Almaç),  
**SEN** : Serial Enable(Seri Arayüz Etkinleştirme),  
**SFDR** : Spurious-Free Dynamic Range(Sinyal-Karışım Bozunma Oranı),  
**SHR** : Super Heterodyne Receiver(Süper Heterodin Almaç),  
**SINAD** : Signal-to-Noise and Distortion Ratio(Sinyal-Gürültü ve Bozulma Oranı)  
**SNR** : Signal-to-Noise Ratio(Sinyal-Gürültü Oranı),  
**SPI** : Serial Peripheral Interface(Seri Perifer Bağlantı Arabirimi),  
**UART** : Evrensel Asenkron Alıcı/Gönderici  
**VHDL** : Very High-Speed Integrated Circuit Hardware Description Language(Çok Yüksek Hızlı Tümlüşik Devre Donanım Tanımlama Dili),  
**VGA** : Variable Gain Amplifier(Değişken Kazanç Yükselteci),  
**ZIFR** : Zero Intermediate Frequency Receiver(Sıfır Ara Frekans Almaç),  
**Q** : Quadrature(Dik Faz).

# 1. GİRİŞ

Modern saha savaşlarında elektromanyetik spektrum hem saldırı hem de savunma operasyonları için kritik bir alan haline gelmiştir [1]. Elektronik harp (EH) sistemlerinin bazı bileşenleri 3 ile 30 MHz arasında değişen yüksek frekans (HF) bandını kullanmaktadır. HF bandı yayılım özellikleri ve askeri-sivil uygulamalar tarafından yaygın kullanımı nedeniyle kritik bir rol oynamaktadır. Askeri güçler HF bandını; ses iletişimi, veri iletimi ve acil durum kanalları gibi geniş bir uygulama yelpazesi içinde kullanırlar. Ayrıca, istihbarat teşkilatları uzun mesafeli gözetim sistemlerinde bilgi toplamak için HF sinyallerini kullanır. Dünyadaki savaş unsurları taktiklerini ve teknolojilerini geliştirmeye devam ettikçe gelişmiş HF sayısal elektronik harp almaçlarına olan ihtiyaç daha da belirgin hale gelmektedir.

## 1.1. Tezin Kapsamı

Bu tez çalışması ile yüksek frekans (HF) bandı sayısal elektronik harp almaçlarının tasarımı, geliştirilmesi ve uygulanması üzerinde yoğunlaşmaktadır. Dijital sinyal işleme (DSP) teknikleri ve sayısal algoritmaların FPGA ile gerçekleştirilerek, bu almaçların HF frekans bandında sinyal tespiti ve analizi yapması hedeflenecektir. Mevcut literatürün, teorik bilgilerin ve pratik uygulamaların gözden geçirilmesi yoluyla bu araştırma HF sayısal elektronik harp almaçlarının yetenekleri ve sınırlamaları hakkında bilgiler sunmayı amaçlamaktadır.

Araştırmanın ana inceleme alanları arasında HF almaçlarının mimarisi, sinyal işleme ve elektronik harp (EH) sistemleri ile entegrasyon konuları bulunmaktadır. Ayrıca, duyarlılık, dinamik alan ve sayısal sinyal işleme yetenekleri gibi hususlar da ele alınmaktadır. Bu tez donanım ve yazılım bileşenleri arasındaki etkileşimi inceleyerek HF sayısal elektronik harp almaçlarının tasarımında iyileştirmeler hedeflemektedir.

## 1.2. Katkılar ve Gereksinimler

Bu çalışmanın ana katkıları aşağıdaki gibi özetlenebilir:

- Tamamen sayısal bir HF spektrum monitör yapısı önerilmektedir.
- Düşük maliyetli donanım tasarımı hedeflenmektedir.
- Rahat taşınabilir.
- Operatör tarafından kullanımı kolaydır.

Tasarımı hedeflenen HF bant sayısal spektrum monitörü cihazının gereksinimleri aşağıdaki gibi özetlenebilir:

- Düşük güç tüketimine sahip olması,
- 3-30 MHz frekans bant aralığında çalışması,
- Alınan RF yayının frekans ve genlik parametrelerinin ayrıştırılması,
- Genlik, frekans ve pulse modülasyona sahip yayınların tespit edilmesi,
- Tespit edilen yayınların operatöre aktarılması için sayısal haberleşme arayüzünün olması gerekmektedir.

## 1.3. Organizasyon

Tezin organizasyonu aşağıdaki gibidir:

- Bölüm 1’de, motivasyon, katkılar ve tezin kapsamı sunulmuştur.
- Bölüm 2’de, genel amaç yapıları hakkında bilgi verilmiştir.
- Bölüm 3’te, HF sayısal monitör donanım tasarımına ilişkin bilgi verilmektedir.

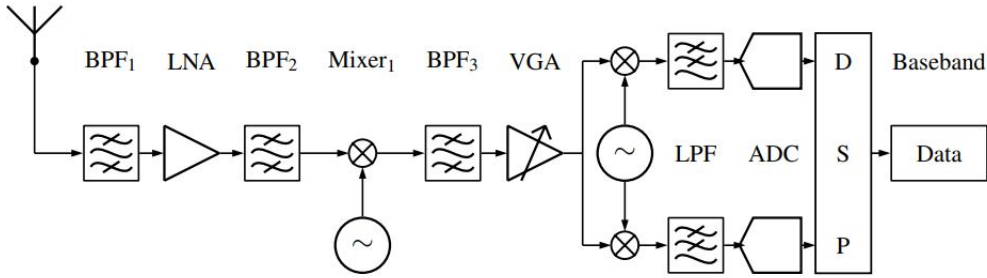
- Bölüm 4'te, FPGA üzerinde gerçekleştirilen sayısal algoritma tasarımı hakkında bilgi verilmektedir.
- Bölüm 5'te, HF sayısal monitör için ölçüm düzeneği gösterilir.
- Bölüm 6'da, HF sayısal monitör için ölçüm sonuçları gösterilir.
- Bölüm 7'de, tezin özeti ve gelecekteki olası yönelimler belirtilmektedir.

## 2. ELEKTRONİK HARP ALMAÇ YAPILARI

### 2.1. Süper-Heterodin Almaç Yapısı

Süperheterodin (SHR) almaç, RF alma için şu anda en yaygın kullanılan almaç türüdür. SHR almaç, hetero-dinleme yoluyla frekans dönüştürme ilkesine dayanır. Bu işlem, gelen RF sinyalinin bir yerel osilatör (LO) sinyaliyle çarpıldığı doğrusal olmayan bir karıştırıcı aşamasını içerir. Sonuç olarak, RF ve LO frekansları arasındaki fark olan ara frekans (IF) sinyali elde edilir. Bu aşağıya dönüşüm süreci ile alıcı gelen sinyalin frekansını sabit bir IF frekansına kaydırır [2].

Bu yapı ile gelen sinyali daha kolay işleme ve demodüle edilebilme için sabit bir ara frekans bandına taşımak önemlidir. IF frekansı, alıcı tasarımını ve performansını optimize etmek için seçilen genellikle sabit ve yüksek kararlılık bir frekanstır. Bu alıcının farklı frekanslarda çalışmasını ve çeşitli sinyalleri almasını sağlar. Bu sayede SHR almaç, verimli ve esnek bir almaç tasarım yapısına olanak tanır [3].



Şekil 2.1 Süper-Heterodin Almaç Yapısı [3]

Şekil 2.1’de süperheterodin almaç mimarisi sunulmaktadır. IF aşamasında kullanılan bant geçiren filtreler ile süperheterodin almaç yüksek seçicilik elde eder, bu sayede istenmeyen parazit sinyalleri elenirken ana sinyal etkili bir şekilde izole edilir. Süperheterodin mimarisi, LO frekansının ilk karıştırıcı ile çarpılarak farklı frekanslara ayarlama esnekliği sunar. Bu frekans çevikliği, dinamik elektronik harp ortamları için hızlı tarama ve yeniden yapılandırılabilirlik sunar.

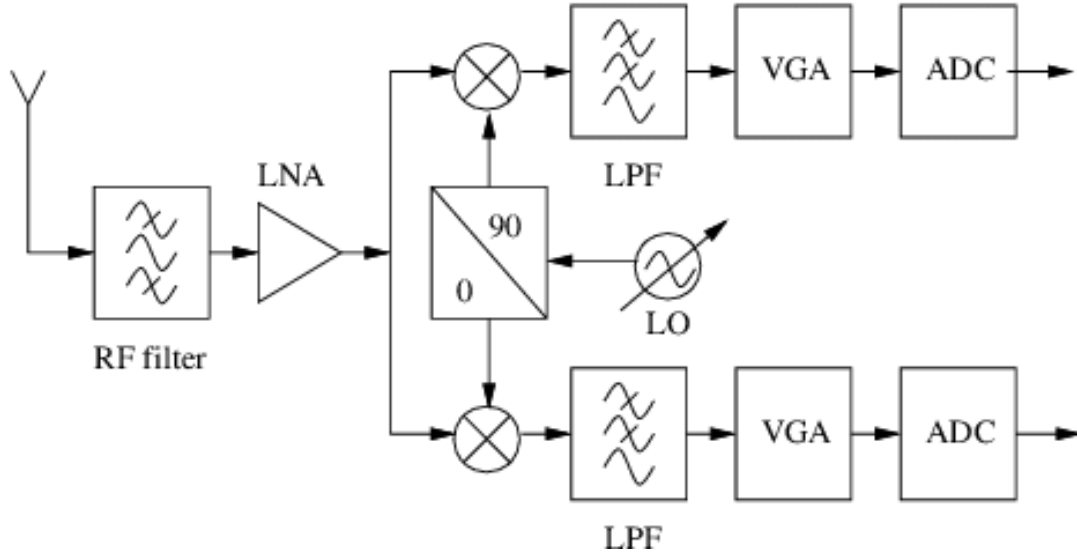
Süperheterodin alıcılarda otomatik kazanç kontrolü (AGC) mekanizmaları, sinyal-gürültü oranını optimize eder ve aşırı yüklenme veya doymadan kaynaklanan sinyal bozulmasını önler. Değişken kazanç yükselteci (VGA) ile de kazanç aşamalarını dinamik olarak ayarlar. Bu sayede, alıcının performansı çeşitli işaret koşullarına otomatik olarak adapte olur.

Süperheterodin alıcısının IF aşaması, genlik modülasyonu (AM), frekans modülasyonu (FM) ve faz modülasyonu (PM) gibi çeşitli modülasyon şemalarını barındırabilir ve bu da elektronik harp senaryolarında karşılaşılan sinyal türlerinin algılanma ve demodüle etme konusunda almacı yetenekli hale getirir. İkinci karıştırıcı, IF'den taban banda bir dönüşüm gerçekleştirir, ardından sinyal bir Alçak Geçiren Filtre'den (LPF) geçer ve nihayetinde ADC'ler (Analogdan Sayısala Dönüştürücüler) tarafından sayısallaştırılır [3–5]. Süperheterodin almaçların bazı önemli sorunları vardır. Karıştırıcı ve IF aşamalarındaki doğrusal olmayan işlemlerden kaynaklı, alıcının performansını düşüren ve yanlış algılamaya neden olan sahte sinyaller ve enter-modülasyon ürünleri oluşturabilir. Sıcaklık, voltaj ve bileşen toleranslarındaki değişiklikler, LO frekansında dalgalanmalara neden olabilir ve bu da alıcının performansını olumsuz etkileyebilir.

## **2.2. Zero-IF Almaç Yapıları**

Sıfır Ara Frekanslı (Zero-IF) almaç, aynı zamanda doğrudan dönüşümlü veya homodin alıcı olarak bilinir ve gelen radyo frekansı (RF) sinyalini ara frekans (IF) aşamaları kullanmadan doğrudan taban bant (sıfır frekans) sinyaline dönüştürme ilkesine dayanır. Bu mimari, birden fazla frekans dönüşüm aşamasına olan ihtiyacı ortadan kaldırarak almaç tasarımını basitleştirir, daha sade ve kompakt bir sistem elde edilmesini sağlar [6–8].

Şekil 2.2'de Zero-IF (Sıfır Ara Frekans) almaç mimarisi sunulmaktadır. Zero-IF almaç, gelen sinyali süperheterodin almaç gibi filtreleyip güçlendirdikten sonra RF sinyalini aynı frekansta çalışan bir yerel osilatör (LO) sinyaliyle doğrudan çarpır. Bu çarpma işlemi, toplam ve fark frekans bileşenlerini üretir. Toplam bileşen, genellikle yüksek bir frekansta olduğu için ve taban bant ilgi alanının dışında kaldığı için filtrelenir.



Şekil 2.2 Zero-IF Almaç Yapısı [8]

Fark bileşeni, taban bantta merkezlenir ve RF sinyalinden gelen istenen bilgiyi içerir. Ardından, ADC'ler RF sinyalini sayısal veriye dönüştürmek için kullanılır ve bu sayısal sinyal işleme algoritmalarının kullanılmasını sağlar. RF sinyallerini doğrudan taban bant frekansına dönüştürerek, Zero-IF almaç geleneksel süperheterodin mimarilerinde bulunan birden fazla IF aşamasına olan ihtiyacı ortadan kaldırır. Bu basitleştirme, sistemin karmaşıklığını, maliyetini ve boyutunu azaltır.

Zero-IF almaç, birden fazla ayarlanmış devreye veya bant geçiren filtreye ihtiyaç duymadan geniş bir frekans aralığında çalışabilir. Bu geniş bant yeteneği, yazılım tabanlı radyo (SDR) sistemleri gibi geniş bant alma gerektiren uygulamalar için uygundur.

Doğrudan taban bant dönüşümü, minimum sinyal işleme gecikmesi sağlar ve bu da Zero-IF almaçları, bilişsel radyo ve spektrum izleme gibi gerçek zamanlı işlem gerektiren uygulamalar için uygun hale getirir.

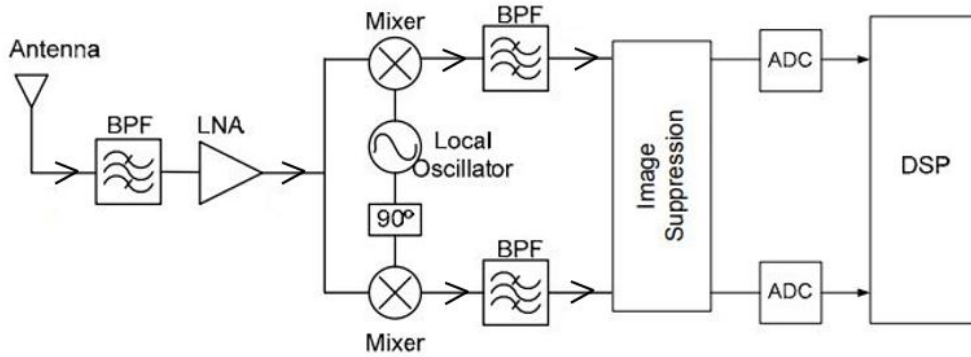
Basit mimari ve azaltılmış aşama sayısı, geleneksel süperheterodin almaçlarına göre daha düşük güç tüketimi sağlar. Bu avantaj, özellikle pil ile çalışan veya enerji kısıtlı cihazlar için faydalıdır.

Zero-IF almalıar, doğrudan dönüşüm yaklaşımları sayesinde yüksek hassasiyete ulaşabilir ve bu durum birden fazla frekans dönüşüm aşamasıyla ilişkili kayıpları ortadan kaldırarak sinyal gücünü korur.

Zero-IF almalı yapılarında bazı sorunlarla karşılaşabilir. DC ofset ve LO sızıntısı, almalı duyarlılığını ve dinamik aralığını etkileyerek taban bant sinyaline istenmeyen bileşenler ekleyebilir. Ayrıca, eş-faz (I) ve dik-faz (Q) sinyal yolları arasındaki dengesizlikler, taban bant sinyalini bozabilir ve almalı performansını düşürebilir [9]. Karıştırıcı ve yükseltme aşamalarındaki doğrusal olmayan işlemler, taban bant sinyalinde bozulma yaratır ve sisteme sahte sinyaller ekleyebilir.

### 2.3. Low-IF Almalı Yapıları

Düşük Ara Frekans (Low-IF) almalı mimarisi, geleneksel süperheterodin ve Zero-IF mimarilerinin unsurlarını bir araya getirerek seçicilik, doğrusal olmayan işlemler ve karmaşıklık açısından bir denge sunar. Low-IF almalıda, alınan radyo frekansı (RF) sinyali, RF frekansından daha düşük ancak taban bant frekansından daha yüksek olan bir ara frekansa (IF) dönüştürülür [10].



Şekil 2.3 Low-IF Almalı yapısı [3]

Şekil 2.3'te Low-IF almalı (LIFR) mimarisi sunulmaktadır. Low-IF almalı, Zero-IF almalı benzer aşamalara sahiptir. Low-IF almalıda, frekans imajından kaynaklanan olumsuz etkileri ortadan kaldırmak için bir imaj baskılama bloğu kullanılır. Ardından, RF sinyalini sayısal



veriye dönüştürmek için ADC'ler (Analogdan Sayısala Dönüştürücüler) kullanılır ve bu, sayısal sinyal işleme algoritmalarının kullanımını sağlar.

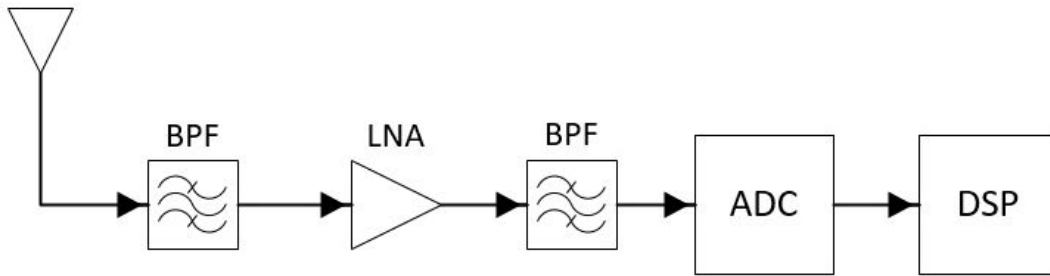
Low-IF mimarisi RF sinyalinin Zero-IF almalara kıyasla daha düşük bir IF frekansına dönüştürür ve daha yüksek seçiciliğe sahip dar bantlı filtrelerin kullanımına olanak sağlar. Bu, istenen sinyallerin yan kanallardan ve parazitlerden daha iyi izole edilmesini sağlayarak almal performansı genel olarak artırır.

Ancak, Low-IF mimarisi hala imaj frekansı ve I/Q uyumsuzluğu sorunlarından muzdarip olmaya devam etmektedir [3]. Bu sorunlar, almal performansı olumsuz etkileyebilir ve dikkatli yönetim gerektirir.

## 2.4. Sayısal Almal Yapıları

Heterodin almal, sinyali yüksek frekanslarda alır. Ardından RF sinyal daha düşük bir ara frekansa (IF) dönüştürülür ve bu sinyal sayısal sinyale dönüştürülüp filtelenir. Ancak, sayısal almal mimarisi daha az karmaşıktır; ADC'den önce LNA ve BPF kullanılır.

Şekil 2.4'te Sayısal Almal mimarisi sunulmaktadır. Anten girişi, alıcı için ön seçici ve anti-aliasing filtre olarak işlev gören bir filtreyi besler [11]. Ardından, sinyali güçlendirmek için LNA kullanılır. Daha sonra, sinyal ADC tarafından sayısallaştırılır ve DSP bloğunda işlenir.



Şekil 2.4 Sayısal Almal Yapısı

Sayısal almaç teknolojisinde, analog frekans dönüştürmeye gerek olmadığından bir almaçın donanım tasarımı daha basittir. Bu nedenle daha küçük boyutlu donanım ve daha düşük tasarım maliyeti sağlar. ADC (Analogdan Sayısala Dönüştürücü); gelen RF sinyalini yüksek hızda örnekleyerek sayısal forma dönüştürmekten sorumludur. Örnekleme hızı, alıcının ilgilendiği RF sinyalinin tüm bant genişliğini yakalayacak kadar yüksek olmalıdır.

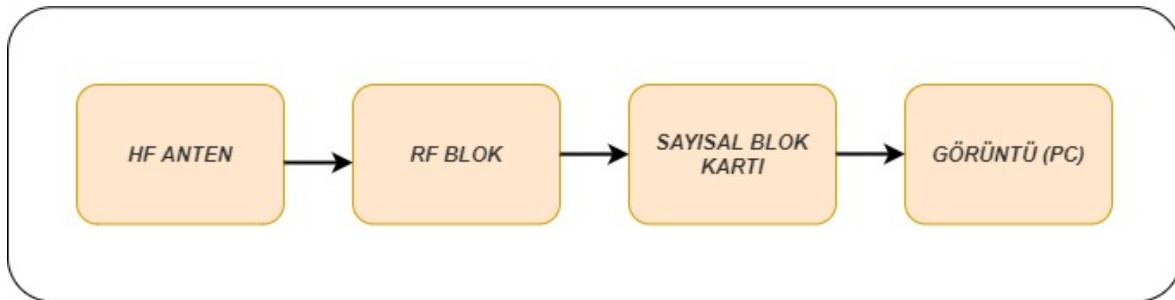
Sayısal almaçlar gelen RF sinyalini almaç zincirinin erken aşamalarında sayısallaştırarak analog sinyalin bozulmasını ve gürültüyü en aza indirir, bu da daha iyi sinyal bütünlüğü ve performans sağlar [12]. Bu özellikle düşük sinyal-gürültü oranı (SNR) ortamlarında veya parazit ve karıştırma varlığında avantajlıdır. Sayısal almaç mimarilerinin modüler yapısı, diğer sayısal sistemler ve bileşenlerle kolay entegrasyonu sağlar, ölçeklenebilirlik ve birlikte çalışabilirliği kolaylaştırır. Ek olarak, sayısal almaçlar yazılım güncellemeleri yoluyla kolayca yükseltilebilir veya değiştirilebilir, bu da sürekli iyileştirme ile ortaya çıkan tehditlere ve teknolojilere uyum sağlama imkanı sunar. Ancak, sayısal almaçların bazı sorunları vardır. Sayısal almaçların hesaplama ve yüksek hızlı işlem gereksinimleri nedeniyle güç tüketimleri fazla olabilmektedir, bu durum özellikle taşınabilir veya pil ile çalışan cihazlarda, analog almaçlara kıyasla daha az görev süreleri tanır.

### 3. HF BANDI SAYISAL SPEKTRUM MONİTÖR CİHAZININ DONANIM TASARIMI

Bu bölümde önerilen HF bandı sayısal monitör donanım tasarımı anlatılacaktır. Bu çalışmalar ile 3-30 MHz HF bandını doğrudan örnekleyebilen analog sayısal dönüştürücü ve FPGA tabanlı bir almaç tasarımı yapılmıştır. Öncelikle tasarlanan sistem mimarisi ile kullanılan donanımlar hakkında bilgi verilecektir. Daha sonraki bölümde ise tasarlanan sayısal kart anlatılacaktır.

#### 3.1. Sistem Mimarisi

Bu bölümde HF bandı sayısal spektrum monitör tasarımı için önerilen sistem mimarisi hakkında bilgi verilecektir. Şekil 3.1’de görüldüğü gibi bir sistem tasarımı yapıldı. Ortamda bulunan sinyaller HF anteni üstünden alınarak RF blok tarafına iletiliyor bu blokta filtreleme ve güçlendirme işlemleri yapıldıktan sonra FPGA ile ADC’nin bulunduğu karta aktarılan RF sinyal burada sayısallaştırılıyor ve FPGA içerisinde sayısal işleme tabi tutulmaktadır. İşlenen bu data RS422 haberleşme protokolü üstünden bilgisayara aktarılıp görselleştiriliyor.



Şekil 3.1 HF Band Sayısal Monitör Tasarımı

#### 3.2. HF Anteni

HF antenleri, dar bir frekans aralığında iletişim sağlayabilen ve düşmanın elektromanyetik alanını etkileyebilen özel anten yapılarıdır. Birçok askeri elektronik harp ve haberleşme

sistemlerinde yaygın olarak kullanılırlar [13]. Uçak, gemi ve kara araçları gibi farklı platformlara monte edilirler [14]. Bu antenler genellikle dış ortamdaki değişken çevre koşullarına dayanıklı olmalıdır. Bu antenler için çalışma frekans bandı, kazanç ve polarizasyon gibi faktörler dikkate alınmalıdır. EH sistemlerinde kullanılan HF antenleri, belirli hedeflere göre optimize edilmelidir. Bu hedefler arasında iletişim kesintisi, radar engelleme ve elektromanyetik gizlilik gibi faktörler bulunmaktadır.

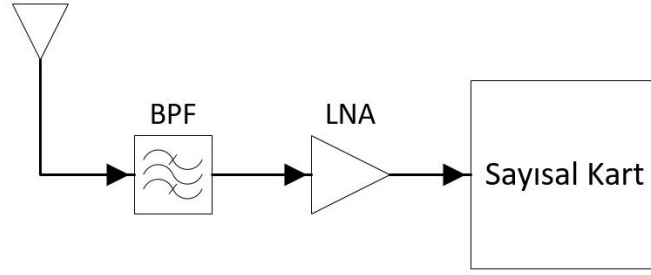
Şekil 3.2’de sistemde kullanılmak üzere seçilen HF anteni verilmiştir. Agilent firmasının 9 kHz-30 MHz frekans bandında çalışan 11941A parça numaralı ürünü istenilen frekans bant aralığında çalışması nedeniyle seçilmiştir. EK-1’de anten özellikleri verilmiştir.



Şekil 3.2 9 kHz-30 MHz Anten

### 3.3. RF Blok Tasarımı

Sayısal almaç yapılarında sistemin performansını en çok etkileyen kısımlardan biri de RF bloğudur. Şekil 3.3’teki gibi antenden alınan RF sinyal bu blokta düzenlenerek sayısal kısma aktarılır. Kullanılan HF antenin özelliklerine göre antenin kapsadığı frekans bant aralığı değişebilmektedir. Almacın çalışma frekans bandı dışında bir yayın gelmesi durumda sistemin çalışma performansı etkilenebilir ve hatalı yayınlar çıkabilir. Bu durumun önüne geçmek için anten sonrası düşük bant geçirgen bir filtre kullanılmıştır.



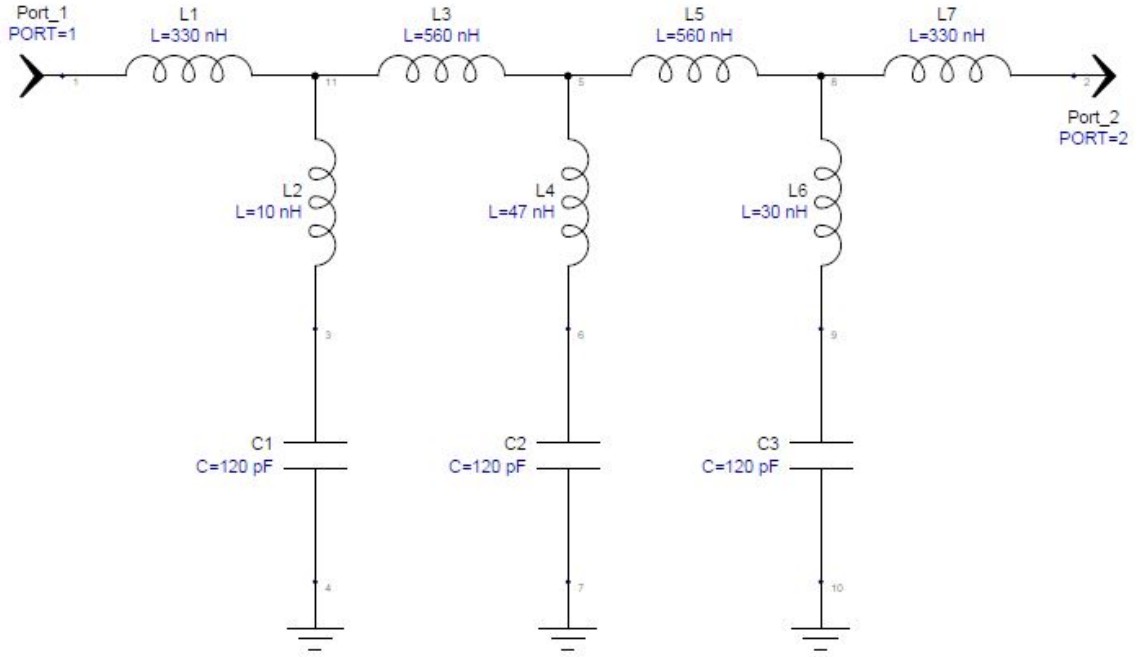
Şekil 3.3 RF Blok Tasarımı

### 3.3.1. RF Filtre

Bant geçiren filtreler belirli bir frekans aralığındaki sinyalleri geçiren ve diğer frekansları engelleyen elektronik devrelerdir. Bu filtreler indüktör, kapasitör ve dirençlerin kombinasyonu kullanılarak pasif olarak tasarlanabileceği gibi op-amp gibi bileşenleri de içeren aktif olarak da tasarlanabilir [15]. Farklı tasarım teknikleri ve yapılar kullanılarak çeşitli bant geçiren filtre tipleri oluşturulabilir. Yaygın olarak Butterworth, Chebyshev ve Eliptik filtre tipleri kullanılmaktadır.

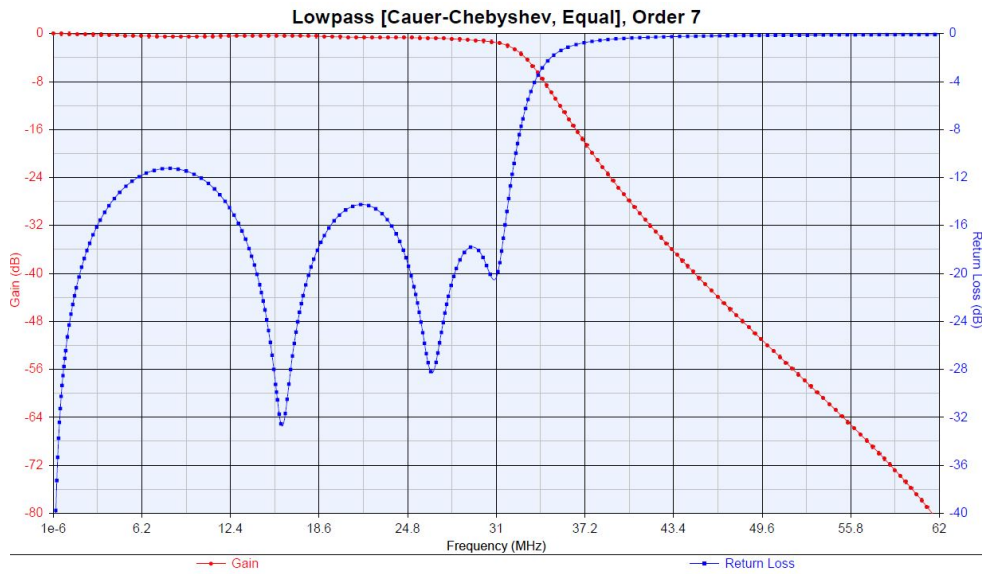
Butterworth filtreleri, düz bir genlik tepkisi ve yumuşak bir geçiş bölgesi sağlar. Butterworth filtrelerinin en önemli özelliği, geçiş bandında maksimum düzgünlüğü sağlamak için tercih edilmeleridir. Chebyshev filtreleri, belirli bir geçiş bandı kaybı toleransı ile tasarlanabilir ve bu nedenle Butterworth filtrelerinden daha dik geçiş özellikleri sunarlar. Ancak, bu daha dik geçiş karakteristiği, bazı dalgalanmalarla birlikte gelir. Eliptik filtreler, hem geçiş bandında hem de durdurma bandında belirli bir dalgalanma (ripple) tolere edebilirler. Bu daha dik geçiş özellikleri sağlar, ancak bu dalgalanmalar bazı uygulamalarda tasarımı karmaşık hale getirir [15].

Bu sistemde kullanılacak olan filtre tasarımı için 7. mertebe alçak geçiren Chebyshev modeli tercih edilmiştir. Filtre tasarımı Genesys programı üzerinden yapılmıştır [16]. Genesys programı, devre kartı ve alt sistem tasarımcıları için kullanılmaktadır. Kullanımı kolay bir RF ve mikrodalga devre sentez ve simülasyon yazılımıdır. Şekil 3.4'te filtre tasarımı verilmiştir.



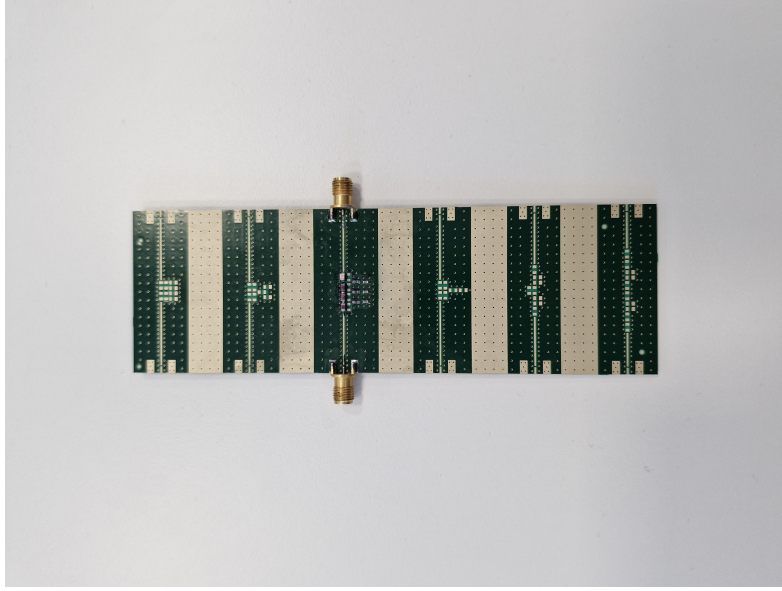
Şekil 3.4 Alçak Geçiren Filtre Tasarımı

Şekil 3.5'te Genesys programı üzerinden yapılan filtre tasarımının benzetim sonuçları yer almaktadır. Filtrenin HF bandı dışında kalan kısımlarda bastırma sağlandığı görülmüştür ve bu özellikleri ile önerilen sistemde kullanılacaktır.



Şekil 3.5 Alçak Geçiren Filtre Benzetim Sonucu

Şekil 3.6’da tasarlanmış olan alçak geçiren filtrenin üretilmiş hali bulunmaktadır. Filtereden geçen RF sinyal düşük gürültülü yükselteç entegresine gönderilir. Bu entegre ile sinyalin genlik seviyesi artırılarak sinyal sayısal kart üzerinde bulunan ADC entegresinin dinamik alanı içerisine yerleştirilir.

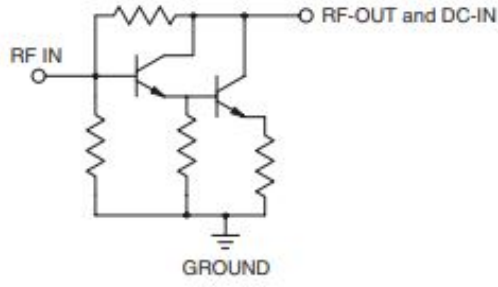


Şekil 3.6 Alçak Geçiren Filtre

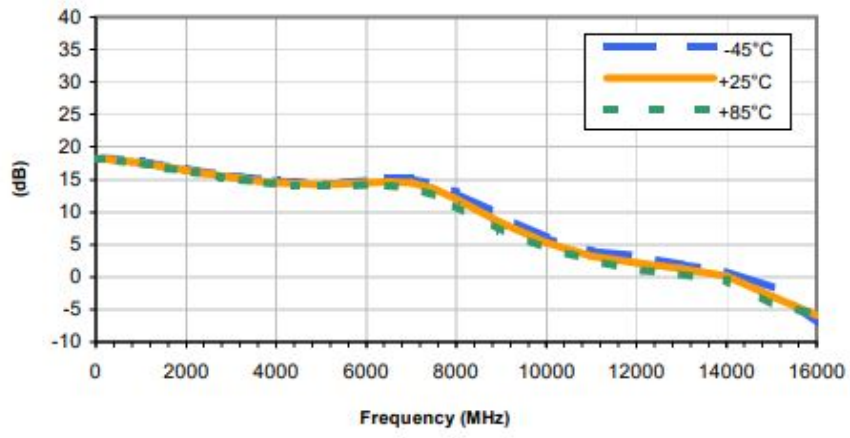
### 3.3.2. RF Yükselteç

RF yükselteç, düşük bir gürültü seviyesine sahip olmalıdır bu alıcının duyarlılık ve dinamik alan performansını etkilemektedir. RF yükselteç olarak Mini-Circuits firmasının Gali-51 parça numaralı entegresi tercih edilmiştir. Entegrenin özellikleri Ek-2’de verilmiştir. Yükselteç frekans girişi DC’den başlayıp 4 GHz’e kadar gitmektedir [17]. Şekil 3.7’de entegrenin iç yapısı verilmiştir. Kazanç grafiği ise Şekil 3.8’de verilmiştir yükselteç entegresi HF bandında yaklaşık 15 dBm kazanç sağlamaktadır.

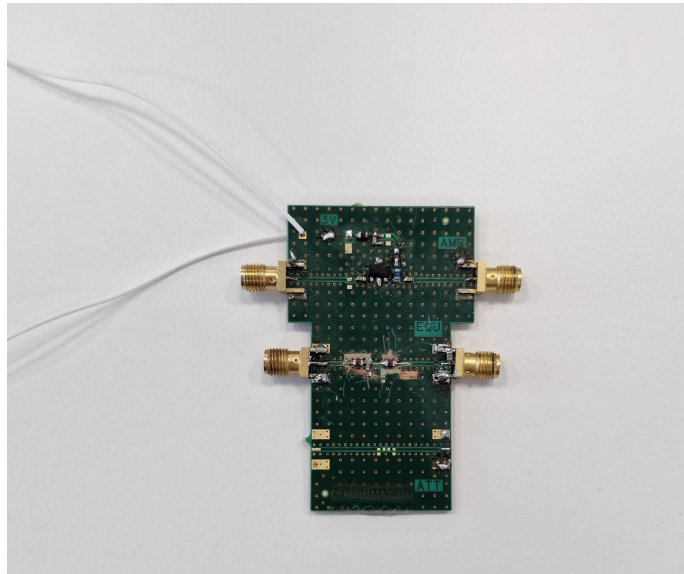
Şekil 3.9’da Gali-51 entegresini kullanarak üretilmiş olan yükselteç kartı bulunmaktadır. Kartın sol üst tarafındaki SMA konnektör giriş için kullanılmaktadır, sağ üst konnektör ise yükseltilmiş sinyalin çıkışıdır.



Şekil 3.7 Yükselteç Entegresi Yapısı [17]



Şekil 3.8 Yükselteç Entegresi Kazanç Grafiği [17]

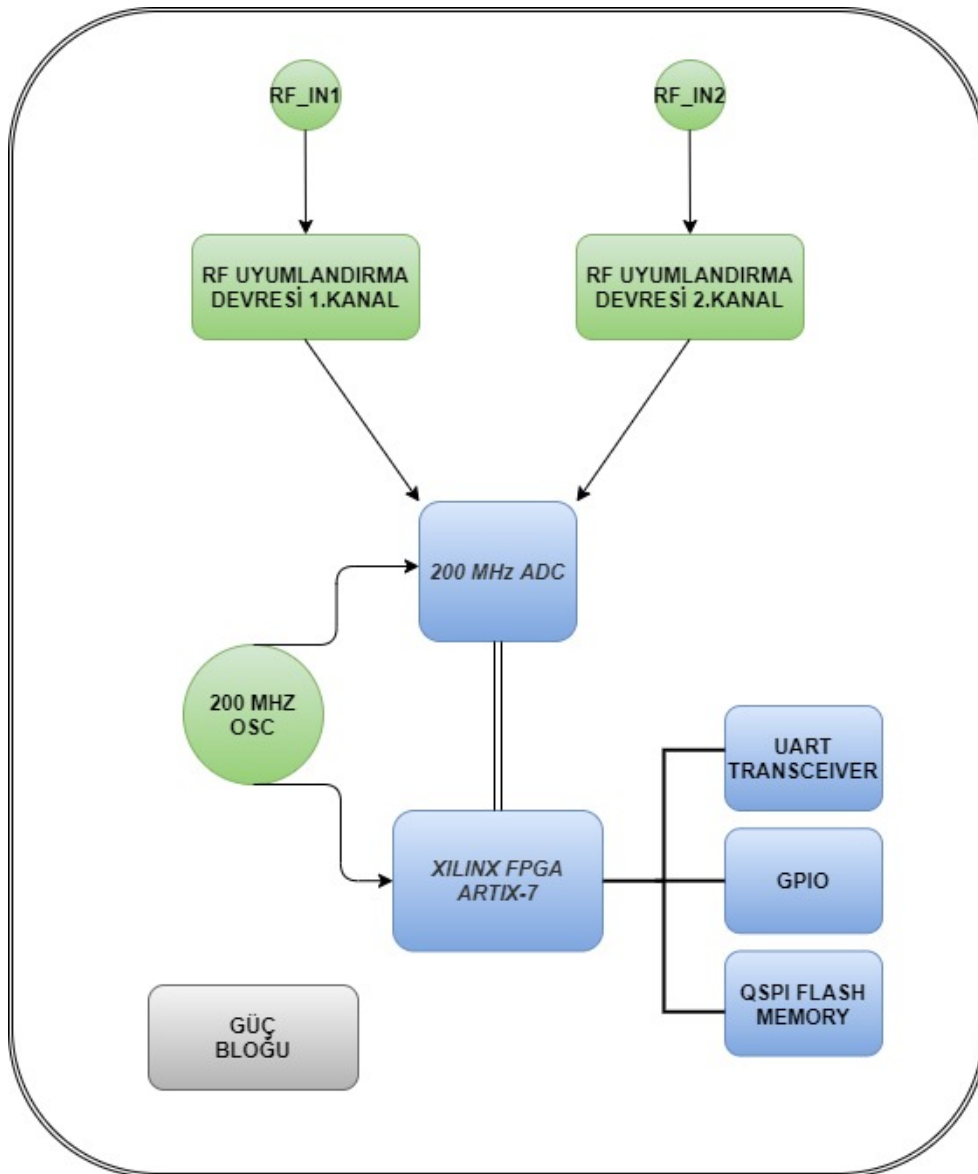


Şekil 3.9 Yükselteç Kartı



### 3.4. Sayısal Blok Kart Tasarımı

Bu bölümde HF sayısal monitörünün kalbini oluşturan sayısal tasarım bloğu anlatılacaktır. Şekil 3.10'da da görüldüğü gibi RF bloktan gelen işaret SMPM RF konnektörü üstünden sayısal karta alınır. Daha sonra alınan RF sinyal RF uyumlandırma devresinden geçirilerek ADC'nin örnekleyebileceği duruma getirilir. 200 MSPS da örnekleme yapabilen ADC ile datalar sayısallaştırılarak FPGA entegresine iletilir. FPGA içerisinde sayısal sinyal işlemleri yapıldıktan sonra oluşturulan data UART entegreleri üstünden bilgisayara aktarılır.



Şekil 3.10 Sayısal Blok Kart Tasarımı

### 3.4.1. Analog Digital Dönüştürücü(ADC)

Doğrudan örnekleme yapısına sahip sayısal almaçlarda ADC'nin performansı, sistemin performansını doğrudan etkilemektedir. ADC'nin alıcı performansı ile ilgili önemli parametreleri; bit sayısı, etkili bit sayısı, maksimum örnekleme frekansı ve giriş bant genişliğidir [18].

Sistem için kullanılacak olan ADC'nin seçiminde örnekleme hızı, SNR, SFDR ve ENOB gibi parametreler baz alınmıştır. Bu tasarım kapsamında Texas instrument firmasının ADS4449 kodlu ADC entegresinin kullanımına karar verilmiştir [19]. ADC'in Özellikleri Ek-3'de verilmiştir. Seçilen ADC, 250 MSPS'e kadar örnekleme hızına sahiptir ve HF bandının tamamını örnekleme için yeterlidir.

SNR, ADC'nin çıkışındaki sinyalin istenen sinyale oranını gürültü seviyesine göre ifade eder. Bu, istenen sinyalin ne kadar belirgin olduğunu ve gürültü seviyesinin ne kadar yüksek olduğunu gösterir. SNR, genellikle desibel (dB) cinsinden ifade edilir. SNR değeri, istenen sinyalin gücünün ( $P_s$ ) gürültü gücüne ( $P_n$ ) oranıdır.

$$SNR(dB) = 10 \log_{10} \left( \frac{P_s}{P_n} \right) \quad (1)$$

ADC'lerin SNR değeri hesaplanırken (2) formülü kullanılır.

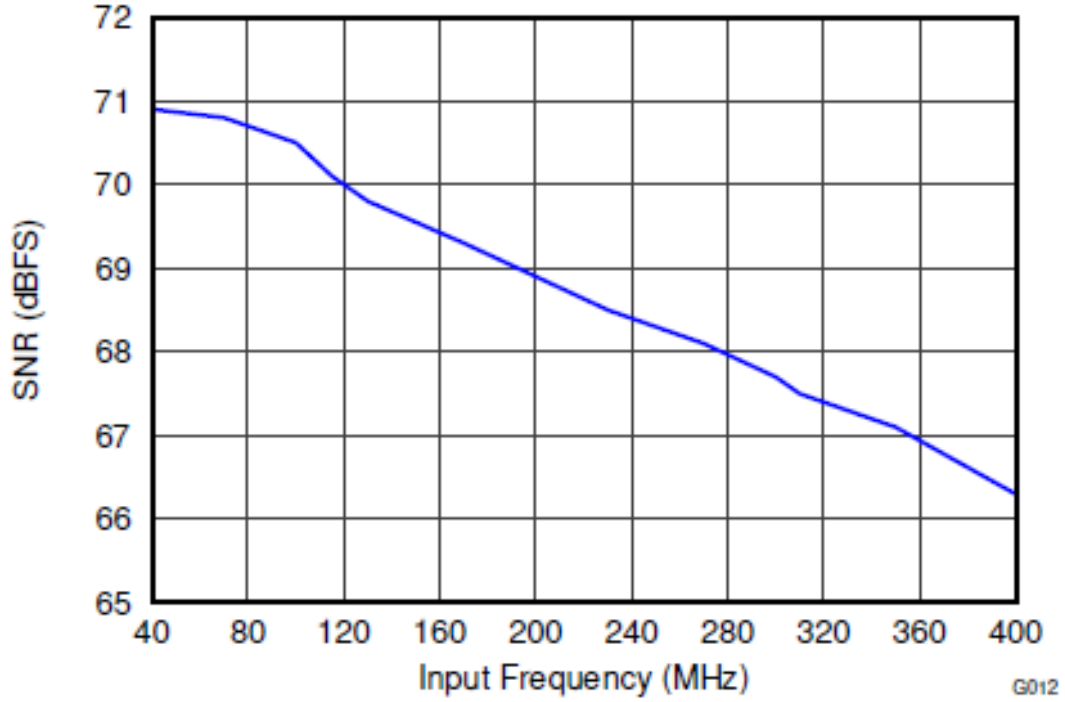
$$SNR(ideal) = (6.02N + 1.76)dB \quad (2)$$

N değeri ADC'nin bit sayısını gösterir [20].

ADC gürültüsü, DC'den Nyquist bant genişliği'ne kadar dağılmış durumdadır. Kullanılması hedeflenen bant genişliği için hesaplanan SNR değeri (3) formülü ile verilmiştir [20].

$$SNR(dB) = 6.02N + 1.76 + 10 \log_{10} \left( \frac{f_s}{2BW} \right) \quad (3)$$

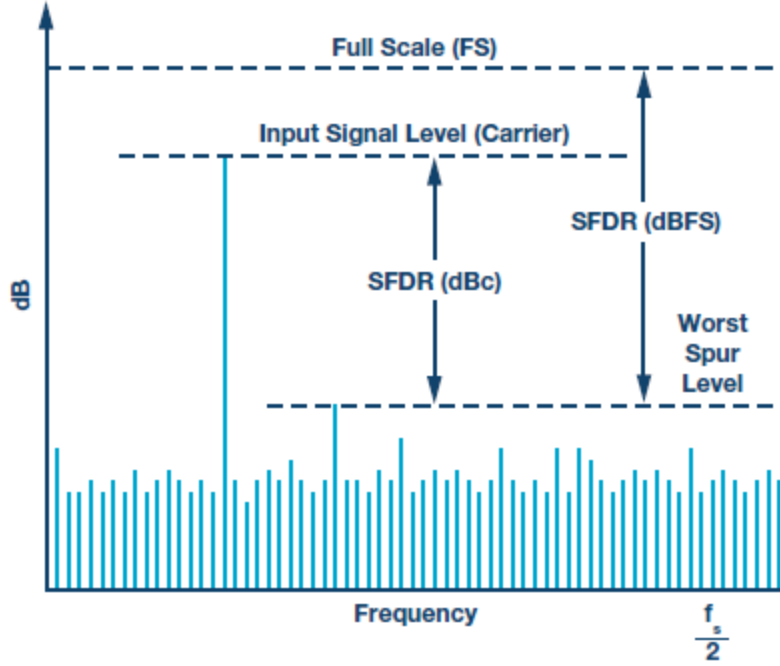
fs değeri örnekleme frekansını, BW ise bant genişliğini gösterir.



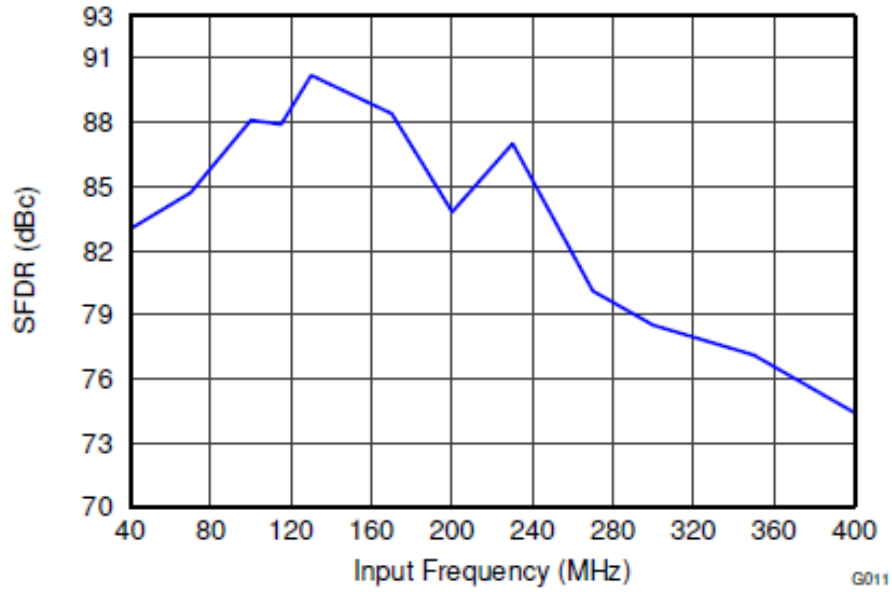
Şekil 3.11 ADC SNR Grafiği [19]

Şekil 3.11’de seçilen ADC entegresi için giriş frekansına göre SNR değerleri gösterilmiştir. HF bandı için 70 dBfs’den(maksimum sinyal seviyesindeki dB değeri) daha iyi bir SNR performansı göstermektedir.

ADC seçiminde dikkat edilen diğer bir parametre ise sinyal karışım bozunma oranı (SDFR) değeridir. ADC’nin çıkışında oluşabilecek yan sinyallerin sebep olduğu en kötü durumdaki spektral bozuklukların ölçüsüdür. Bu, istenmeyen sinyallerin güç düzeyinin istenilen sinyal gücüne oranını ifade eder. SFDR genellikle dBfs cinsinden ölçülür ve ADC’nin performansını tanımlamak için önemli bir ölçüttür. Şekil 3.12’de ADC’ler için SDFR değerinin ölçümü grafiksel olarak gösterilmiştir. Şekil 3.13’te ise seçilen ADC için giriş frekansına karşılık gelen SDFR değerleri verilmiştir. HF bandı için 80 dBc’den daha iyi bir dinamik alan sağladığı gözlemlenmiştir.



Şekil 3.12 ADC SFDR Grafiği [20]



Şekil 3.13 ADS4449 SFDR Grafiği [19]

ADC seçiminde dikkat edilen diğer bir parametre ise ENOB değeridir. Effektif Sayısal Bant Genişliği (Effective Number of Bits - ENOB), bir ADC'nin ideal bir dönüştürücü olarak kabul edilmesi durumunda, gerçek performansını ölçen bir parametredir. ENOB, ADC'nin çıkışındaki işaretin istenen dinamik aralık içindeki hassasiyetini temsil eder. Genellikle bit cinsinden ifade edilir ve ADC'nin sinyal işleme yeteneğini belirler.

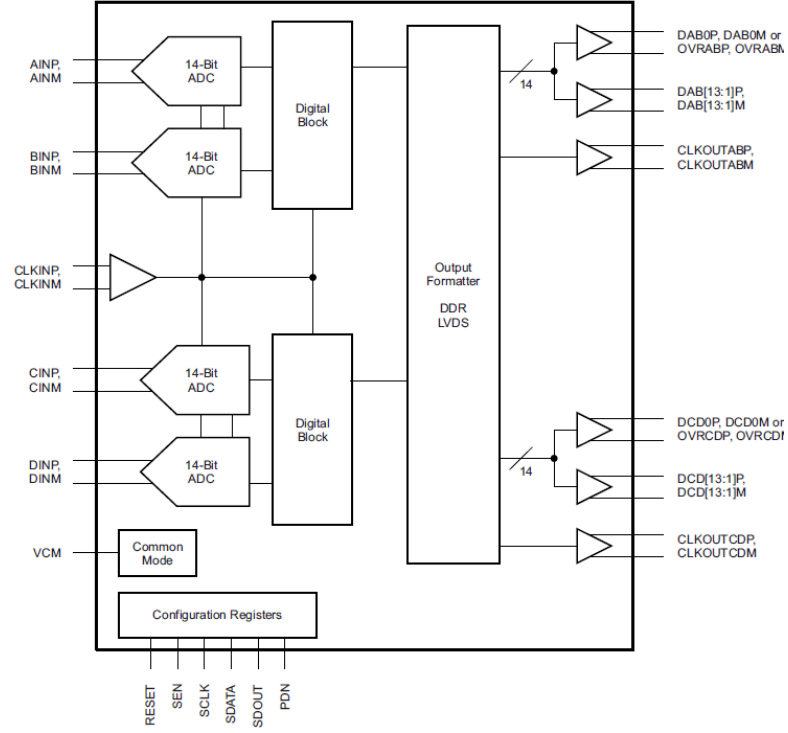
ENOB, ADC'nin örnekleme gürültüsü, giriş sinyaline eklenen gürültü ve diğer hatalar göz önüne alındığında, ADC'nin doğruluğunu ifade eder. Bu nedenle, ENOB değeri ne kadar yüksek olursa, ADC'nin performansı o kadar iyidir. Örneğin, 12 bitlik bir ADC'nin ENOB değeri 10 bit ise, bu ADC'nin 12 bit çözünürlüğe sahip olduğu ancak pratikte 10 bit çözünürlüğe sahip olduğu söylenebilir. Bu, ADC'nin gerçek dünyadaki performansını daha iyi değerlendirmemize yardımcı olur.

ADC'lerin ENOB değeri hesaplanırken (4) formülü kullanılır [20].

$$ENOB(bit) = \frac{SINAD - 1.76}{6.02} \quad (4)$$

SINAD Sinyal-Gürültü ve Bozulma Oranı demektir. Bu terim, bir sinyalin içindeki istenen sinyal ile istenmeyen gürültü ve bozulmalar arasındaki oranı ifade eder. SINAD değeri ne kadar yüksek olursa, istenen sinyalin gürültü ve bozulmaya göre daha baskın olduğu ve dolayısıyla sinyalin temiz olduğu anlamına gelir. Seçilen ADC'nin ENOB değeri 11.5 olarak ürün veri sayfasında verilmiştir [19].

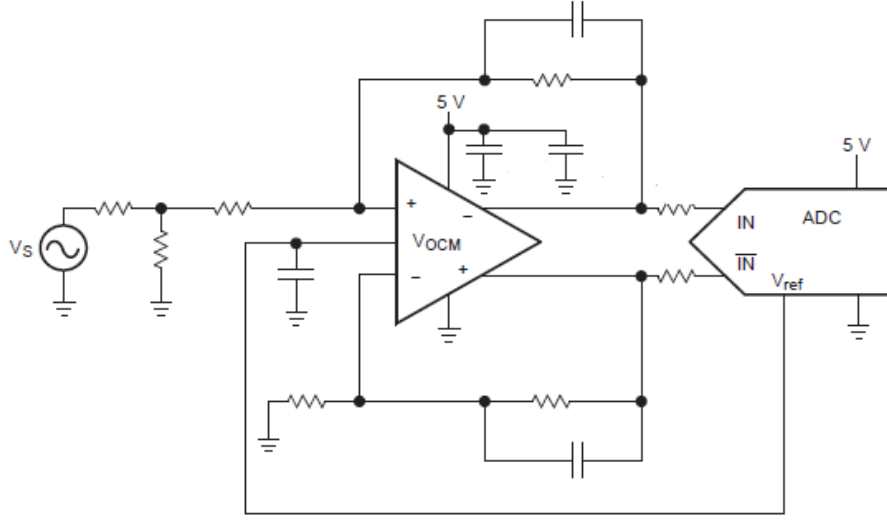
Şekil 3.14'te ADS4449 entegresinin iç yapısı verilmiştir. Tasarlanan sayısal kart üzerinde ADC saat girişine 200 MHz'lik bir osilatör bağlantısı yapılarak ADC'nin 200 MSPS'lik bir hız ile çalışması sağlanmıştır. ADC'nin ayarlarının ve kontrollerinin yapılabilmesi için SPI haberleşme arayüz sinyallerinin bağlantısı FPGA'e yapılmıştır. ADC'nin analog girişine verilen RF sinyal, ADC içerisinde sayısal veriye çevrilerek 14 bit olacak şekilde paralel olarak dışarı sürülmektedir. Bu hatlar da FPGA'e çekilerek sayısal verinin alınması sağlanmıştır.



Şekil 3.14 ADS4449 Blok Şeması [19]

### 3.4.2. RF Uyumlandırma Devresi

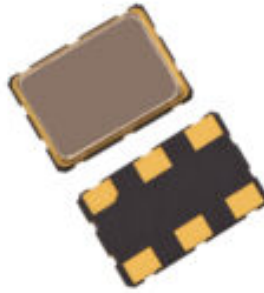
Yüksek performanslı bir ADC önünde bulunan giriş devresinin tasarımı, istenilen sistem performansına ulaşmak için kritiktir. Bu devreler, ADC'lerin önüne konulan önemli bileşenlerdir ve genellikle analog sinyallerin işlenmesi ve ADC'ye uygun bir şekilde hazırlanması için kullanılırlar. Bu tasarımda Şekil 3.15'te de gösterilen Texas Instrument firmasının THS4500 entegresinin kullanımına karar verilmiştir [21]. THS4500 entegresinin frekans bant genişliği 370 MHz'dir. Tek bir girişe sahip olan bu entegrenin çıkışında gelen sinyal diferansiyel çift olarak çıkmaktadır. Ek-4'te entegrenin özellikleri verilmiştir. Bu entegrenin kullanım amacı ise HF bandındaki sinyallerin en az bozulma ile taşınabilmesidir. RF uyumlandırma devresinin önüne gelen sinyal bu entegre ile ADC öncesi güçlendirilir ve tek gelen sinyal diferansiyel çift olarak çevrilerek ADC'ye gönderilir. Bu entegrenin kullanılması ile filtreleme de yapılarak sistem gürültüsünü azaltma da sağlanmıştır.



Şekil 3.15 RF Uyumlandırma Blok şeması [21]

### 3.4.3. Saat İşaret Üretici

Sistemde ADC ile FPGA entegrelerine 200 MHz'lik saat işaretini sağlamak için RALTRON firmasının "XCO782KV12-200.00" parça numaralı entegresi kullanılmıştır [22]. Entegre düşük jittera sahip olması, LVDS çıkış verebilmesi ve 200 MHz saat işareti sağlayabilmesi nedeniyle seçilmiştir. Ek-5'de entegrenin özellikleri verilmiştir.



Şekil 3.16 Saat İşaret Üretici XCO782 [22]

#### 3.4.4. FPGA Entegresi

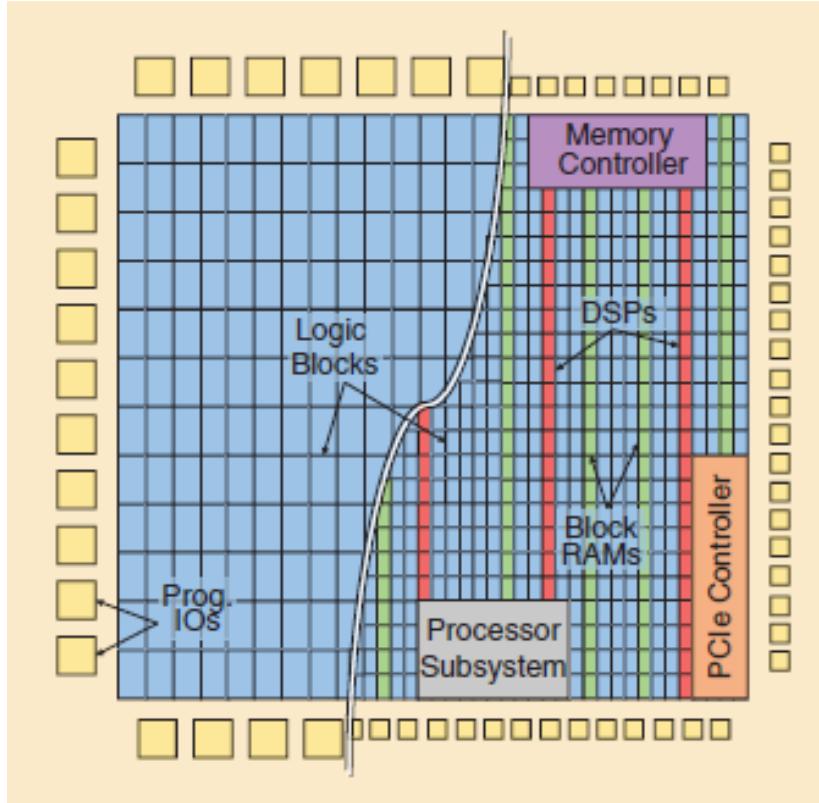
Alan Programlanabilir Kapı Dizileri (FPGA), herhangi bir sayısal donanım devresini uygulamak için programlanabilen ve yeniden yapılandırılabilen gelişmiş çipleridir. Şekil 3.17'de gösterildiği gibi, FPGA'ler, esnek bir şekilde birbirine bağlanabilen farklı türde programlanabilir bloklardan oluşur ve bu bloklar arasındaki programlanabilir anahtarlar aracılığıyla birbirine bağlanırlar [23]. FPGA'ler, mantıksal blokları (LUTs - Lookup Tables), flip-flop'ları, bellek bloklarını ve diğer devre öğelerini programlayarak, kullanıcının ihtiyaçlarına göre belirli bir işlevi gerçekleştirebilecek şekilde yapılandırılabilirler. Bu da FPGA'in çeşitli sayısal tasarım projelerinde esnek bir şekilde kullanılmasını sağlar. Ayrıca FPGA içerisindeki bu bloklar eşzamanlı olarak çalışabilir. Bu avantaj da yüksek düzeyde paralel hesaplama yapabilme yeteneğini sağlar.

FPGA'nın programlanması için sıklıkla kullanılan bir donanım tanım dili (HDL)'dir. Günümüzde genel olarak Çok Yüksek Hızlı Tümlleşik Devre Donanım Tanımlama Dili (VHDL) kullanılmaktadır.

VHDL ile yapılan tasarımda ilk adım FPGA'da gerçekleştirilecek işlevin tanımlandığı kısımdır. VHDL'de, modüller, işlevler ve bileşenler tanımlanır ve bunlar birlikte birer devre oluşturur. Tasarım, özel bir tasarım ortamı kullanılarak oluşturulabilir. Tasarım, sentezleme adımında, VHDL kodu FPGA'nın fiziksel kaynaklarına (mantık blokları, yönlendirme kaynakları vb.) eşlenir. Bu aşama, tasarımı fiziksel olarak gerçekleştirilmesine hazır hale getirir ve FPGA'in iç mimarisine uygun bir şekilde optimize edilir. Sentezleme ve gerçekleştirme sonrası elde edilen netlist FPGA'e yüklenmek üzere kullanılır. Bu adım, FPGA geliştirme kartı veya programlayıcı cihazı kullanılarak yapılır. VHDL kodu ile üretilen konfigürasyon dosyası FPGA'ya yüklenir ve FPGA, tasarımın belirlediği işlevi gerçekleştirmek üzere programlanmış olur.

Bu tasarım için FPGA kullanımına karar verilmiştir. Esnek bir şekilde donanım tasarımının yapılabilmesi, paralel işlem yapma yeteneği ile tasarlanan yapının hızlı bir şekilde sonuç vermesi ve düşük güç tüketimine sahip olması öne çıkan tercih sebeplerindedir. FPGA



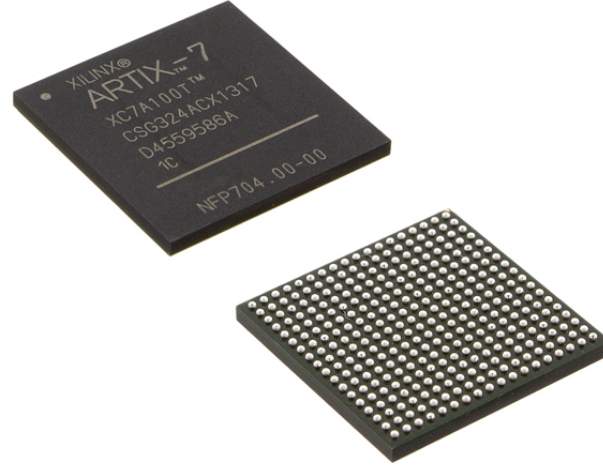


Şekil 3.17 FPGA İç Yapısı [23]

modelinin tercihi için piyasa araştırması yapıldıktan sonra düşük maliyetli, küçük boyutlu olması ve istenen sistem gereksinimlerini sağlaması nedeniyle AMD firmasının Şekil 3.18’de görülen Xilinx ARTIX-7 FPGA ailesinin kullanımına karar verilmiştir [24]. Ek-6’da ARTIX-7 FPGA ailesinin özellikleri verilmiştir. Çizelge 3.1’de seçilen FPGA için sunulan kaynaklar ve yetenekler gösterilmiştir.

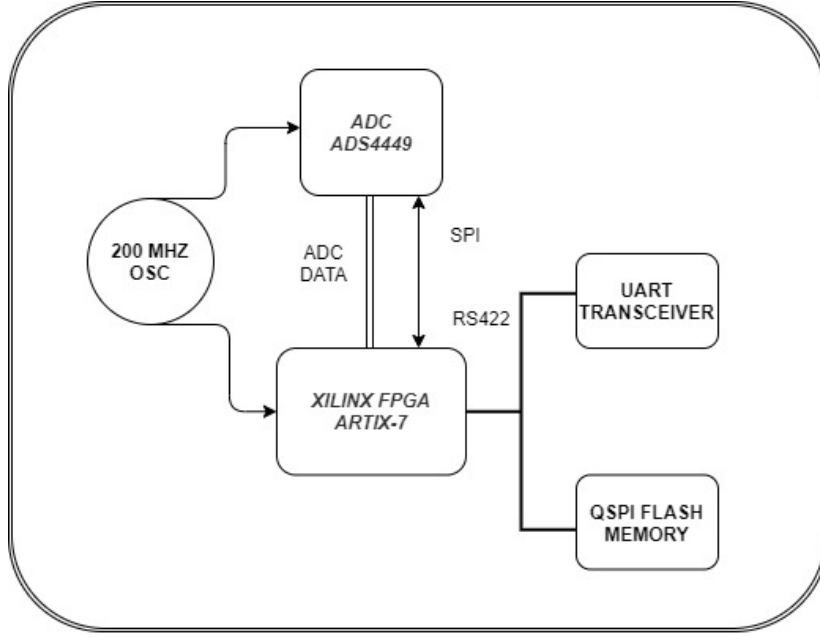
Çizelge 3.1 Artix-7 Serisi FPGA’lerin Maksimum Yetenekleri

Özellik	Değer
Mantık Hücreleri	215K
DSP Bölümü	740
Blok RAM	10.400 Kb
Memory Arayüz Hızı	1,066 Mb/s
Maksimum Sistem Hızı	450 MHz
I/O Pinleri	500 Adet
I/O Voltaj	1.2V–3.3V



Şekil 3.18 Artix-7 FPGA [24]

Şekil 3.19’da da görüldüğü gibi FPGA sayısal kartın bütün kontrollerinden ve yönetiminden sorumludur. Kart üzerinde bulunan 200 MHz osilatör ADC için örnekleme saat işareti olarak kullanılırken, FPGA içinde data işleme saat işareti olarak kullanılmaktadır. Bu iki entegre içinde aynı saat işaretinin kullanılması ile birbirlerine senkron çalışmaları sağlanmıştır. FPGA ile ADC arasına SPI haberleşme yapılabilmesi için hatlar çekilmiştir. Bu haberleşme arayüzünden ADC’nin ayarları yapıлып veri işleme için hazır hale getirilir. Sayısal dönüştürülen veri ise ADC ile FPGA arasında bulunan 14 bitlik veri ayrık hattı ve 1 bitlik saat hattı ile FPGA’ye taşınır. FPGA’ye aktarılan veriler sayısal algoritmalar ile işlenir ve elde edilen nihai yayın bilgisi RS422 haberleşme arayüzü üstünden bir üst seviyeye aktarılır. Kartın üzerinde bulunan QSPI Flash hafıza entegresi ise FPGA’in ayağa kalkabilmesi için gerekli dosyaların tutulduğu bir entegredir. Aynı şekilde FPGA içerisinde oluşturulan verilerin depolanması için de bu entegre kullanılır.



Şekil 3.19 Artix-7 FPGA Kullanımı

### 3.4.5. Sayısal Kartın Tasarımı

Yukarıdaki bölümlerde bahsedilen ADC, FPGA, RF uyumlandırma ve diğer malzemeler bir araya getirilerek sayısal kart tasarımı yapılmıştır. Bu tasarım yapılırken Mentor firmasının PADS programı kullanılmıştır. Mentor PADS, elektronik devre tasarımı ve PCB tasarımı için kapsamlı bir yazılım paketidir. Şematik tasarımdan PCB yerleşimine, simülasyonlardan dökümantasyona kadar geniş bir araç yelpazesi sunar. Bu yazılım, tasarım sürecini optimize eder ve çeşitli analiz ve yönetim araçlarıyla tasarım kalitesini artırır [25].

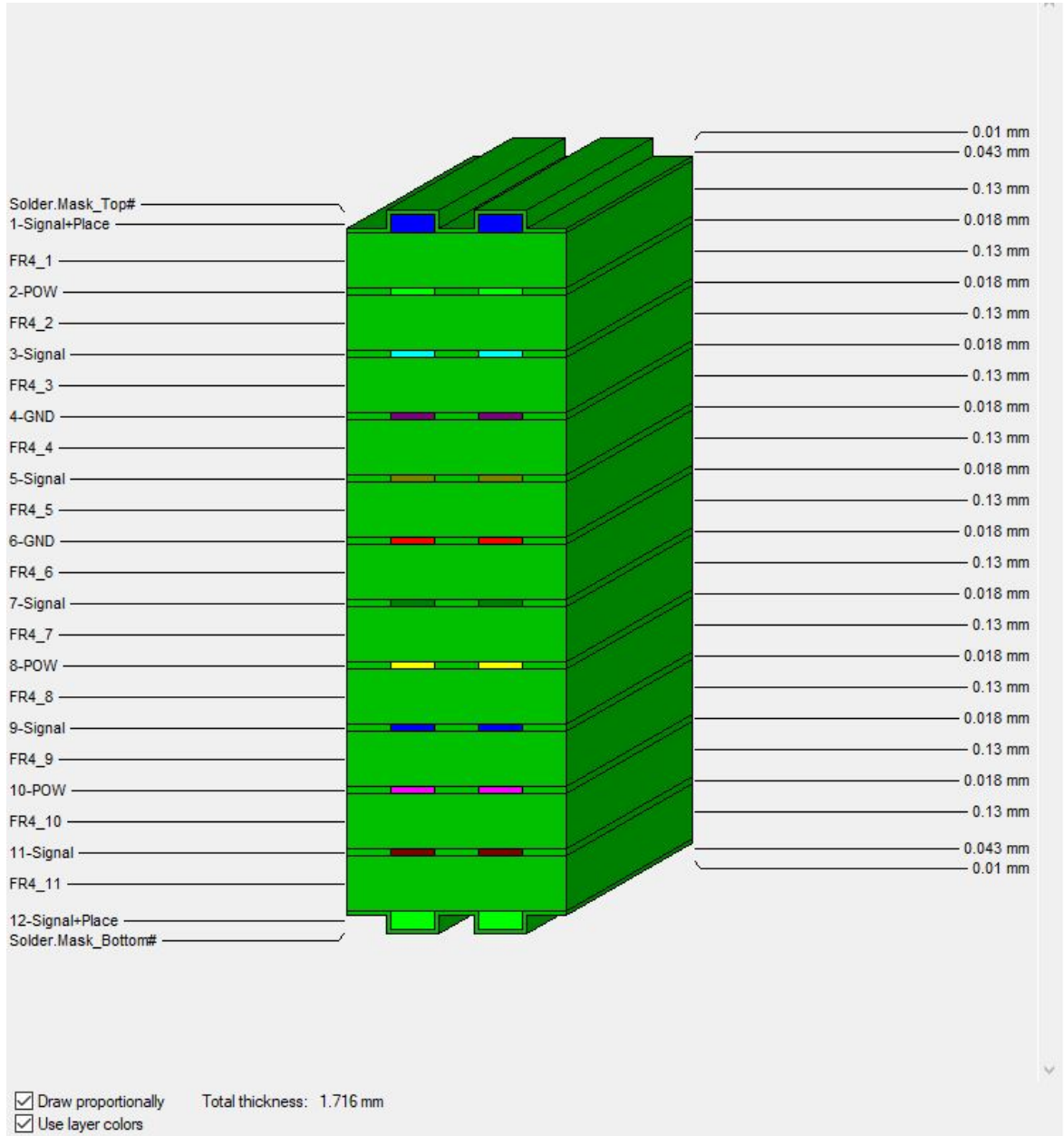
Şekil 3.10'daki tasarlanan kartın genel özelliklerinden bahsedecek olursak:

- 2 adet SMPM konnektörü üzerinden RF işaret girişi vardır.
- Kartın beslemesi 5V ve -5V ile yapılmaktadır.
- Kart üzerine gelen beslemelerden 1V, 1.8V, 1.9V, 2.5V, 3.3V ve -5V gerilimleri elde edilir.
- ADC ile FPGA'in saat işaretini karşılamak için sabit 200 MHz sinyal üreten osilatör kullanılmıştır.

- RF işaretin sayısal dönüşürülmesi için ADS4449 parça numaralı ADC entegresi kullanılmıştır.
- Sayısal kartın kontrolü ile data işleme ihtiyaçlarını karşılamak için Artix-7 FPGA entegresi kullanılmıştır.
- Dış arayüzlerle haberleşmenin sağlanabilmesi için UART çevirici entegreler yerleştirilmiştir.
- Kartın hafıza ihtiyacının karşılanması için 256 Mbitlik bir QSPI hafıza entegresi koyulmuştur.
- 12 adet genel amaçlı kullanılacak dış arayüz pini kart üzerinde konumlandırılmıştır.

Şekil 3.20’da tasarlanan kartın katman yapısı verilmiştir. 12 katmanlı bir yapıya sahip olan bu kartın kalınlığı yaklaşık olarak 1.716 mm’dir. Kartın üretim malzemesi olarak FR4 tabakası kullanılmıştır. FR4 malzemesi devre kartı üretim uygulamalarında yaygın olarak kullanılır. FR4 malzemesi üst ve alt kısımlarda bakır tabakalardan oluşur. Düşük dielektrik kaybı ve yüksek yalıtkan direnç özelliklerine sahip olması nedeniyle elektronik devre bileşenleri için iyi bir seçenektir [26]. FR4, yüksek mukavemetli bir malzemedir ve genellikle elektronik bileşenlerin montajı için yeterli dayanıklılığı sağlar. Termal ve kimyasal direnç özelliklerine de sahiptir. Ayrıca diğer alternatiflere göre genellikle daha ekonomiktir, bu da üretim maliyetlerini düşürür ve ticari devre kartı üretiminde yaygın olarak tercih edilir.

FR4 malzemesinin seçilmesinden sonra kart üzerinde çekilecek hatlar için boyutlar belirlenmiştir. Şekil 3.21’de görüldüğü gibi bu hesaplar yapılırken SATURN programı kullanılmıştır [27]. Bu program ile mikroşerit hat, diferansiyel çift, delik hesaplaması gibi parametreler hesaplanmaktadır. Saturn programı ile tek hatlar için 50 ohm empedans uyumluluk, diferansiyel çift hatlar için ise 100 ohm empedans uyumluluk hedeflenerek hesaplamalar yapıldı. Hat genişliği olarak 4 mils seçilirken hatlar arası boşluk 8 mils seçilmiştir.



Şekil 3.20 Sayısal Kart Katman Yapısı

Şekil 3.22’de görüldüğü gibi devre kartının yerleşimi ve tasarımı tamamlandı. Kart boyutu olarak 44 mm x 91.5 mm olacak şekilde üretime gönderildi. Üretim ASELSAN HBT grup başkanlığı bünyesi altında bulunan baskı devre kart üretim tesisinde üretildi.

Differential Pairs

Conductor Width (W) **4 mils** Target Zdiff **100 Ohms** Formula Restrictions:  $0.1 < W/H < 3.0$   
 $0.1 < S/H < 3.0$

Conductor Spacing (S) **8 mils**

Conductor Height (H1) **5.11811023 mils**

Conductor Height (H2) **5.15748031 mils**

**W/H = 0.364**  
**S/H = 0.729**

Zdifferential **102.110 Ohms**

Zo **53.470 Ohms**

+/- Tolerance = 10%

**112.321 Ohms**

**91.899 Ohms**

Options

Base Copper Weight  
 0.25oz  
 0.5oz  
 1oz  
 1.5oz  
 2oz  
 2.5oz  
 3oz  
 4oz  
 5oz

Units  
 Imperial  
 Metric

Substrate Options  
Material Selection  
**Custom**

Er **4.4** Tg (°C) **130**

Plating Thickness  
 Bare PCB  
 0.5oz  
 1oz  
 1.5oz  
 2oz  
 2.5oz  
 3oz

Differential Layer  
 Edge Cpld Ext  
 Edge Cpld Int Sym  
 Edge Cpld Int Asym  
 Edge Cpld Embed  
 Broad Cpld Shld  
 Broad Cpld NShld

Temp Rise (°C) **20**  
Temp in (°F) = 36.0

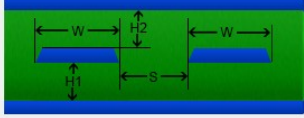
Ambient Temp (°C) **22**  
Temp in (°F) = 71.6

Information  
Total Copper Thickness 0.70 mils  
Via Thermal Resistance N/A  
Via Count: **10**  
Conductor Temperature N/A  
Temp in (°C) = N/A  
Temp in (°F) = N/A  
Via Voltage Drop N/A

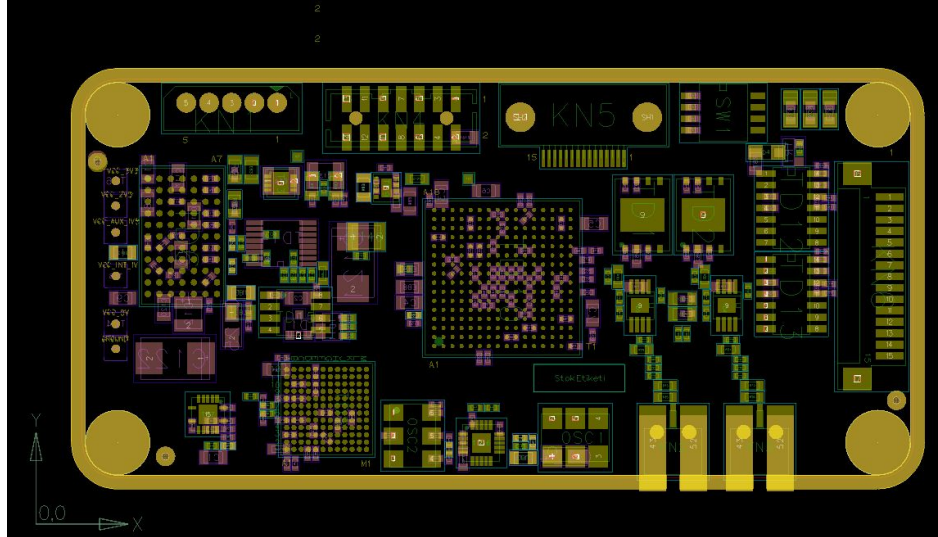
Print Solve!

**SATURN PCB DESIGN, INC**  
Turnkey Electronic Engineering Solutions

Follow Us



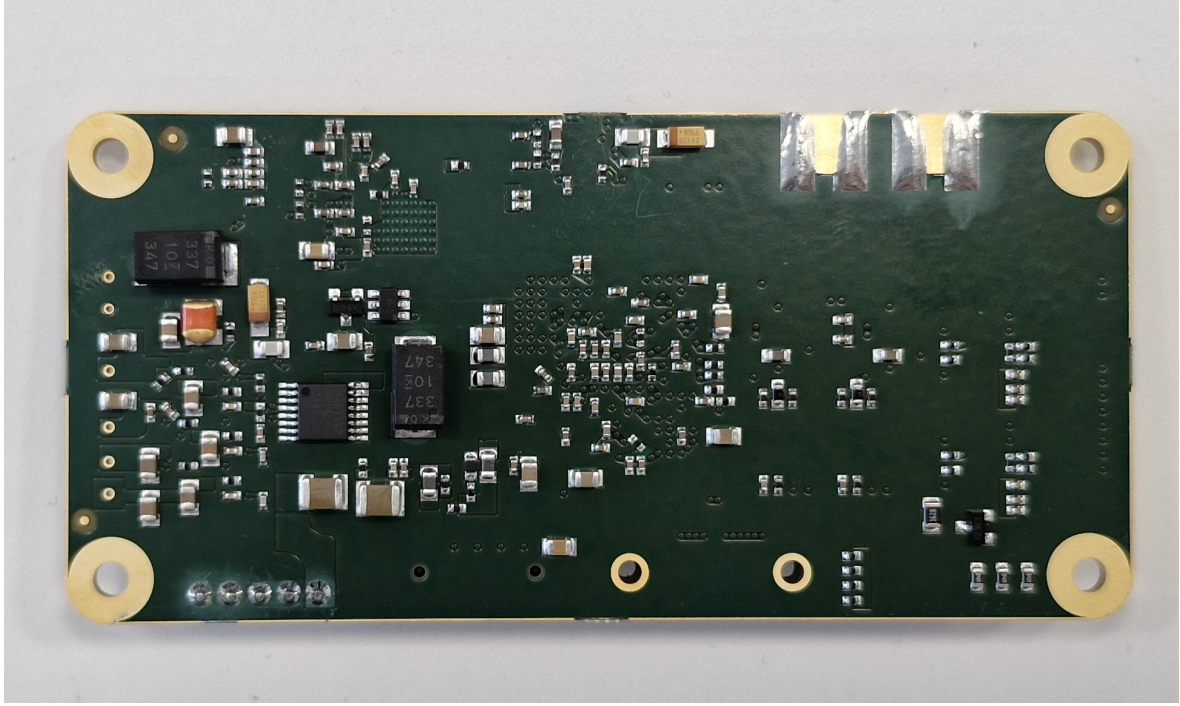
Şekil 3.21 Devre Kartı Empedans Hesabı



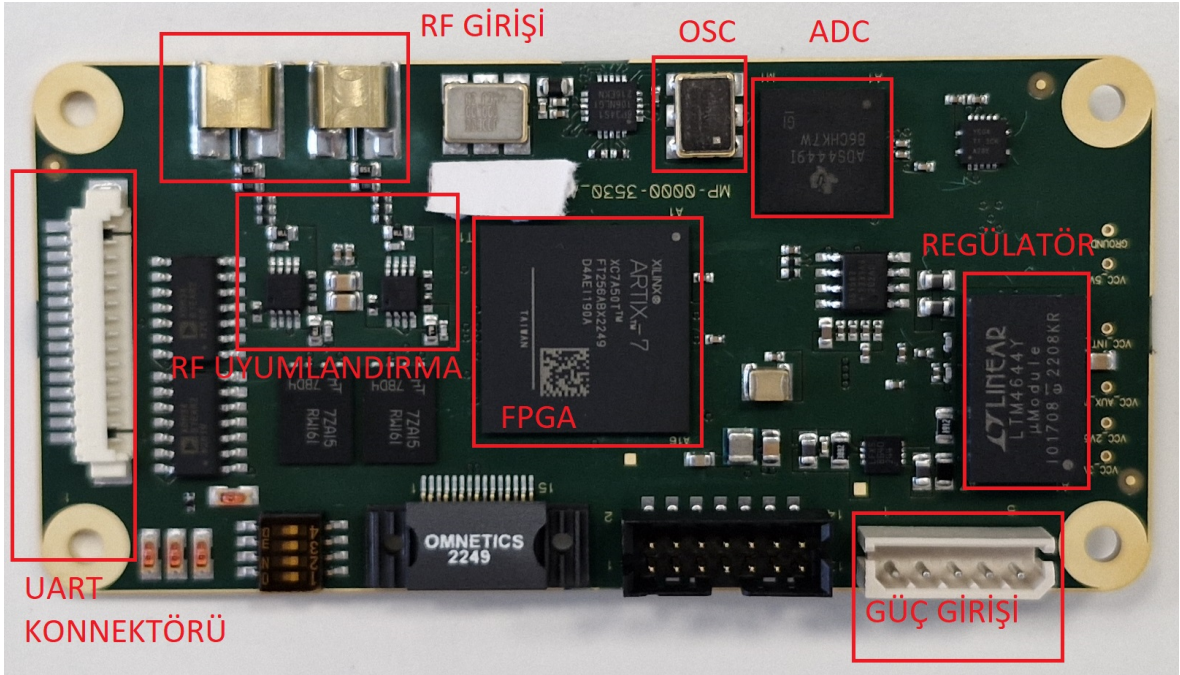
Şekil 3.22 Devre Kartı Tasarımı Önyüz

Şekil 3.23 ve 3.24'te görüldüğü gibi devre kartının üretilmiş ve malzeme dizilmiş bir şekilde görülmektedir.





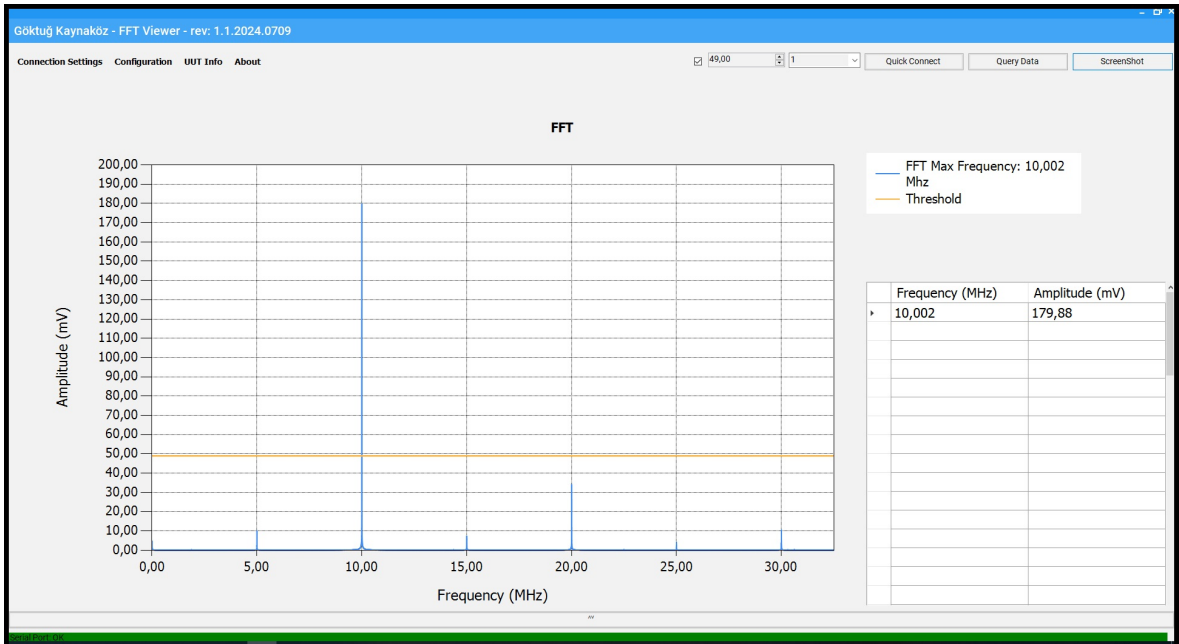
Şekil 3.23 Sayısal Kart Arkayüz



Şekil 3.24 Sayısal Kart Önyüz

### 3.5. Görüntü

Bu bölümde ise sayısal kart tarafından işlenen HF yayının bilgileri bilgisayar tarafına UART haberleşme arayüzü ile aktarılmaktadır. Aktarılan bu veriler Şekil 3.25'deki gibi yazılım üstünden çizdirilip operatöre sunulmaktadır. Operatör buradan hedefin genlik ve frekans bilgilerine ulaşabilir. Bu yazılım visual studio 2020 programı kullanılarak yazılmıştır. HF sayısal monitör sisteminden gelen FFT versini genlik ve frekans eksenini boyunca çizdirmektedir.



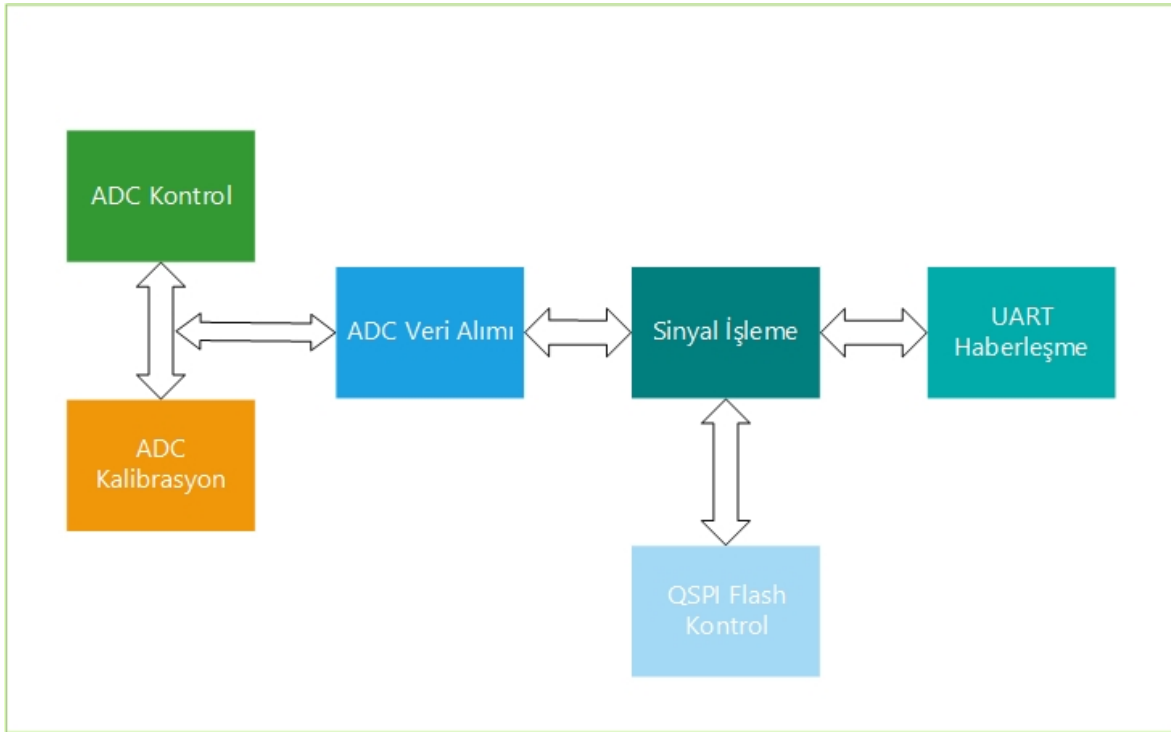
Şekil 3.25 FFT Verisi



## 4. FPGA SAYISAL ALGORİTMA TASARIMI

Bu bölümde FPGA entegresi içerisinde gerçekleştirilen sayısal algoritma tasarımı hakkında bilgi verilecektir. Sayısal tasarımda tercih edilen Artix-7 FPGA'yi için donanım çekirdeği geliştirme ortamı olarak Xilinx firmasının Vivado 2019.1 sürümü kullanılmıştır [28]. Tasarım dili olarak ise VHDL tercih edilmiştir. VHDL dili ile donanım tasarımlarının geliştirilmesi, doğrulanması, sentezi ve test edilmesi desteklenmektedir [29].

Şekil 4.1'de FPGA içerisinde gerçekleştirilen algoritma yapısı verilmiştir. Tasarım ADC Kontrol, ADC kalibrasyon, ADC veri alımı, Sinyal işleme, UART haberleşme ve QSPI flash kontrol olmak üzere 6 ana bloktan oluşmaktadır. Bu bölümde blokların içerisinde yapılan işlemler ile birbirleri arasındaki iletişimler açıklanacaktır.



Şekil 4.1 FPGA Algoritma Yapısı

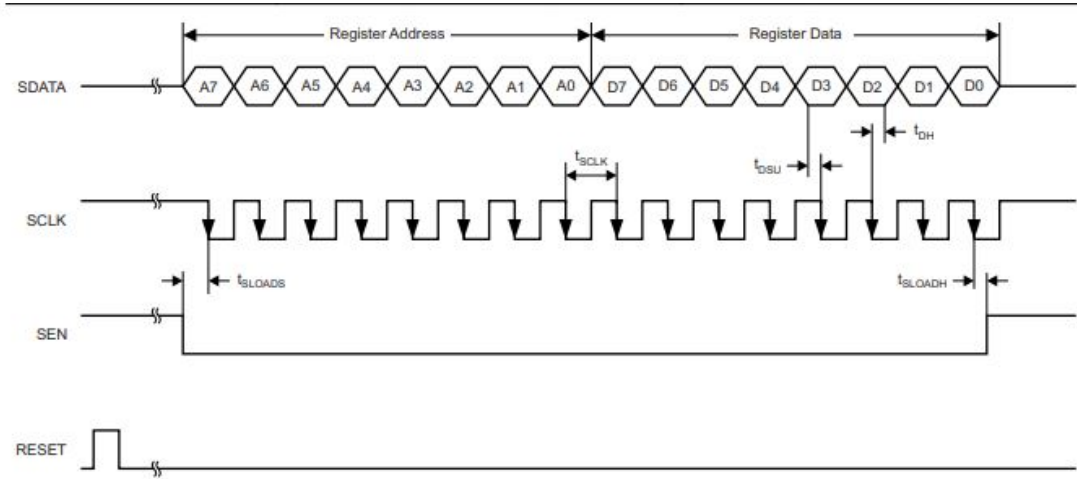
## 4.1. ADC Kontrol

Daha önceki bölümlerde de anlatıldığı gibi sayısal tasarım yapısında ADC olarak Texas Instrument firmasının ADS4449 parça numaralı ürününün kullanılması tercih edilmiştir. Bu ADC, 200 MSPS örnekleme hızına sahiptir, örneklenen veriler 14 bit paralel DDR çıkış ile iletilmektedir. ADC'nin örnekleme işlemine başlaması için bir dizi ayar setinin yapılması gerekmektedir. Bu ayarlar FPGA üzerinden SPI (seri perifer bağlantı arabirimi) haberleşmesi ile ADC'ye iletilmektedir. SPI bir seri arayüz protokolüdür, diğer protokollerle karşılaştırıldığında yüksek iletim hızı, basit kullanımı ve az pini olması nedeniyle tercih edilir [30]. FPGA'ler, genellikle diğer cihazlarla iletişim kurmak için seri haberleşme protokolleri kullanırlar ve SPI bunlardan biridir. SPI, FPGA'ler ve diğer entegre devreler arasında veri iletimini sağlayan bir seri iletişim protokolüdür. SPI, bir ana cihaz ve bir veya birden fazla çevre cihaz (örneğin sensörler, bellekler veya diğer entegre devreler) arasında tam çift yönlü iletişim sağlar. SPI arayüzü, en az sayıda iletişim hatları kullanarak veri iletimini gerçekleştirir [31].



Şekil 4.2 SPI Arayüzü [31]

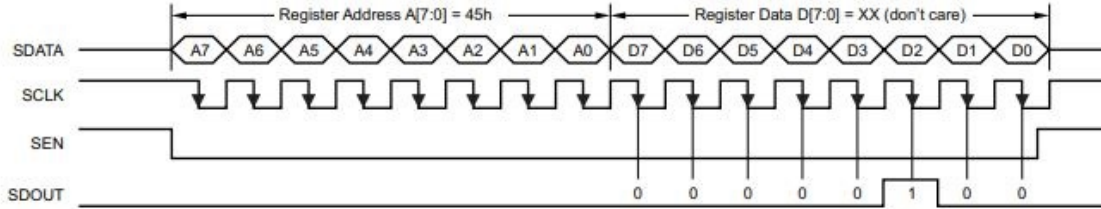
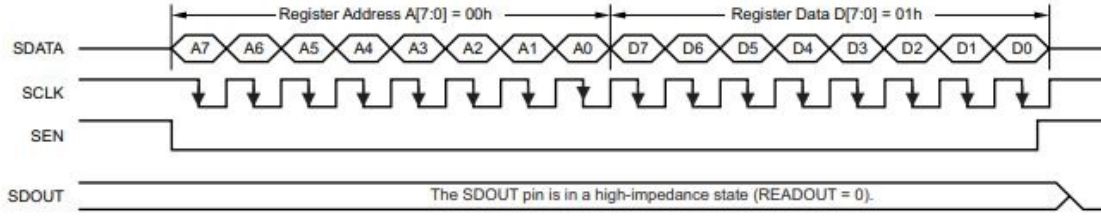
Şekil 4.2'de görüldüğü gibi SPI arayüzü 4 pine sahiptir. Ana cihazdan çevre cihazlara veri göndermek için MOSI hattı kullanılmaktadır. MISO ise çevre cihazlardan ana cihaza veri göndermek için kullanılan hattır. CCLK tüm cihazların senkronize olmasını sağlayan saat sinyalidir. Ana cihaz tarafından üretilir. CS ise birden fazla çevre cihaz varsa hangi cihazın iletişimde olduğunu belirlemek için kullanılır. Her bir çevre cihazın bir CS hattı vardır ve ana cihaz, iletişim kurmak istediği cihazın CS hattını etkinleştirir [32].



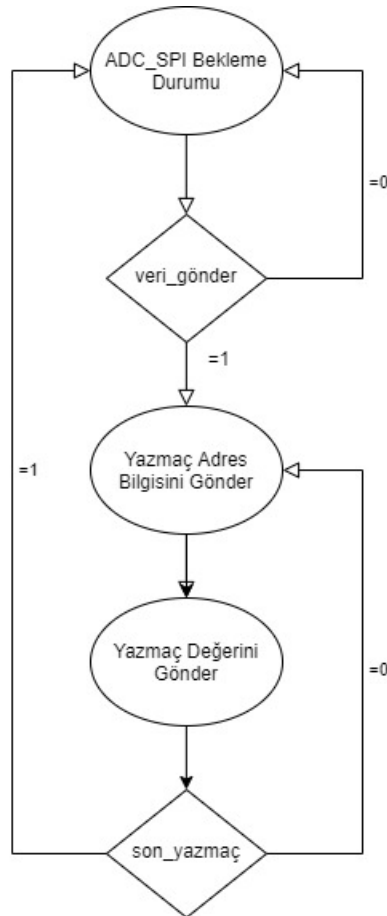
Şekil 4.3 ADC SPI Yapısı [19]

Şekil 4.3'te ADS4449 entegresi için SPI haberleşme arayüzü verilmiştir. ADS4449 entegresi SEN (seri arayüz etkinleştirme), SCLK (seri arayüz saat), SDATA (seri arayüz giriş verisi) ve SDOOUT (seri arayüz geri okuma verisi) terminallerine sahiptir. SEN sinyalinin düşen kenarında seri olarak bitlerin cihaza aktarılması etkinleştirilir. Seri veri, SEN aktif olduğunda her SCLK düşen kenarında yakalanır. Seri veri, SEN düşük olduğunda her 16. SCLK düşen kenarında kaydedilir. Kelime uzunluğu 16 bitin katı olduğunda, fazla bitler görmezden gelinir. Veri, tek bir etkin SEN darbesi içinde 16 bitlik kelimelerin katları olarak yüklenebilir. İlk sekiz bit, kayıt adresini oluşturur ve kalan sekiz bit, kayıt verisidir. Arayüz, 20 MHz'den çok düşük hızlarda bir SCLK ile işlev görebilir [19].

Şekil 4.3'te ise ADC entegresinden yazmaç veri okuma yapısı gösterilmiştir. ADC'de dahili kayıtların içeriğinin geri okunabileceği bir mod vardır. Bu geri okuma modu, FPGA ile ADC arasındaki seri arayüz iletişimini doğrulamak için bir teşhis kontrolü olarak faydalı olabilir. Öncelikle FPGA'den ADC'ye gönderilen komut ile okuma modu aktif hale getirilir. Daha sonra yeni gönderilen komut ile de istenilen ADC yazmaç verisi okunabilir.



Şekil 4.4 ADC SPI Veri Okuma [19]



Şekil 4.5 ADC SPI Sayısal Akış Şeması

Şekil 4.5’de FPGA içerisinde kodlanmış olan ADC SPI kontrol akış şeması görülmektedir. Yukarıdaki zaman çizelgelerine göre ADC SPI kontrol kısmı kodlanmıştır. ADC SPI bekleme durumunda ADC kalibrasyon modülünden veri gönder sinyalinin iletilmesi beklenmektedir. Ek-7’de ADS4449 entegresinin yazmaç tablosu verilmiştir. Veri gönder sinyali geldiğinde ilk değiştirilecek olan yazmaçın adres bilgisidir, daha sonraki adımda ise yazmaçın içerik bilgisi gönderilmektedir. EK-7’de yer alan bütün yazmaç bilgisi sırasıyla gönderilir. Son yazmaç gönderme işlemi de yapıldıktan sonra bu modulde işlem tamamlanmış olur.

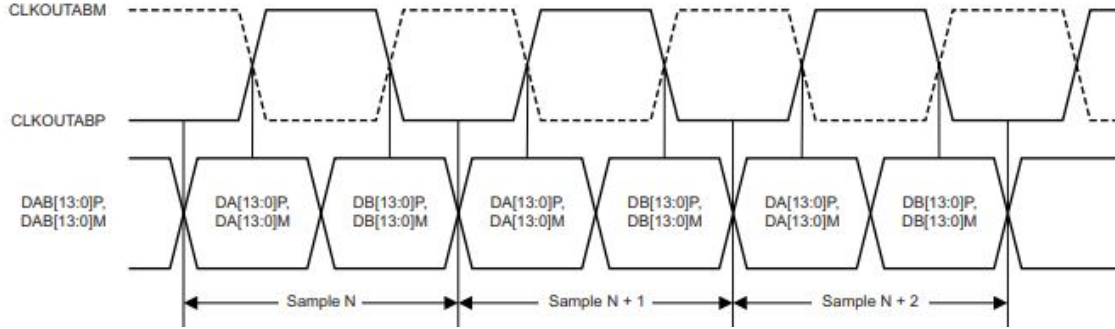
## 4.2. ADC Kalibrasyon

Bir ADC’nin doğru çalışması için ölçülen analog sinyalin doğru bir şekilde sayısal dönüşürülmesi gerekmektedir. Ancak her ADC’nin sıcaklık, hat uzunluklarından kaynaklı zaman gecikmeleri nedeniyle sayısallaştırılan verilerde bozulmalar görülebilmektedir [33]. ADC’nin bitleri arasındaki zaman kaymasından kaynaklanan hatalar, özellikle yüksek hızlı ve yüksek çözünürlüklü ADC’lerde önemli bir sorundur. Bu hatalar, analog sinyallerin örnekleme zamanı ile sayısal verilerin çıkış zamanı arasındaki zaman farkından kaynaklanabilir. Bu fark, analog sinyalin örnekleme anında sabit olmayabilir ve ADC’nin dönüşüm süresi boyunca değişebilir. Bu durum, özellikle yüksek frekanslı veya geniş bantlı sinyallerde belirgin olabilir. Bu sayısal verinin bozulması nedeniyle hatalı yayın tespiti yapılabilir ve bu durum sistemin performansını düşürücü bir etkiye sebep olur. Bu neden ile ADC’nin kalibre edilmesi sistem performansı için çok önemlidir.

Sayısal karta güç verildikten sonra FPGA üstünde koşan ADC kontrol algoritması ile ADC’nin ilk ayarları SPI haberleşmesi üstünden yapılmaktadır. Bu süreç tamamlandıktan sonra ADC kalibrasyon modülü çalıştırılmaktadır.

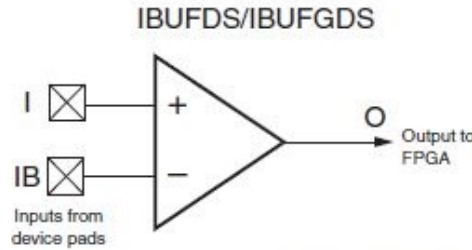
Şekil 4.6’da ADS4449 entegresinin sayısal veri aktarım zaman çizelgesi gösterilmektedir. ADC 200 MSPS hızda örnekleme yapmaktadır. Sayısal dönüşürülen analog veri 14 bit paralel difrensiyal çifti veri hattı, 1 bit difrensiyal çift saat işareti hattı olarak ADC’dan

FPGA'e taşınmaktadır. 2 kanallı olan ADC verileri; saat işaretinin yükselen kenarında A kanalının, düşen kenarında ise B kanalının verilerini iletir.



Şekil 4.6 ADC Sayısal Veri Yapısı [19]

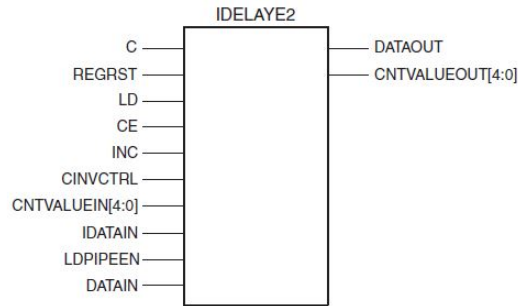
ADC'den gönderilen sayısal veri FPGA üzerinden karşılanmaktadır. 14 bit ADC verisi, 1 bit de saat işareti olmak üzere 15 çift hat 30 pin üzerinden FPGA içine alınır. Diferensiyal gelen bu hatlar FPGA içerisinde bulunan Şekil 4.7'deki IBUFDS yapıları ile tek hatlara çevrilirler[34].



Şekil 4.7 IBUFDS Yapısı [34]

FPGA ile ADC arasındaki hatların uzunlukları, FPGA içerisindeki pinlerin yerleşimi ve sıcaklıktan kaynaklı bu 14 bit arasında zamanda kayma meydana gelebilir bu da verinin hatalı çıkmasına neden olabilir. Bu zamandaki kaymaların düzeltilebilmesi için FPGA içerisinde bulunan IDELAY2 yapıları kullanılmaktadır. IDELAY2 yapıları, FPGA içinde gecikme ayarlaması yapılmasını sağlayan özel bloklardır. Bu bloklar, giriş sinyallerinin geçikmeli olarak FPGA içine alınmasını veya çıkış sinyallerinin belirli bir gecikmeyle dışarı çıkarılmasını sağlar. Genellikle yüksek hızlı veri iletişimde ve zamanlamanın kritik olduğu uygulamalarda kullanılırlar.

IDELAY2 yapıları, FPGA içindeki yüksek hızlı veri yollarını zamanlama hatalarından veya zamanlama uyumsuzluklarından korumak için kullanılır. Özellikle yüksek frekanslı sinyallerin işlendiği durumlarda, sinyallerin doğru zamanda örneklenebilmesi ve işlenebilmesi için gerekli olan zamanlama ayarlamalarını yaparlar. Giriş sinyallerinin veya çıkış sinyallerinin geçikmeli olarak işlenmesini sağlamak için kullanılır. Bu, zamanlama hatalarını düzeltmek veya uygun gecikmeleri sağlamak için kullanılabilir. Örneğin, bir IDELAY2 bloğu, giriş sinyallerini FPGA içine almadan önce belirli bir gecikmeyle bekletebilir veya çıkış sinyallerini FPGA'dan dışarı çıkarmadan önce belirli bir gecikme ekleyebilir [35]. IDELAY2 yapıları, FPGA'nın içindeki zamanlama hatalarını düzeltmek veya kompanse etmek için kullanılır. Bu sayede, FPGA tabanlı sistemlerde zamanlamanın kritik olduğu uygulamalarda daha güvenilir ve istikrarlı bir performans elde edilir. Bu yapılar, FPGA'nın içinde bulunan diğer zamanlama öğeleriyle birlikte kullanılarak sistem performansının optimize edilmesine yardımcı olur.



Şekil 4.8 IDELAY2 Yapısı [34]

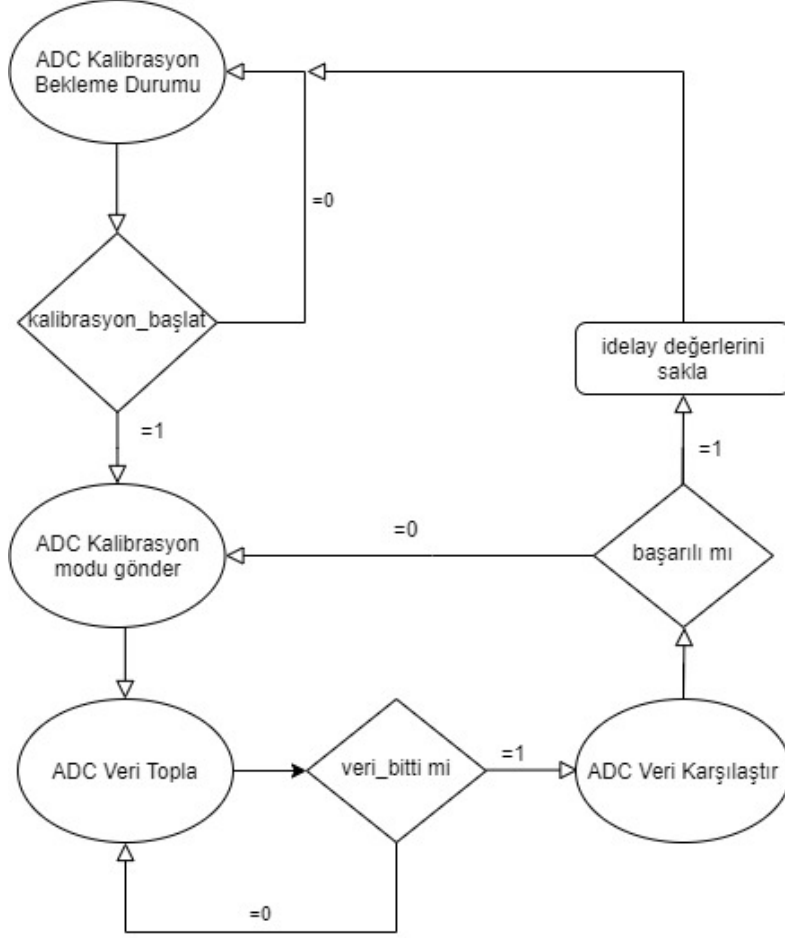
Şekil 4.8'de IDELAY2 yapısı verilmiştir. Çizelge 4.1'de ise şekilde verilen sinyallerin açıklaması yapılmıştır. FPGA içerisine alınan her bir ADC biti için 1 adet IBUFDS ile 1 adet IDELAY2 yapısı arka arkaya bağlanarak kullanılmıştır. ADC kalibrasyonunun düzgün bir şekilde yapılabilmesi için IDELAY2 kaydırma değerinin düzgün bir şekilde belirlenmesi gerekmektedir. IDELAY2 geciktirme değeri olarak 0 dan 31 e kadar değer alabilmektedir. IDELAY'de 200 MHz'lik bir saat işareti kullanıldığında periyot 5 ns'dir. IDELAY ile toplam periyodun yarısı kadar, 2.5 ns'ye kadar, geciktirme yapılabilir. IDELAY geciktirme değeri olarak toplamda 32 adet değer alabildiği için her bir geciktirme değeri 78 ps'lik bir gecikme sağlar.

Çizelge 4.1 IDELAYE2 Temel Bağlantı Noktaları

Port Adı	Açıklama
CLK	Saat Sinyali
REGRST	Sıfırlama Girişi
LD	Geri Bildirim Veri Girişi
CE	Azaltma Arttırma Fonksiyonunu Etkinleştirme
INC	Arttırma
CINCTRL	Saat İşareti Polarite Değişirme
CNTVALUEIN	Gecikme Değeri
IDATAIN	IBUF'dan Geçmiş Sinyal Girişi
DATAIN	FPGA'den Direkt Gelen Sinyal Girişi
LDPIPEN	Geciktirilmiş Verinin Yüklenmesini Etkinleştirir
DATAOUT	Geciktirilmiş Veri Çıkışı
CNTVALUEOUT	Geciktirme Sayısı

Şekil 4.9'da FPGA içerisinde gerçekleştirilen ADC kalibrasyon algoritması gösterilmiştir. ADC kalibrasyon bekleme durumunda iken üst modülden gelecek olan kalibrasyon başlat sinyali beklenir. Bu sinyal geldikten sonra "ADC kalibrasyon mesaj gönder" durumuna geçilir. Burada SPI üzerinden ADC'ye komut atılır ve x"2B" adresine gönderilen 1 değeri ile ADC'nin A kanalının bütün 14 bit çıkışı '0' olacak şekilde ayarlanır ve test moduna alınır. İkinci olarak SPI üzerinden ADC'ye komut atılır, x"25" adresine gönderilen 2 değeri ile ADC'nin B kanalının bütün 14 bit çıkışı '1' olacak şekilde ayarlanır ve test moduna alınır. Bu işlemler tamamlandıktan sonra ADC veri toplama kısmına geçilir, burada IDELAY2 geciktirme değerleri 0'dan 31'e kadar değiştirilerek her seferinde ADC'den veri toplanır ve A ile B kanalları için saklanır. Veri toplama işlemi bittikten sonra ADC veri karşılaştırma kısmına geçilir. Bu kısımda her bir IDELAY kaydırma değeri için toplanan 14 bitlik A ve B kanallarının verileri işleme tabi tutulur. Gelen veri ile olması beklenen veri karşılaştırılarak en iyi geciktirme değerine karar verilir ve ideal geciktirme değeri olarak saklanır. Eğer ki bu karşılaştırma işlemi başarısız olursa "ADC kalibrasyon modu gönder" kısmına geri dönülür ve işlemler tekrar edilir. Bu şekilde 10 kere tekrar yapıldıktan sonra yine de başarılı gecikme değeri elde edilemiyor ise ADC kalibrasyonu başarısız olarak üst kısma raporlanır. Kalibrasyon süreci tamamlandıktan sonra ADC test modundan çıkartılarak normal çalışma moduna alınır.





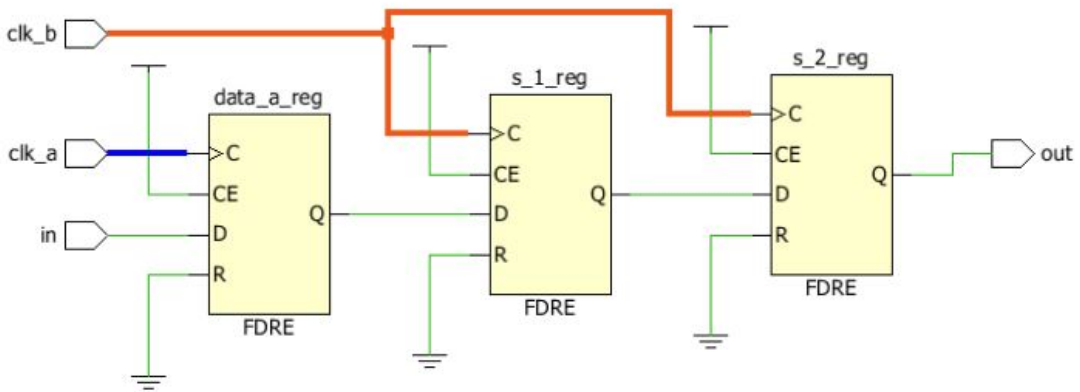
Şekil 4.9 ADC Kalibrasyon Yapısı

### 4.3. ADC Veri Alımı

ADC'nin kontrol ve kalibrasyon süreçleri tamamlandıktan sonra ADC veri alımı için hazır hale gelmiştir. ADC'den 200 MSPS örnekleme hızında çıkan 14 bitlik veri ADC'nin saat işerisinde işlenmiştir. Yukarıdaki bölümde de bahsedildiği gibi bu veri FPGA içerisine alınırken IBUF ile IDELAY yapılarından geçirilmiştir. Kalibrasyon süreci sonunda bulunan ideal geciktirme değerleri her bir bit için IDELAY2 yapısı içine yüklenir. Bu kısma kadar yapılan bütün işlemler ADC'nin ürettiği saat işereti ile gerçekleştirilir. Bu ADC verisinin, sinyal işleme bloğunda kullanılacağı için FPGA'de kullanılan ana saat işereti

ile senkron hale getirilmesi gerekmektedir. Senkron çalışma, tasarımın doğru ve istikrarlı bir şekilde çalışmasını sağlamak için önemlidir. FPGA içerisindeki farklı bileşenlerin birlikte çalışabilmesi için senkron bir saat işareti kullanılır. Bu, tüm bileşenlerin aynı saat işareti altında eşzamanlı olarak çalışmasını sağlar, böylece tasarımın zamanlama uyumu ve koordinasyonu sağlanır. Senkron bir saat işareti, veri bütünlüğünü korumak için önemlidir. Veri, yalnızca saat kenarları boyunca güncellenir veya okunur, bu da veri yollarında istenmeyen durumların ve çakışmaların önlenmesine yardımcı olur. FPGA'ler genellikle karmaşık tasarımları barındırır. Senkron bir saat işareti, bu karmaşıklığı yönetmeyi kolaylaştırır çünkü tüm bileşenlerin saat kenarlarında eşzamanlı olarak çalışması, tasarımın daha öngörülebilir ve daha kolay yönetilebilir olmasını sağlar. Senkron bir saat işareti, tasarımın performansını artırabilir. Tüm bileşenlerin saat kenarlarında eşzamanlı olarak çalışması, daha hızlı işlem hızlarına ve daha yüksek verimliliğe olanak tanır. Sonuç olarak, FPGA saat işaretinde senkron çalışma, tasarımın doğru, güvenilir ve yüksek performanslı bir şekilde çalışmasını sağlar. Bu nedenle, FPGA tasarımında senkron bir saat işareti kullanmak genellikle önemli bir tasarım ilkesidir [36], [37].

İki farklı saat işareti ile işlenen sinyali tek saat işareti bölgesine geçirmek için çeşitli yöntemler vardır. Literatürde en çok kullanılan yöntemlerden biri şudur: farklı saat bölgesinde olan sinyal, istenilen saat bölgesine geçirilirken FPGA içerisindeki flip-flop yapıları kullanılır [38, 39].



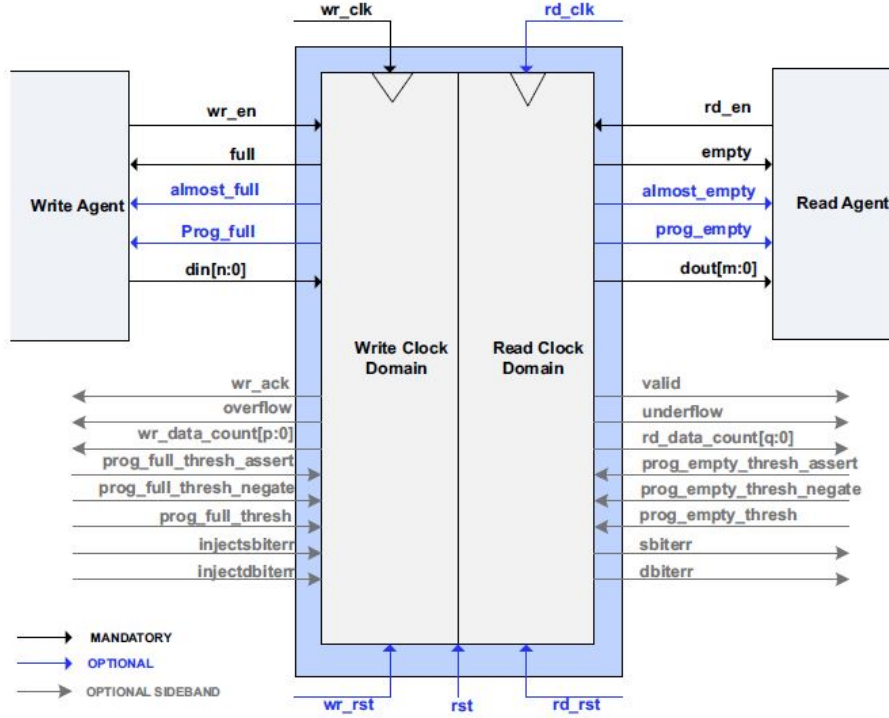
Şekil 4.10 Pipelining Yöntemi [39]

Şekil 4.10'da görülen bu tekniğin ismine "Pipelining" yöntemi denir. İki saat işareti arasındaki bağlantıya göre sinyali flip-flop'dan geçirme kademeleri değişebilir. Örnek olarak 100 MHz'den 200 MHz'lik saat bölgesine geçerken en az 2 kere, 100 MHz'den 300 MHz'lik saat bölgesine geçerken en az 3 kere bu flip-flop kademesinden kullanılması gerekmektedir.

Pipelining yöntemi verinin boyutu küçük ise kullanılmalıdır. Büyük verilerde kullanılması durumda kaynak tüketimi çok olacaktır. Diğer bir yöntem ise senkron olmayan FIFO (ilk giren ilk çıkar) kullanımudur. FPGA'larda veri saklamak ve işlemek için yaygın olarak kullanılan temel veri yapılarından biridir [40].

FIFO'lar; veri akışını düzenlemek, veri hızını eşitlemek veya veri aktarımını sağlamak için kullanılır. FIFO, genellikle bir bellek bloğu ve bu bloğa veri yazan ve bu bloktan veri okuyan kontrol devrelerinden oluşur. FIFO'nun başı ve sonu vardır. Veri, FIFO'ya yazıldığında FIFO'nun başından itibaren sırasıyla belleğe kaydedilir. Veri okunduğunda, FIFO'nun başından itibaren sırasıyla okunur. FIFO'nun kapasitesi, saklayabileceği maksimum veri miktarını belirler. Genellikle FIFO'lar, belirli bir bit genişliğine sahip verileri saklamak için tasarlanır. Örnek olarak 8-bit genişliğinde ve 256 kelime kapasiteli bir FIFO, maksimum 256 adet 8-bit veriyi saklayabilir. FIFO'nun dolmuş durumu, FIFO'ya yazılan veri miktarını gösterir. Boşaltma durumu, FIFO'dan okunan veri miktarını gösterir. Bu durumlar, FIFO'nun kontrolünü sağlamak ve taşma veya boşaltma durumlarını tespit etmek için kullanılır. Senkron FIFO'lar, FIFO'ya yazma ve okuma işlemlerinin aynı saat sinyali altında gerçekleştiği yapıları ifade eder. Senkron olmayan FIFO'lar ise yazma ve okuma işlemlerinin farklı saat bölgesi altında gerçekleştiği yapıları ifade eder.

Bu tasarımda ADC verisinin FPGA saat bölgesine alınması için Şekil 4.11'deki Xilinx firmasının senkron olmayan FIFO yapısı kullanılmıştır [41]. FIFO'nun veri girişine ADC'nin 14 bitlik verisi bağlandı ve yazma saat işareti olarak ADC'nin saat işaretinin bağlantısı yapıldı. FIFO'nun okuma kısmındaki saat işareti olarak FPGA saat işareti bağlanarak, çıkışta elde edilen veri bu bölgedeki saat işareti ile taşınmış oldu. FIFO'nun yazma ve okuma genişliği olarak 14 bit seçilirken yazma boyutu olarak da 16 seçimi yapıldı.



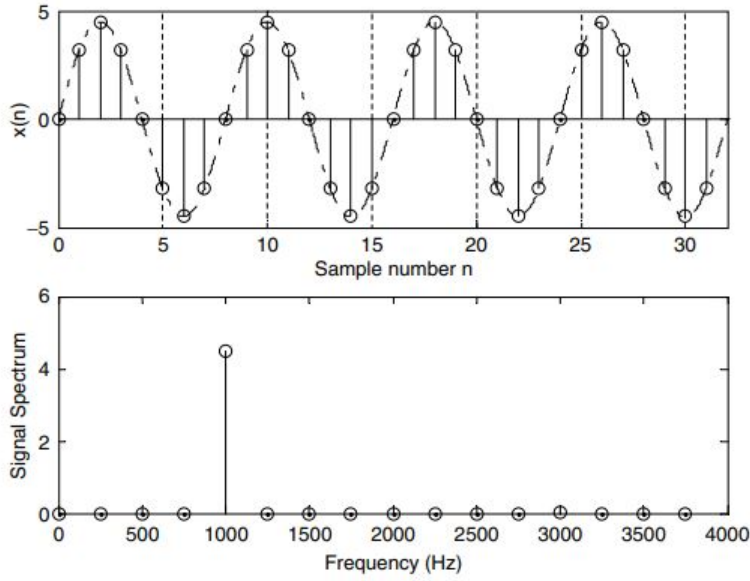
Şekil 4.11 Xilinx FIFO Bloğu [41]

#### 4.4. Sinyal İşleme

ADC veri alım bloğundaki işlemler tamamlandıktan sonra, ADC verisi FIFO üstünden bu bloğa aktarılır. ADC’de örneklenen veri örnek bazlı olup zaman ekseninde gösterilmektedir. HF alanlarda tehtit tespiti için en önemli unsur frekans bilgisidir. Elimizdeki zaman ekseninde yer alan ADC verileri kullanılarak frekans kestirimi yapılabilir. Bu işlem için bu tasarımda FFT (Hızlı Fourier Dönüşümü) kullanılmıştır.

Zaman ekseninde, sayısal sinyallerin temsili sinyal genişliğinin örnekleme anı veya örnek numarası karşısında gösterilir. Ancak bazı uygulamalarda sinyal frekans içeriği sayısal sinyal örneklerinden daha çok kullanışlıdır. Sayısal sinyalin frekans bileşenleri açısından temsil edilmesi gereken bir frekans alanında, yani sinyal spektrumu hakkında bilgi verilmesi gerekmektedir [42]. Bu yöntem özellikle sayısal sinyal işleme, görüntü işleme, ses işleme ve sayısal analiz gibi birçok alanda yaygın olarak kullanılmaktadır.

Şekil 4.12’de 8,000 Hz örnekleme hızında 32 örnekle 1,000 Hz’lik bir sinüzoidin zaman eksenindeki temsili gösterilmektedir. Bir alt çizimde ise sinyal spektrumu frekans ekseninde gösterilmektedir. Hesaplanan spektrumda genliğin 1,000 Hz frekansında bulunduğunu net bir şekilde görebiliriz. Dolayısıyla spektral çizim, bir sayısal sinyalin frekans bilgisini daha iyi gösterir [42].



Şekil 4.12 FFT işlemi [42]

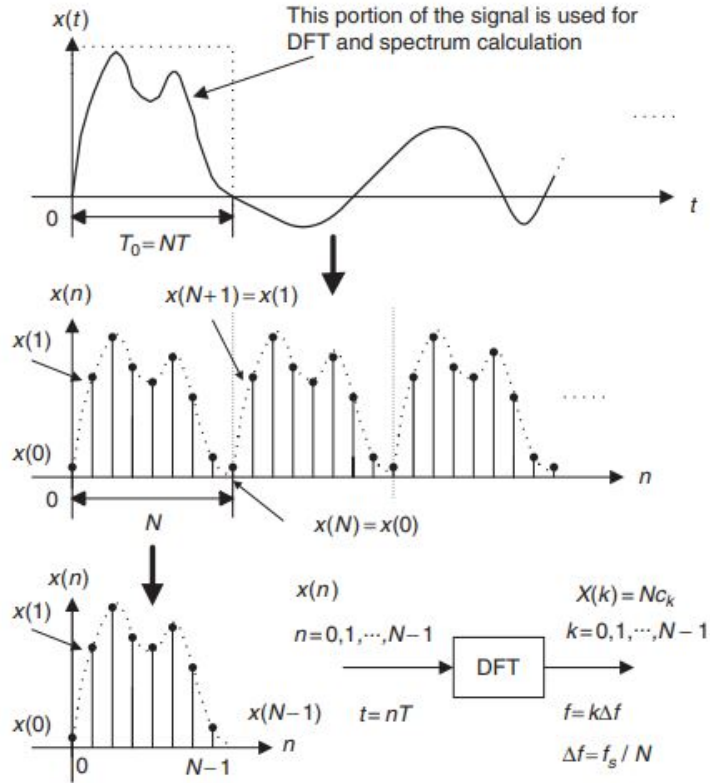
FFT’nin temel amacı, karmaşık bir sinyali frekanslarına göre analiz etmektir. Bu, bir sinyalin hangi frekans bileşenlerine sahip olduğunu belirlemek ve belirli frekanslardaki değişiklikleri tanımlamak için kullanışlıdır. Örneğin, bir ses dosyasının FFT’si uygulanarak hangi frekanslarda hangi seslerin yoğun olduğu belirlenebilir. FFT’nin zaman eksenindeki verileri frekans eksenine dönüştürülür. Bu dönüşüm, bir sinyalin genliği ve fazının frekansa göre nasıl değiştiğini açıkça gösterir.

FFT hesaplanırken (5) formülü kullanılır. Bu formül, giriş sinyalinin frekans bileşenlerini hesaplamak için FFT’nin kullanıldığı algoritmaların temelini oluşturur.

$$X(k) = \sum_{n=0}^{N-1} x(n) \cdot e^{-j2\pi kn/N} \quad (5)$$

Burada:

- $X(k)$ ,  $k$  frekans indeksi olan sinyalin  $k$ 'inci frekans bileşenidir.
- $x(n)$ ,  $n$  zaman indeksi olan giriş sinyalidir.
- $N$ , sinyalin toplam örnekleme sayısıdır.
- $j$ , kompleks sayı birimidir.
- $e$ , Euler sabitidir.



Şekil 4.13 FFT Formül Çıkarımı [42]

Şekil 4.13'te gösterildiği gibi zaman ekseninde sayısal örnek dizisini  $x(n)$  indeksleme için örnek numarası veya zaman indeksi kullanılmaktadır. Ancak frekans alanında,  $N$  hesaplanmış DFT katsayılarını  $X(k)$  indekslemek için  $k$  indeksi kullanılmaktadır [42].

HF bandındaki örnekleme sınıyallerin zaman ekseninden frekans eksenine geçişi FFT algoritması ile FPGA kullanılarak gerçekenmiştir. FPGA'ler sayısal sinyal işleme ve özellikle FFT gibi işlemleri gerçekenştirmek için güçlü ve yaygın olarak kullanılan platformlardır. FFT işlemini FPGA'de gerçekenştirmek için genellikle özel donanımsal yapılar veya özelleştirilebilir mantık blokları kullanılır. FFT algoritmasının FPGA üzerinde uygulanması, yüksek hızlı veri işleme gerektiren uygulamalarda yaygın olarak kullanılan bir yöntemdir. Bu işlem, radar sistemleri, elektronik harp uygulamaları, görüntü işleme, tıbbi görüntüleme, ses işleme ve iletişim sistemleri gibi birçok alanda kullanılır.

FPGA içerisinde uygulanacak olan çeşitli FFT algoritmaları bulunmaktadır. FFT, birçok farklı varyasyonda gelir: Cooley-Tukey FFT, Radix-2 FFT, Radix-4 FFT gibi. İhtiyaca uygun olan algoritma seçilir.

Cooley-Tukey FFT, genellikle  $N$  sayıdaki veri örneklerini  $N/2$  ve  $N/4$  boyutundaki alt problemlere bölen ve bu alt problemleri daha küçük alt problemlere indirgemek için tekrar eden bir algoritmadır. Daha büyük FFT'ler için idealdir, özellikle  $N$  değeri 2'nin üssü olduğunda ve  $N$  böyle bir şekilde bölünebiliyorsa. Çalışma zamanı kısa olup, genellikle bellek erişimleri ve işlemci kaynaklarını optimize eder [43].

Radix-2 FFT,  $N$  değerinin 2'nin üssü olduğu durumlar için uygundur. Bu nedenle, Cooley-Tukey FFT'nin bir alt kümesidir. Radix-2, daha az karmaşık bir yapıya sahiptir ve uygulaması daha kolaydır. Çalışma zamanı ve bellek kullanımı genellikle iyi optimize edilmiştir [44].

Radix-4 FFT algoritması Radix-2'nin genişletilmiş bir versiyonudur ve 2'nin kuvvetlerinden daha fazla sayıları işleyebilir. Radix-4, daha az iterasyon gerektirir ve teorik olarak daha hızlı olabilir ancak pratikte işlemci mimarisi ve bellek erişimleri gibi faktörler performansı etkileyebilir. Radix-4, daha büyük FFT'ler için uygundur, özellikle  $N$ 'nin büyük bir asal sayı olduğu durumlarda avantaj sağlayabilir [45].

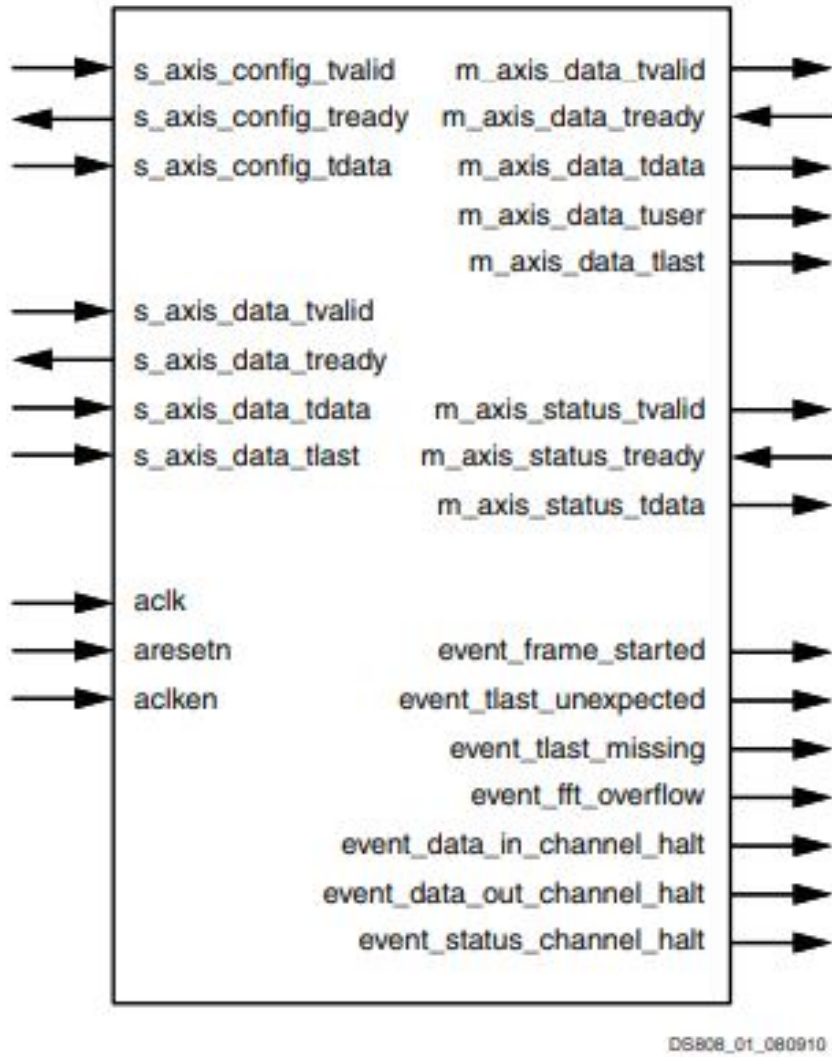
Genel olarak, FFT algoritmalarının seçimi, uygulama gereksinimlerine, işlemcinin mimarisine ve kaynakların kullanılabilirliğine bağlıdır. Cooley-Tukey FFT, genel amaçlı ve yaygın olarak kullanılan bir algoritma olmasına rağmen, Radix-2 ve Radix-4 FFT'ler, özel durumlar veya belirli donanım kısıtlamaları için daha uygun olabilir. Bu sebeplerden FFT algoritması olarak Cooley-Tukey FFT'nin kullanılmasına karar verilmiştir.

Xilinx firmasının FFT IP yapısı çalışmanın sistem gereklerini karşıladığı ve Cooley-Tukey FFT algoritma yapısını barındırdığı için kullanımına karar verilmiştir. FFT IP'si, yüksek performanslı FFT işlemlerini gerçekleştirmek için tasarlanmıştır. Bu, yüksek örnekleme hızları ve büyük veri setleri ile çalışırken bile hızlı ve verimli bir şekilde çalışmasını sağlar. FFT IP'si, kullanıcının ihtiyaçlarına göre yapılandırılabilir. Örneğin, FFT boyutu, giriş ve çıkış veri genişliği, clock frekansı ve diğer parametreler, kullanıcının uygulama gereksinimlerine uygun şekilde yapılandırılabilir [46]. Bu IP yapısı ile AXI4-Stream arayüzü üstünden veri aktarımı yapılabilir. 8-65536 nokta arasında FFT işlemini gerçekleştirebilir. Veri tipi olarak Ölçeklendirilmiş sabit noktalı ve blok kayan noktalı yapıları mevcuttur.

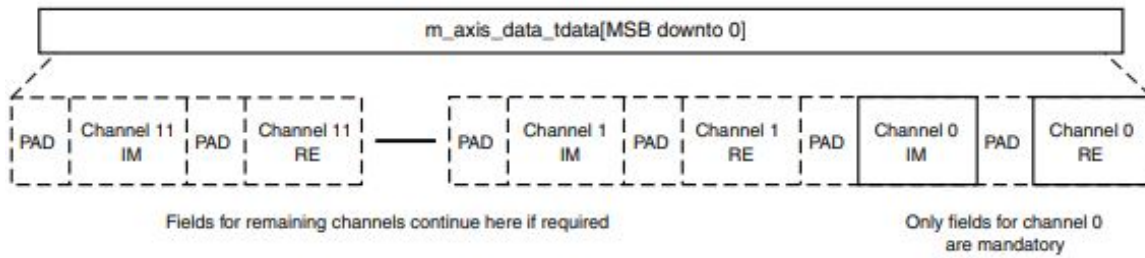
Kullanılan FFT IP'sinin yapısı Şekil 4.14'te verilmiştir. Port açıklamaları da Çizelge 4.2'de görülmektedir. ADC'den alınan veri, IP içerisinde 14 bit 16384 FFT noktası olacak şekilde işlenir. Şekil 4.15'te görüldüğü gibi işlenen, "TDATA" üstünden dışarı sürülen bu veriler  $x(k)$  değerlerini göstermektedir ve FFT çıktısı bir üst bloğa aktarılır.

FFT işlemi yapıldıktan sonra elde edilen  $x(k)$  değerleri kompleks sayıları temsil eder. Bu değerler, frekans bileşenlerinin varlığını ve gücünü gösterir.  $x(k)$ 'nın gerçek ve sanal kısımları, sırasıyla cosinus ve sinüs bileşenlerinin genliklerini belirtir.





Şekil 4.14 FFT IP Yapısı [46]



Şekil 4.15 FFT IP Sinyal Çıkış yapısı [46]

Çizelge 4.2 IP Sinyal Pin Ataması

Ad	G/Ç	Opsiyonel	Açıklama
aclk	Giriş	Hayır	Saat Girişi.
aclken	Giriş	Evet	Saat Girişi etkinleştirme
aresetn	Giriş	Evet	Silme Sinyal Girişi
s_axis_config_tvalid	Giriş	Hayır	Yapılandırma kanalı için TVALID.
s_axis_config_tready	Çıkış	Hayır	IP, veriyi kabul etmeye hazır olduğunu bildirir
s_axis_config_tdata	Giriş	Hayır	Yapılandırma kanalı için TDATA.
s_axis_data_tvalid	Giriş	Hayır	Veri Giriş kanalı için TVALID, veri sağlamaya hazır olduğunu bildirmek için kullanılır.
s_axis_data_tready	Çıkış	Hayır	Veri Giriş kanalı için TREADY; çekirdek, veriyi kabul etmeye hazır olduğunu bildirir.
s_axis_data_tdata	Giriş	Hayır	Veri Giriş kanalı için TDATA, işlenmemiş örnekleme verilerini taşır.
s_axis_data_tlast	Giriş	Hayır	Veri Giriş kanalı için TLAST, son örneğin gönderildiğini gösterir.
m_axis_data_tvalid	Çıkış	Hayır	Veri Çıkış kanalı için TVALID, örnekleme verisi sağlamaya hazır olduğunu bildirir.
m_axis_data_tready	Giriş	Hayır	Veri Çıkış kanalı için TREADY, veriyi kabul etmeye hazır olduğunu bildirir.
m_axis_data_tdata	Çıkış	Hayır	Veri Çıkış kanalı için TDATA, işlenmiş örnekleme verilerini taşır.
m_axis_data_tuser	Çıkış	Hayır	Veri Çıkış kanalı için TUSER, ek örnekleme bilgilerini taşır.
m_axis_data_tlast	Çıkış	Hayır	Veri Çıkış kanalı için TLAST, çekirdek, çerçevenin son örneğinde aktif olur.
m_axis_status_tvalid	Çıkış	Hayır	Durum kanalı için TVALID, çekirdek, durum verisi sağlamaya hazır olduğunu bildirir.
m_axis_status_tready	Giriş	Hayır	Durum kanalı için TREADY, veriyi kabul etmeye hazır olduğunu bildirmek için kullanılır.
m_axis_status_tdata	Çıkış	Hayır	Durum kanalı için TDATA, durum verilerini taşır.
event_frame_started	Çıkış	Hayır	IP, yeni bir çerçevenin işlenmeye başladığını belirtir.
event_tlast_unexpected	Çıkış	Hayır	IP, bir çerçevedeki son örneğin yüksek olduğunu görürse aktif edilir.
event_tlast_missing	Çıkış	Hayır	Son veri örneğinde düşük olduğunu gösterir.

Frekans bilgisini elde etmek için,  $x(k)$ 'nin büyüklüğü veya karesi kullanılır. FFT sonucunun büyüklüğü, her frekans bileşeninin gücünü gösterir. Bu değerler, genellikle spektral analizde kullanılır ve frekans bileşenlerinin varlığını ve gücünü belirlemeye yardımcı olur. Özetle, FFT sonucu olan  $X(k)$ 'nin gerçek, sanal veya büyüklük değerlerini kullanarak frekans bilgisini elde edebilirsiniz. Bu bilgi, her bir frekans bileşeninin varlığını, gücünü ve fazını belirlemeye yardımcı olur. 6 formülü ile FFT sonucundan frekans elde etme formülü verilmiştir.

$$f_k = k \times \frac{f_s}{N_{\text{FFT}}} \quad (6)$$

Burada:

- $f_k$ , frekans bileşeninin frekansı.
- $k$ , FFT indeksi.
- $f_s$  örnekleme frekansı.
- $N_{\text{FFT}}$ , FFT'nin çözünürlüğüdür.

FPGA içerisinde yapılan tasarımda FFT nokta sayısı olarak 16384 değeri seçilmiştir. ADC ile 200 MHz'de örneklen RF sinyal datası FFT bloğuna sokulmadan 65 MHz'e düşürülerek FFT sonucunaki frekans çözünürlüğünün artırılması sağlanmıştır. 6 numaralı formül ile hesaplama yapıldığı zaman FFT frekans çözünürlüğü yaklaşık olarak 3,9673 kHz çıkmaktadır.

#### **4.5. UART Haberleşme**

Sayısal sinyal işleme bloğundan geçen HF yayının parametrelerinin operatör için görselleştirilmesi lazımdır. Bu işlem için de bilgisayar kullanılarak elde edilen veriler yazılım ile çizdirilmiştir. Bu elde edilen verilerin FPGA üzerinden bilgisayar ortamına aktarılması için UART protokolü seçilmiştir.

UART (Evrensel Asenkron Alıcı/Gönderici), mikrodenetleyiciler, bilgisayarlar ve diğer gömülü sistemlerde yaygın olarak kullanılan bir seri iletişim protokolüdür. Bu protokol, iki cihaz arasında veri iletişimini sağlar ve genellikle tek bir veri hattı (TX) ve tek bir alım hattı (RX) üzerinden çalışır. UART iletişimi asenkron bir iletişim protokolüdür, yani veri iletimi için bir saat sinyali kullanılmaz [47].

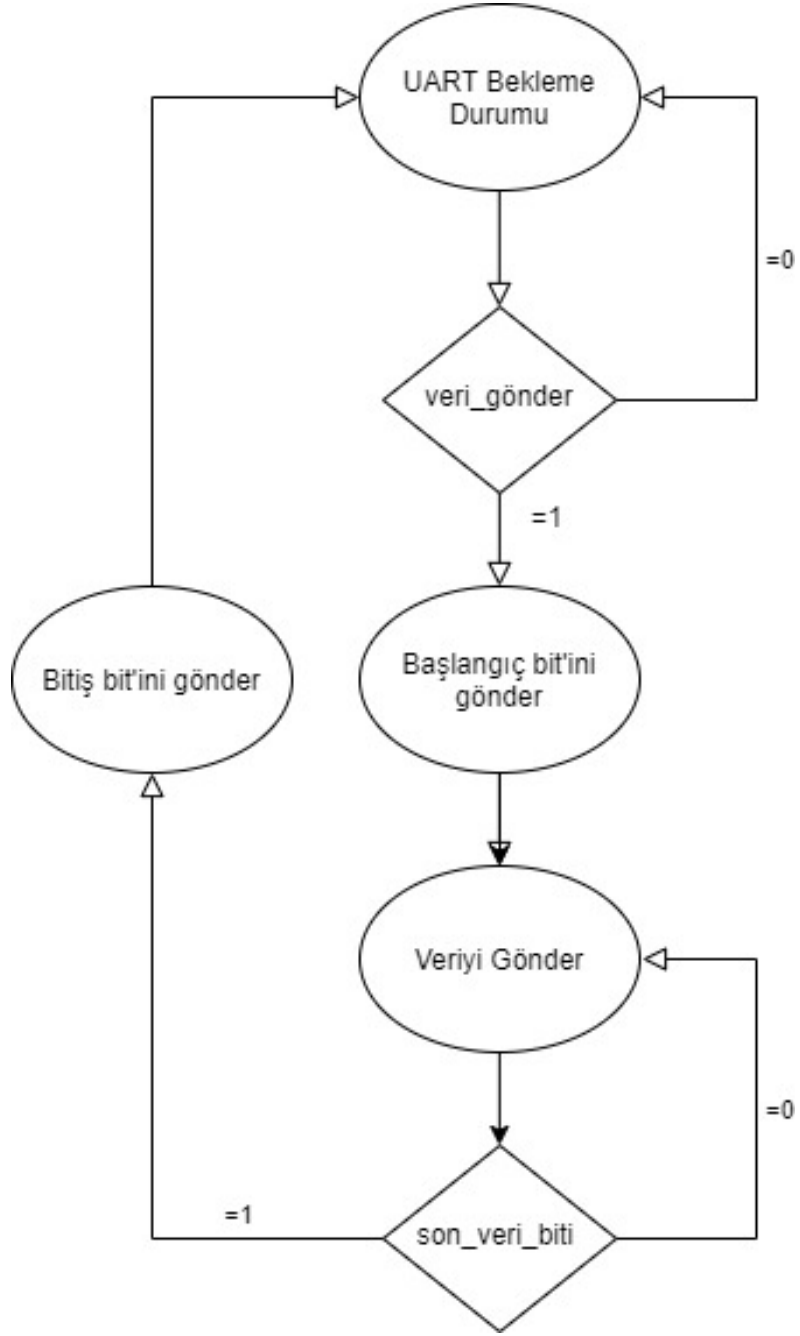
Bu tasarımda UART protokolü ile RS-422 fiziksel katmanı kullanılmıştır. RS-422 elektriksel iletişim standartlarından biridir ve özellikle endüstriyel uygulamalarda kullanılan bir diferansiyel seri iletişim standardıdır. RS-422 standartı veri iletim hattı ve veri alma hattı olmak üzere iki diferansiyel hat kullanarak iletişim sağlar. Bu sinyal sağlamlığını artırır ve daha uzun iletişim mesafelerine izin verir [48].

RS-422, tam çift yönlü iletişimi destekler, yani veri gönderme ve veri alma eş zamanlı olarak gerçekleştirilebilir. Ayrıca, RS-422 standartları, yüksek hızlı iletişim, yüksek ortam gürültüsü toleransı ve daha uzun kablo uzunlukları gibi avantajlar sunar. Bu nedenle, endüstriyel kontrol sistemleri, otomasyon ekipmanları, haberleşme sistemleri ve diğer benzer uygulamalarda sıklıkla tercih edilir. RS-422, RS-232 standardından farklı olarak daha yüksek hızlarda ve daha uzun mesafelerde çalışabilir. RS-422 ayrıca, RS-485 gibi çok noktalı bir yapıya sahip değildir ve genellikle tek noktalı bağlantılarda kullanılır.

UART protokolü ile yapılan tasarım veri alma ve gönderme olarak iki bloktan oluşmaktadır.

#### **4.5.1. UART Veri Gönderme Bloğu**

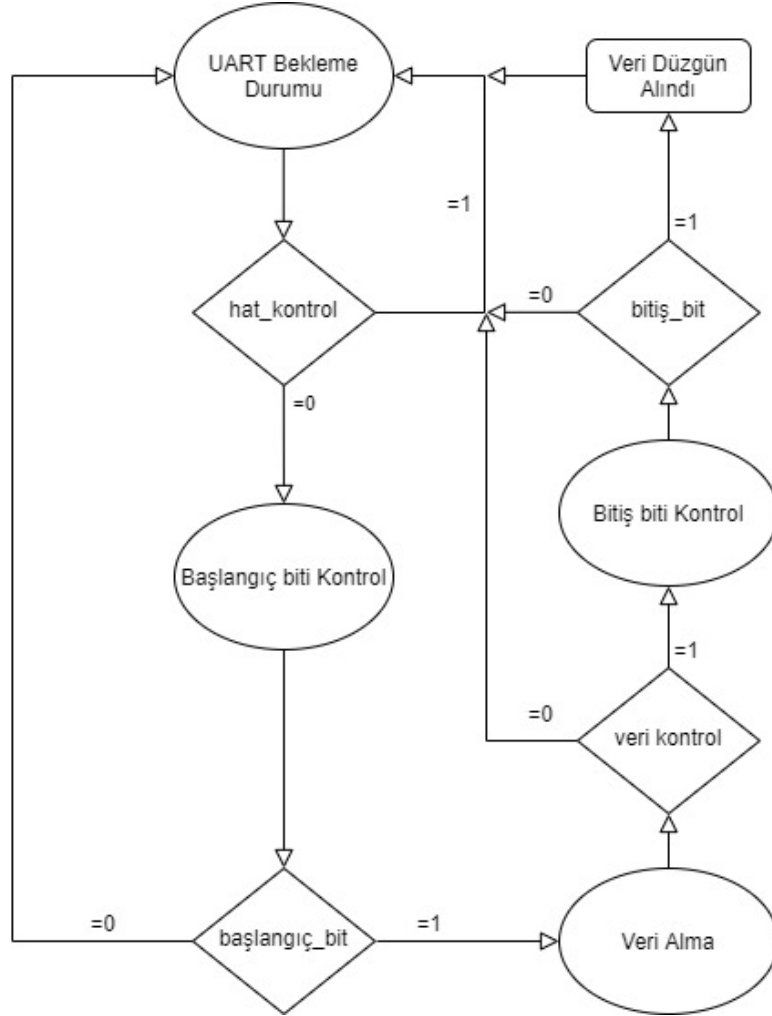
Bu blokta veri gönderme işlemi hakkında bilgi verilecektir. Şekil 4.16'da sayısal akış gösterilmiştir. Veri hızı olarak 3125000 bps seçilmiştir. İlk olarak UART bekleme durumunda iken veri gönder sinyalinin gelmesi beklenmektedir. Bu sinyal geldikten sonra seçilen veri hızına göre başlangıç biti gönderilir. Bu işlemden sonra gönderilecek olan verinin her bir biti veri hızına göre arka arkaya gönderilir. Verinin son biti olan 8.bit gönderildikten sonra bitiş bitinin de gönderimi yapılarak işlem tamamlanır.



Şekil 4.16 UART Gönderme Yapısı

#### 4.5.2. UART Veri Alma Bloğu

Bu blokta veri alma işlemi hakkında bilgi verilecektir. Şekil 4.16'da sayısal akış gösterilmiştir. Veri hızı olarak 3125000 bps seçilmiştir. UART bekleme durumunda iken hat sürekli kontrol edilir. Normal çalışma modunda iken alma hattında "1" değeri görülmektedir. Gönderme hattının veri transferine başlaması ile bu değer 0'a düşer. Başlangıç bit kontrolü yapılır ve istenen değer alındıysa veri alma durumuna geçilir yoksa uart bekleme durumuna geri dönlür. Veri alma durumunda gelen 8 bit alınan veri olarak bir sinyale atanır. Daha sonra bitiş bitinin gelmesi gerekmektedir bitiş biti doğru bir şekilde gelirse veri düzgün alınmış olup bir üst modüle gelen veri hakkında bilgi verilir.



Şekil 4.17 UART Alma Yapısı

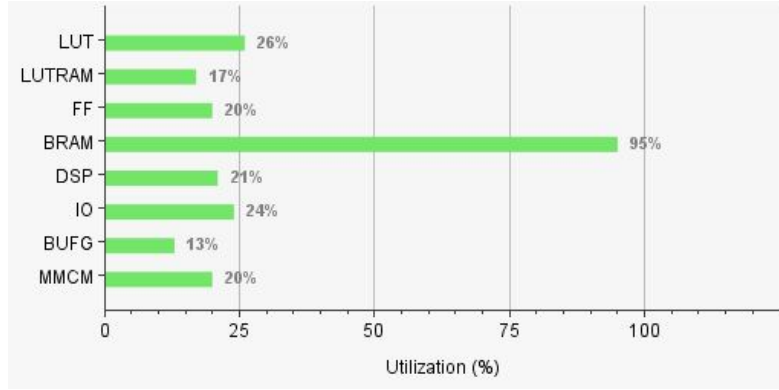
## 4.6. QSPI Flash Kontrol

FPGA konfigürasyonu için Quad Serial Peripheral Interface (QSPI) flash, birçok FPGA tabanlı uygulamada yaygın olarak kullanılan bir depolama çözümdür. QSPI flash, FPGA'nın programlanabilir mantıksal bloklarını başlatmak ve konfigüre etmek için kullanılır. SPI protokolünü kullanarak seri bir şekilde veri ileten bir flash bellek çözümdür. Bu flash bellek, her biri 8-bitlik veri gönderen dört veri hattına (quad SPI) sahiptir. Bu, veri transfer hızını artırır ve daha hızlı konfigürasyon sağlar. QSPI flash bellekler, genellikle megabit veya gigabit düzeyinde veri depolama kapasitesine sahiptir. Bu, FPGA'nın programını veya konfigürasyon dosyasını saklamak için yeterli bir alan sağlar. SPI protokolünde, bir kontrol hattı, bir saat hattı ve bir veya daha fazla veri hattı bulunur. Bu protokol, FPGA'nın konfigürasyon dosyasını QSPI flash'a göndermek ve ardından FPGA'yı başlatmak için kullanılır. FPGA'ların hızlı başlatılmasını ve güncellenmesini sağlayan güvenilir ve yaygın bir depolama çözümdür. Tasarımda QSPI bellek olarak Micron firmasının "mt25ql256aba1e" parça numaralı ürünü kullanıldı. Ürünün hafıza boyutu 256 Mbit'tir. Okuma hızı ise 90 MB/s'a kadar çıkmaktadır. ADC kontrol bölümünde de olduğu gibi bu kısımda belleğe özel SPI arayüzü kullanarak erişim sağlanmıştır. FPGA'in konfigürasyon pinlerine QSPI belleğin bağlantısı yapılarak FPGA'in açılışta hızlı bir şekilde ayağa kalması sağlanmıştır. FPGA sayısal algoritma tasarımıda geçen bütün tasarım birleştirilip tek projede derlenmiş ve çıkan konfigürasyon dosyası QSPI belleğin içine Vivado yazılımı kullanılarak kazanılmıştır.

## 4.7. FPGA Kaynak Kullanımı

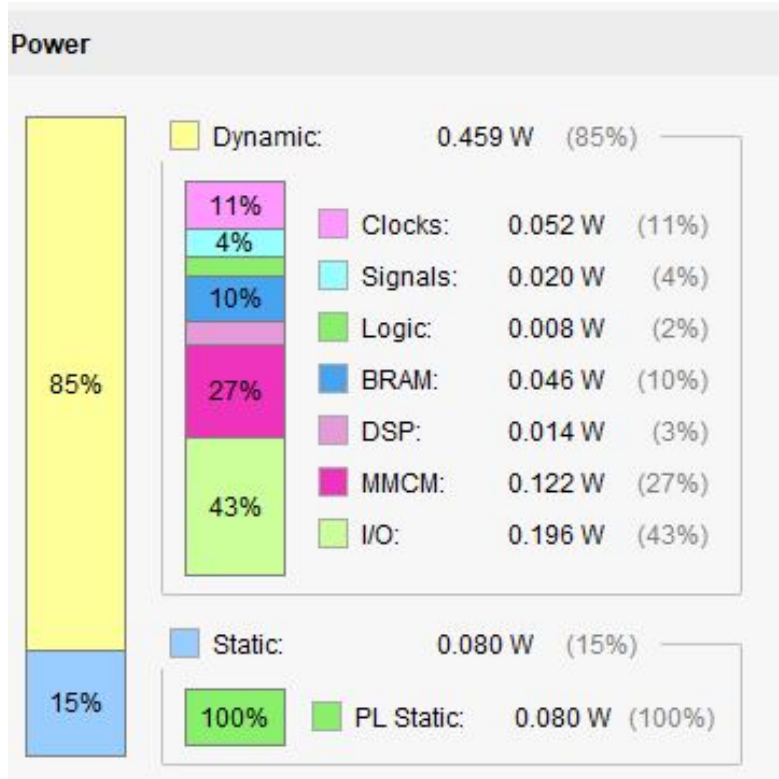
Yukarıdaki bölümlerde anlatılan algoritmalar Xilinx Vivado 2019.1 yazılımı kullanılarak gerçekleştirildi. Şekil 4.18'de gerçekleştirilen algoritma sonucunda seçilen Artix-7 FPGA için kaynak kullanımı verilmiştir. Bu tasarım sonucunda Artix-7 BRAM kaynaklarının yüzde 96'sı kullanıldı ve bu sonuç ile optimum bir entegre seçiminin yapıldığı gözlemlenmektedir.

Şekil 4.19'da ise FPGA içerisinde gerçekleştirilen bu algoritmalar sonucu oluşan güç tüketimi verilmiştir. FPGA statik olarak çalışırken 0.080 Watt'lık güce ihtiyaç duymaktadır,



Şekil 4.18 Artix-7 FPGA Kaynak Kullanımı

gerçeklenen algoritmalar sonucunda da 0.459 Watt'lık bir güç tüketimi vardır. Sonuç olarak FPGA kaynaklı toplam güç tüketimi 0.539 Watt'dır.

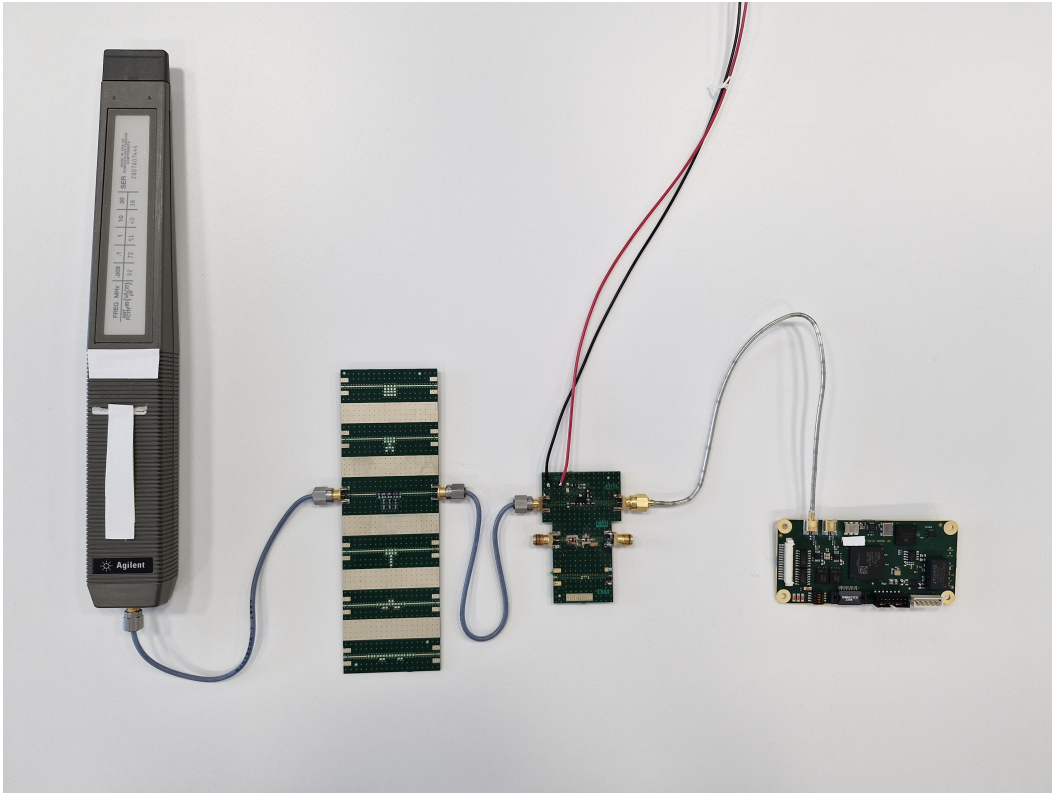


Şekil 4.19 Artix-7 Güç Tüketimi



## 5. ÖLÇÜM DÜZENEĞİ

HF bandı sayısal monitör donanım tasarım kısmında bahsedilen anten, filtre, yükselteç ve sayısal kart bir araya getirilerek Şekil 5.1'deki gibi HF sistem mimarisi oluşturuldu. Sistem 5 Volt'dan 0.41 Amper çekmektedir, sisteme güç verildikten yaklaşık 3 saniye sonra çalışmaya hazır hale gelmektedir. HF bandındaki yayınlar, 9 kHz-30 MHz bandında çalışan anten ile toplanarak HF bandı alçak geçiren filtresinden geçirilmektedir. Filtrelenen bu sinyalin genliği, düşük gürültülü yükselteç kartında artırılmaktadır. Daha sonra bu sinyal sayısal karta gönderilmektedir. Sayısal kartta ADC ile örneklenen sinyal, FPGA'ye aktarılır. Bundan sonra da FPGA sayısal algoritma tasarımı bölümündeki sayısal işlemler sırasıyla gerçekleştirilmektedir. İşlenen bu sinyal UART haberleşme protokolü ile bilgisayar ortamına aktarılmaktadır. Aktarılan sinyalin frekans ve genlik bilgisini içeren veri, operatör için bilgisayar ortamında görselleştirilmektedir.



Şekil 5.1 HF Sayısal Monitör



Şekil 5.2 Sinyal Kaynağı [49]

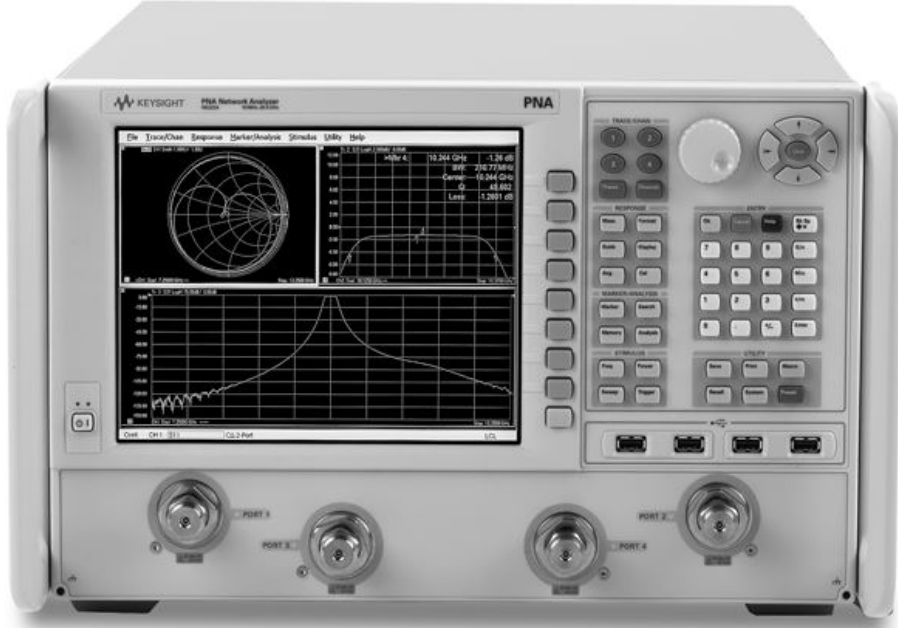
Şekil 5.2’de görülen Keysight firmasının 8257D parça numaralı ürünü sistem için sinyal kaynağı olarak kullanılmıştır [49]. Kullanılan sinyal kaynağının verebileceği frekans bant aralığı 250 kHz’den 20 GHz’e değişmektedir. Cihaz hem sürekli dalga formu hem de darbeli sinyal verebilme yeteğine sahiptir. +10 dBm ile -120 dBm genlik aralığında sinyal verebilmektedir [50]. Bu özelliklerden dolayı sistem seviyesinde sinyal kaynağı olarak kullanılmasına karar verilmiştir.



Şekil 5.3 Spektrum Analizör [50]

Şekil 5.3’te görülen Keysight firmasının E4440A parça numaralı ürünü, sistem RF performansını ölçmek için spektrum analizör olarak kullanılmıştır. RF blok tasarımında

bulunan yüksek frekanslı kartının ölçümlerinde kullanılmıştır. Bu cihaz ile 3 Hz-26.5 GHz bant aralığındaki sinyallerin ölçümü yapılabilmektedir. HF bandında çalışabilmesi ve hızlı ölçüm alınabilmesi nedeniyle bu cihazın kullanımına karar verilmiştir.



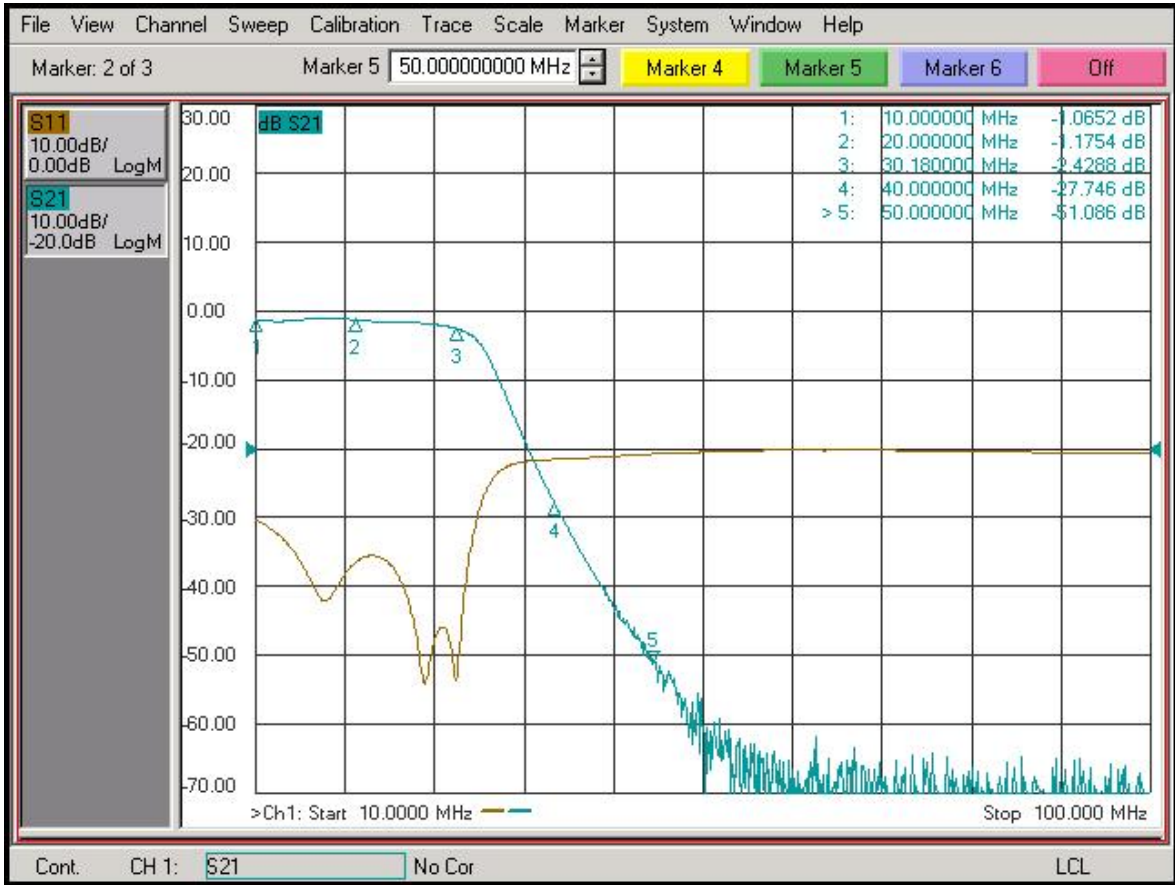
Şekil 5.4 Network Analizör [51]

Şekil 5.4'te görülen Keysight firmasının N5230a parça numaralı ürünü, sistem RF performansını ölçmek için network analizör olarak kullanılmıştır [51]. RF blok tasarımında bulunan alçak geçiren filtre kartının ölçümleri de bu cihaz ile yapılmıştır. Cihaz ile 10 MHz'den 20 GHz'e kadar tarama yapılabilmektedir. Biri giriş, biri çıkış olmak üzere iki porta sahiptir. S parametrelerinin ölçümü yapılabilmektedir. Bu bahsedilen özelliklerden dolayı kullanımına karar verilmiştir.

## 6. ÖLÇÜM SONUÇLARI

### 6.1. Donanım Ölçüm Sonuçları

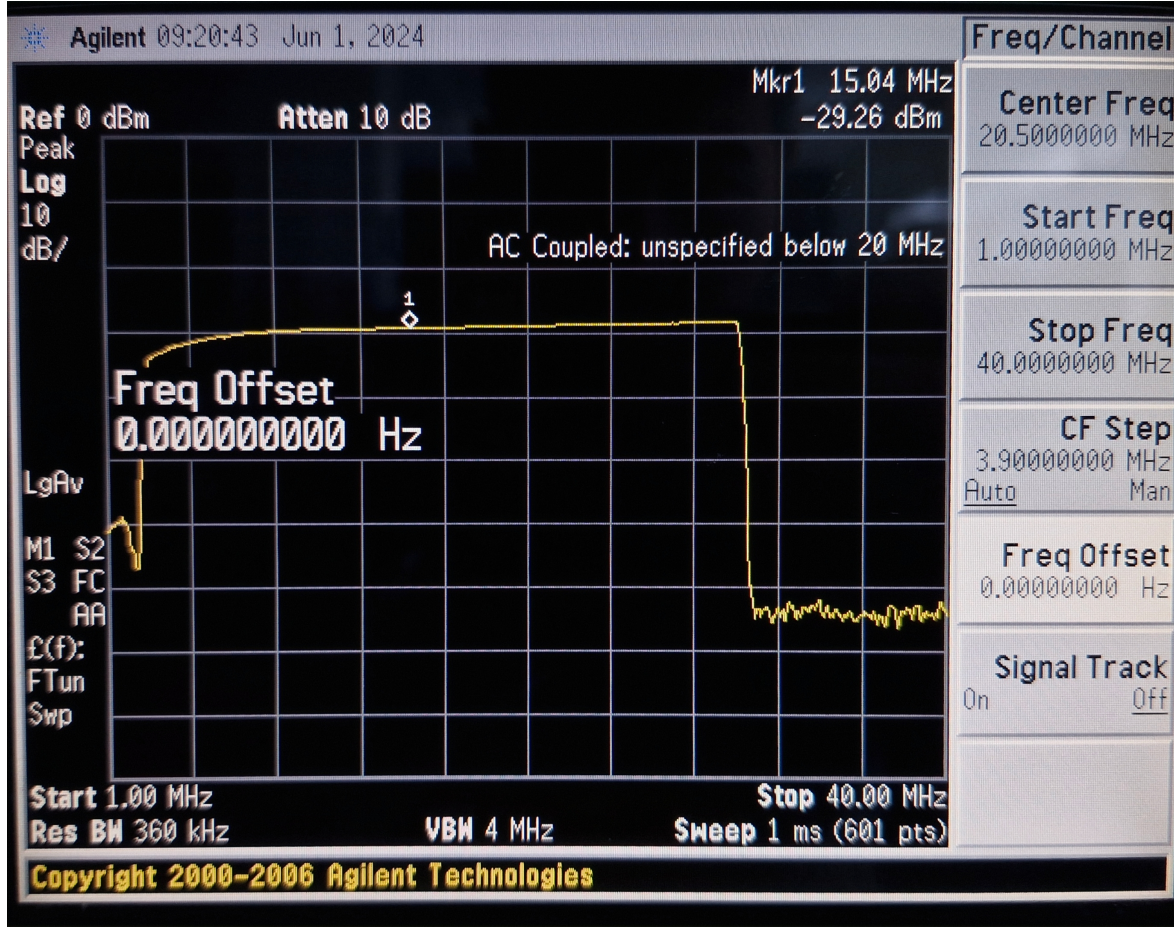
Keysight firmasının N5230A parça numaralı network analizör cihazı kullanılarak filtrenin ölçümü yapılmış ve Şekil 6.1'de verilmiştir. Filtre bastırmasına bakıldığında, hedeflendiği gibi 30 MHz'den sonra sinyal yaklaşık 3 dB bastırıyor ve 40 MHz'den sonra ise yaklaşık 30 dB'lik bir bastırma performansı elde ediliyor.



Şekil 6.1 Filtre Ölçümü

Keysight firmasının E4440A parça numaralı spectrum analizör cihazı ve 8257D parça numaralı sinyal kaynağı kullanılarak yükselteç kartının ölçümü yapılmış ve Şekil 6.2'de verilmiştir. Sinyal kaynağı kullanılarak -42 dBm genlik seviyesine sahip sürekli dalga formunda sinyal verilmiştir. Sinyalin frekans değeri HF bandı boyunca 3-30 MHz aralığında

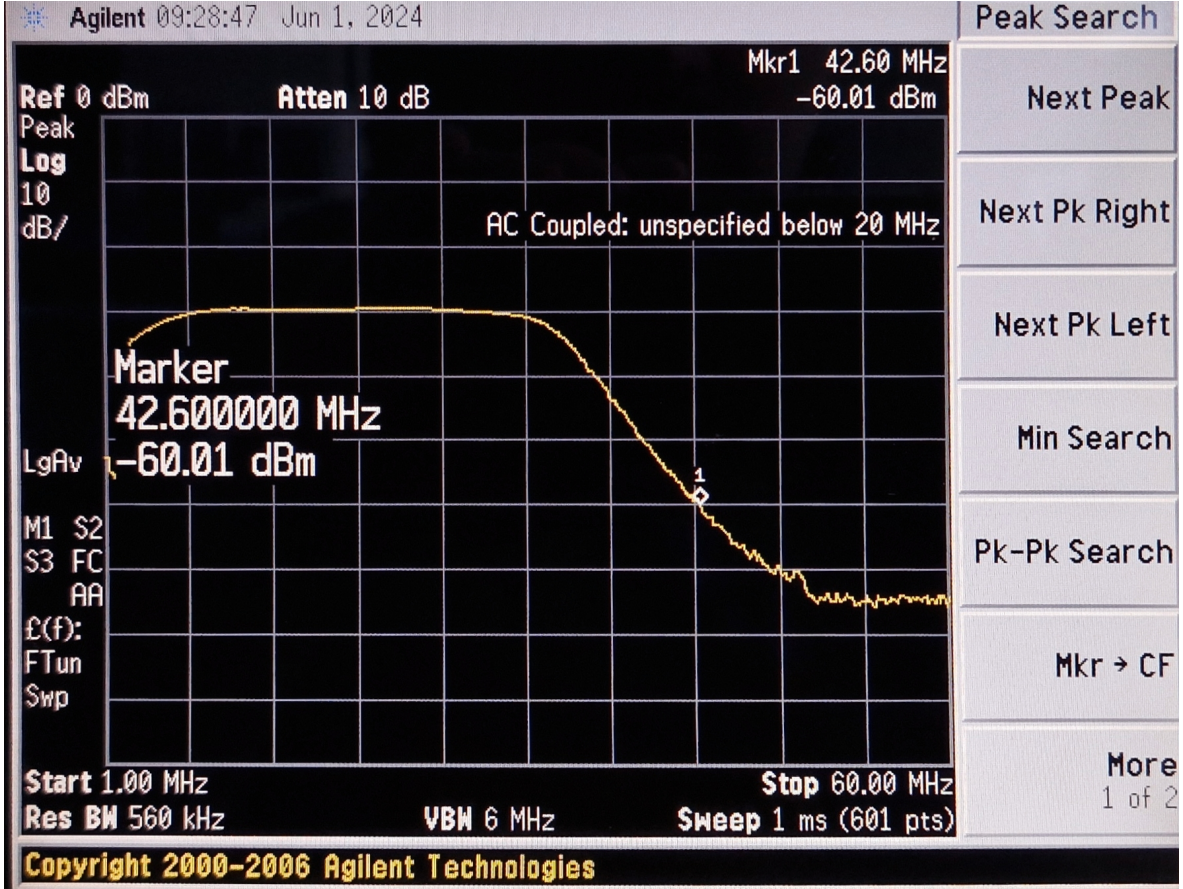




Şekil 6.2 Yükselteç Kazanç Ölçümü

100 kHz çözünürlükle değiştirilmiştir. Şekil 6.2'de E4440A parça numaralı spectrum analizör kullanılarak yükselteç kartının kazancı ölçülmüştür. Bant boyu yaklaşık 12 dBm'lik bir kazanç değerine ulaşılmıştır.

Şekil 6.3'te filtre ve yükselteç kartından oluşan RF blok ölçümü verilmiştir. İki kart arka arkaya RF konnektörler üstünden takılarak ölçüm alınmıştır. Filtre kartının girişine sinyal kaynağı kullanılarak -42 dBm genlik seviyesine sahip yayın uygulanmıştır. Sinyalin frekans değeri, HF bandı boyunca 3-30 MHz aralığında ve 100 kHz çözünürlükte değiştirilmiştir. Yükselteç kartının çıkışı da spectrum analizör cihazına bağlanarak ölçüm alınmıştır. Ölçüm sonunda HF bandındaki 12 dBm'lik kazanç değeri korunmuştur ve 42.5 MHz'den sonra 30 dB'lik bastırma elde edilmiştir.

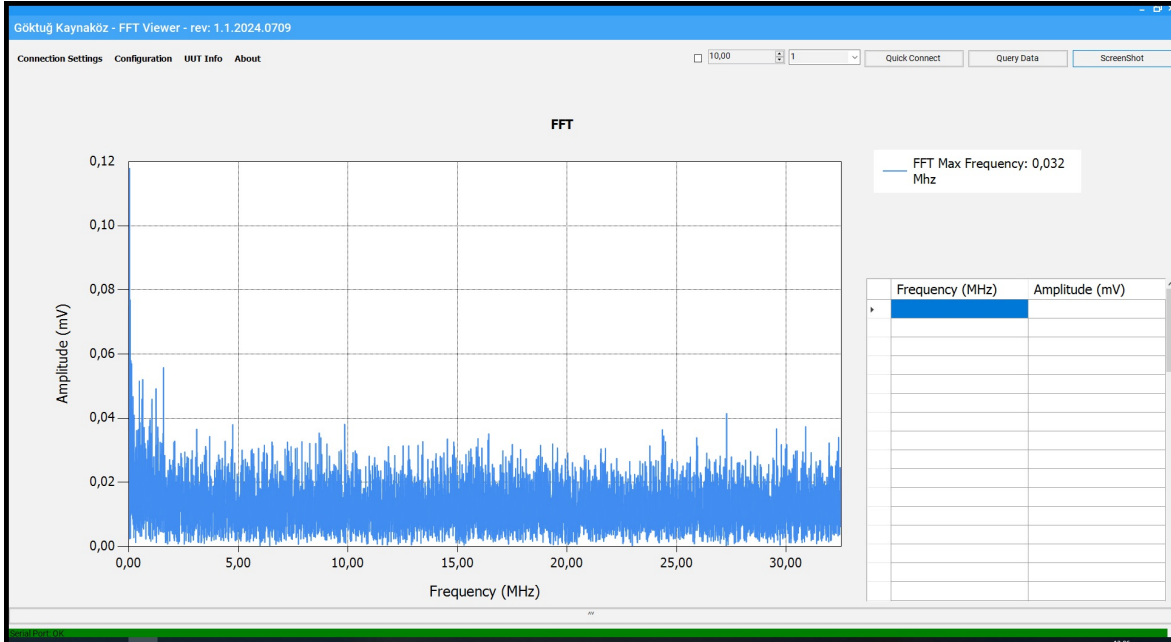


Şekil 6.3 RF Blok Ölçümü

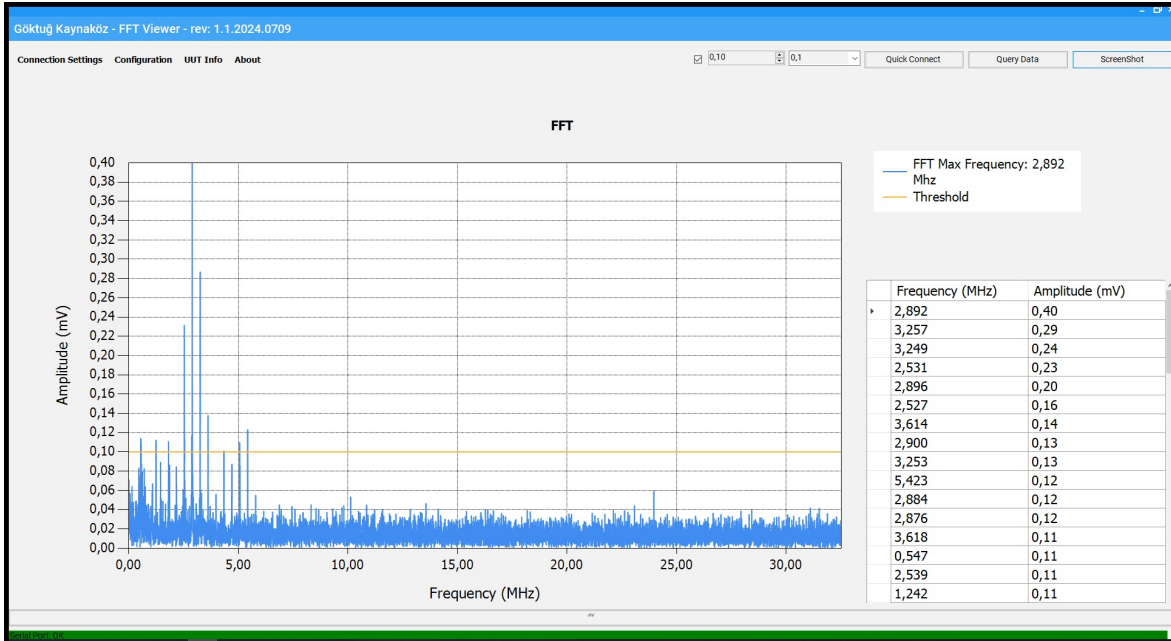
## 6.2. Sistem Ölçüm Sonuçları

Bu bölümde Şekil 5.1'de bulunan HF monitör sistemi ile ölçümler alınıp sonuçları ortaya konmuştur. İlk olarak sistemin gürültü tabanını gözlemleyebilmek için sistemdeki anten söküldü ve filtre girişi 50 ohm ile termine edilmiş duruma getirildi. Daha sonra FFT hesaplaması yaptırıldı ve Şekil 6.4'te görülen sonuç elde edildi. Gürültü seviyesinin 0.10 mv seviyesi altında kaldığı gözlemlendi.

HF monitör sisteminin gürültü seviyesine bakıldıktan sonra HF Anteni takılarak ölçüm alındı ve ortamdaki yayınlar dinlendi. Bu dinleme sonucunda Şekil 6.5'te de görüldüğü üzere 1-6 MHz aralığında sistemin gürültü tabanı üstüne çıkan yoğun bir yayın grubu olduğu gözlemlendi. Genlikleri de 0.15-0.5 mV aralığında değişmektedir.



Şekil 6.4 Almaç Gürültü Seviyesi

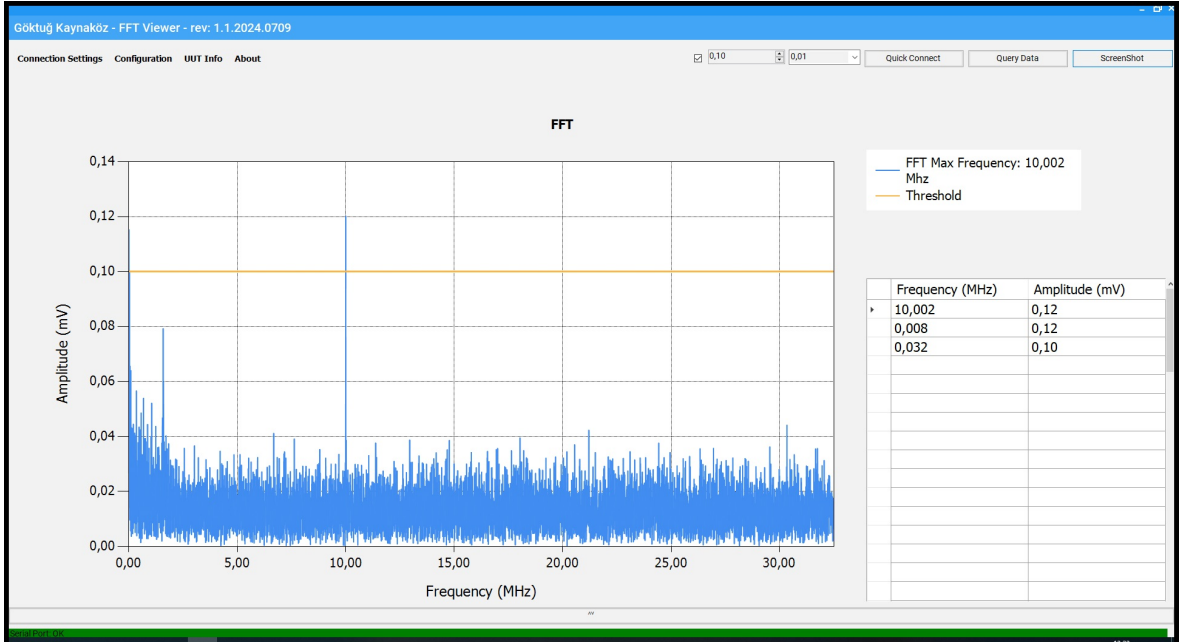


Şekil 6.5 Ortam Dinlemesi

Ortam dinlemesi yapıldıktan sonra HF monitör sisteminin gerçek performansını görmek için anten sökölüp RF girişe sinyal kaynağı takılmıştır. Bu bölümde farklı senaryolarda alınan ölçüm sonuçları verilmiştir.



1. senaryoda tek bir sinyal verilmiştir. Bu yayın sürekli bir yayındır. Ölçümlerde frekans sabit olarak 10 MHz'de tutuldu ve farklı genlik seviyelerinde yayınlar verildi. Sinyalin genliği sırasıyla; -80 dBm, -70 dBm, -60 dBm, -30 dBm ve -15 dBm olarak verilmiştir. Monitör girişine uygulanan RF sinyaller için FFT sonuçları şekil 6.6 ile 6.10 arasında verilmiştir.

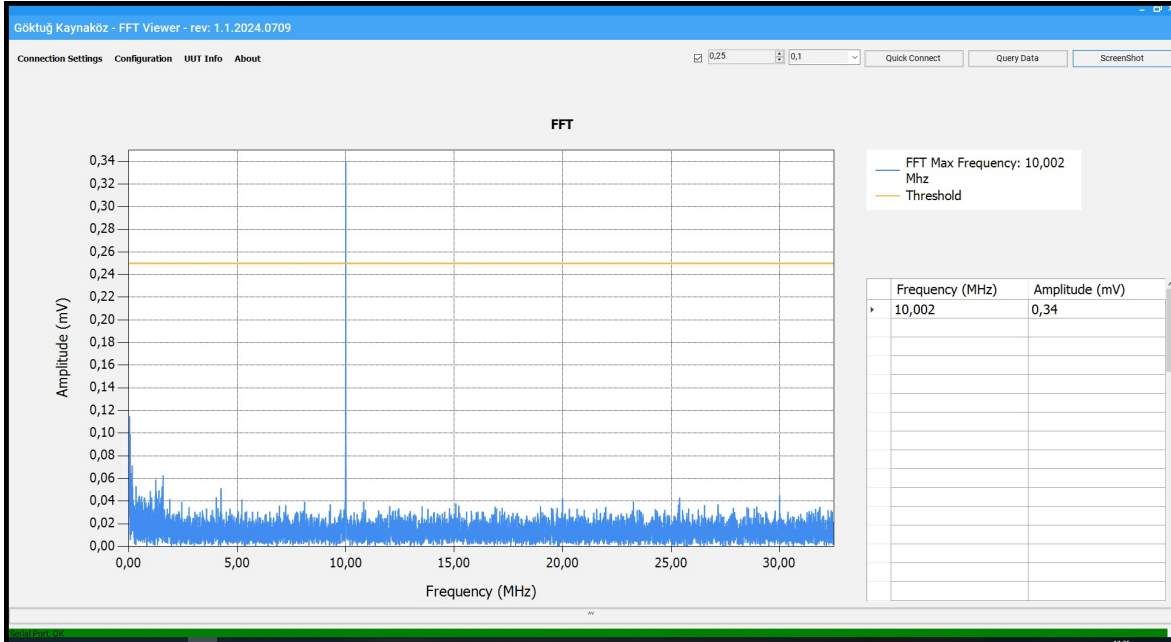


Şekil 6.6 Frekansı 10 MHz, Genliği -80 dBm olan Yayının FFT'si

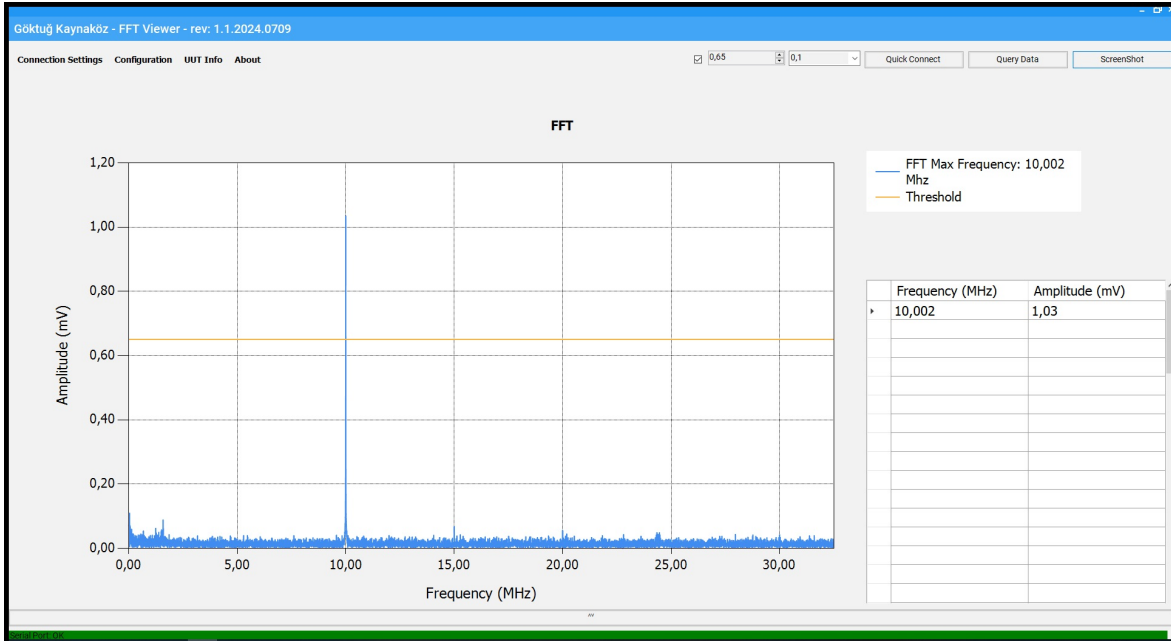
Yukarıdaki FFT sonuçlarına bakıldığında sistemdeki yükselteç kartından gelen 12 dB'lik kazanç da hesaba dahil edildiğinde genlik ölçümünün doğru bir şekilde yapıldığı ve frekansın da her seferinde 10,002 MHz bulunduğu gözlemlendi.

2. senaryoda yine tek bir sinyal verilmiştir. Bu yayın sürekli bir yayındır. Ölçümlerde genlik sabit olarak -30 dBm'de tutuldu ve farklı frekanslarda yayınlar verildi. Sinyalin frekansı sırasıyla; 3 MHz, 3,005 MHz, 3,100 MHz, 5,213 MHz, 12,005 MHz, 20,995 MHz, 25 MHz ve 30 MHz olarak verilmiştir. RF sinyaller için FFT sonuçları şekil 6.11 ile 6.18 arasında gösterilmiştir.

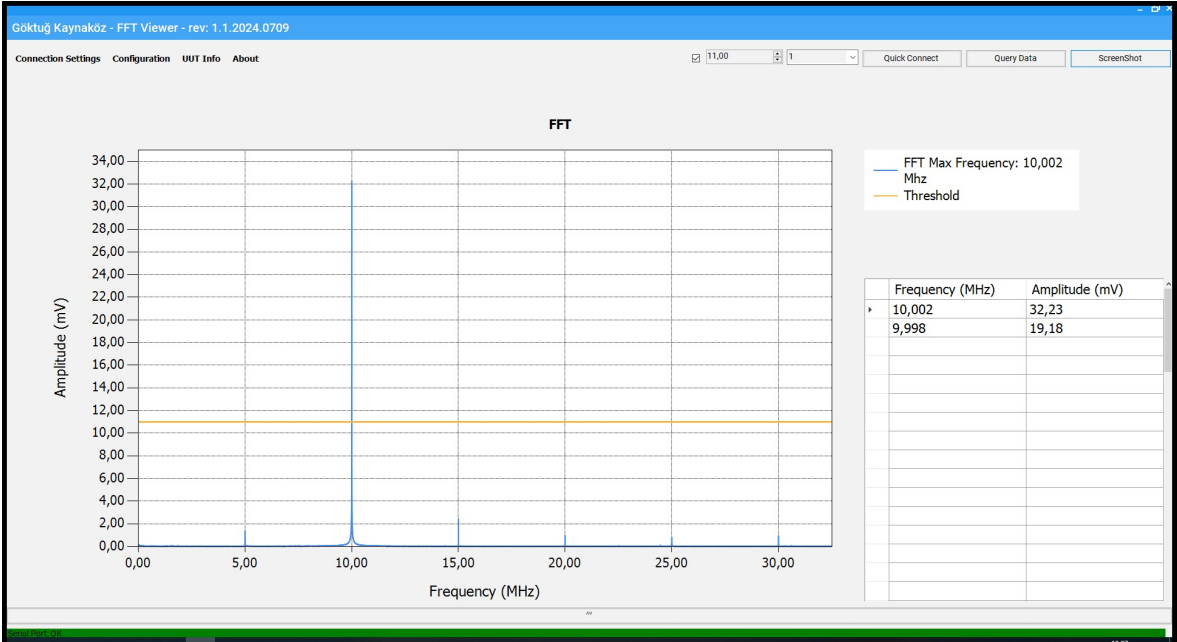




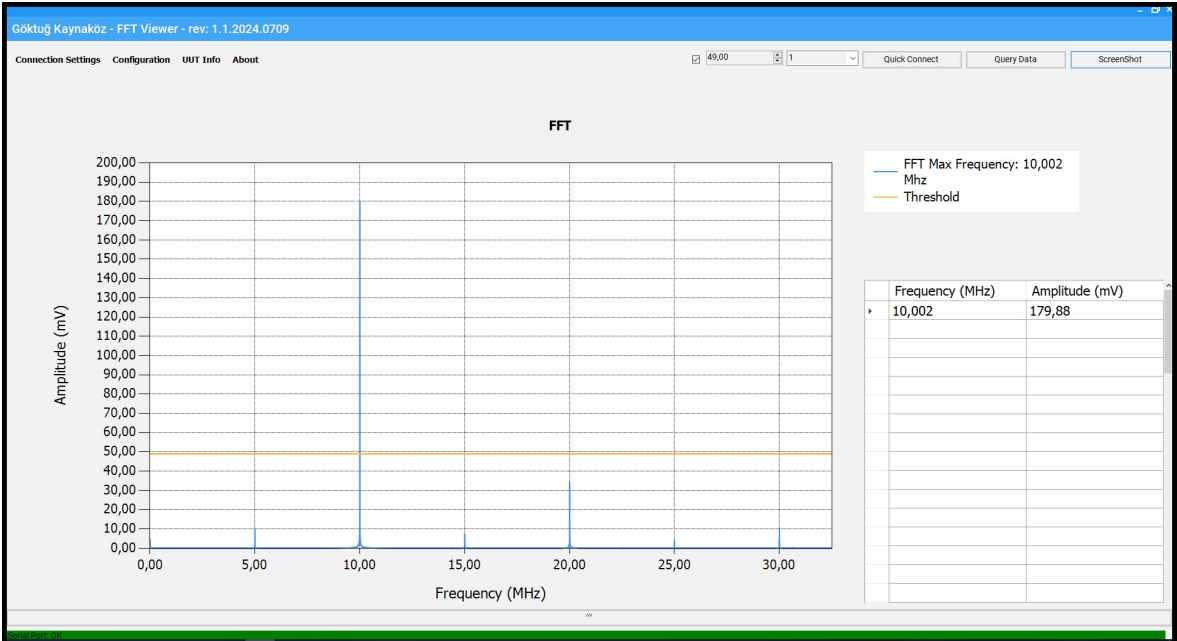
Şekil 6.7 Frekansı 10 MHz, Genliği -70 dBm olan Yayının FFT'si



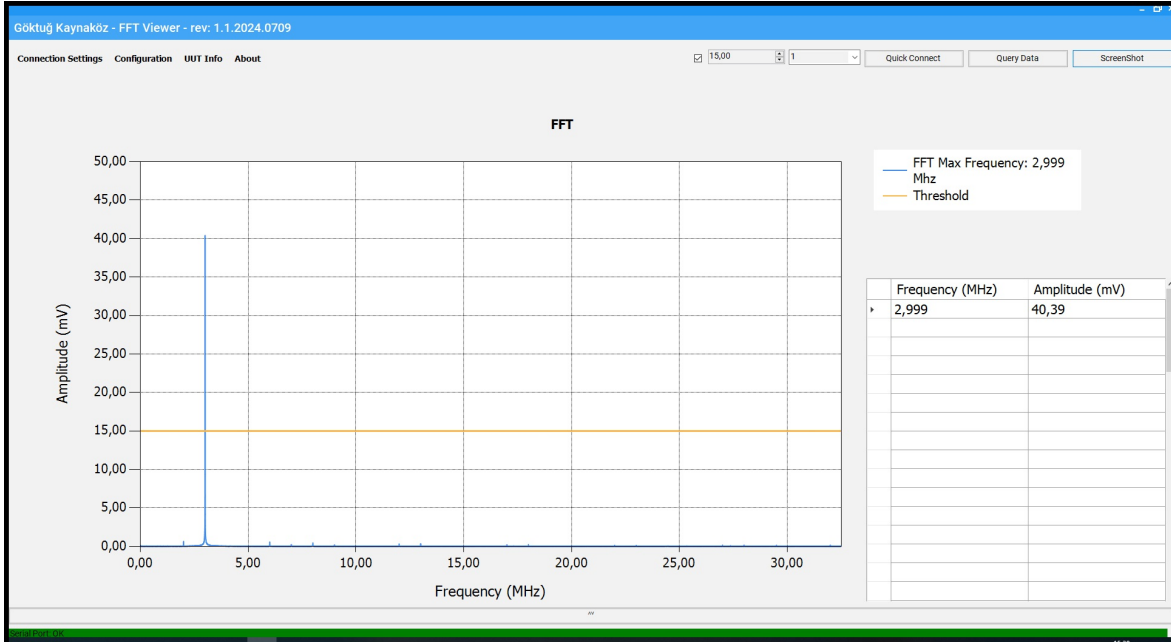
Şekil 6.8 Frekansı 10 MHz, Genliği -60 dBm olan Yayının FFT'si



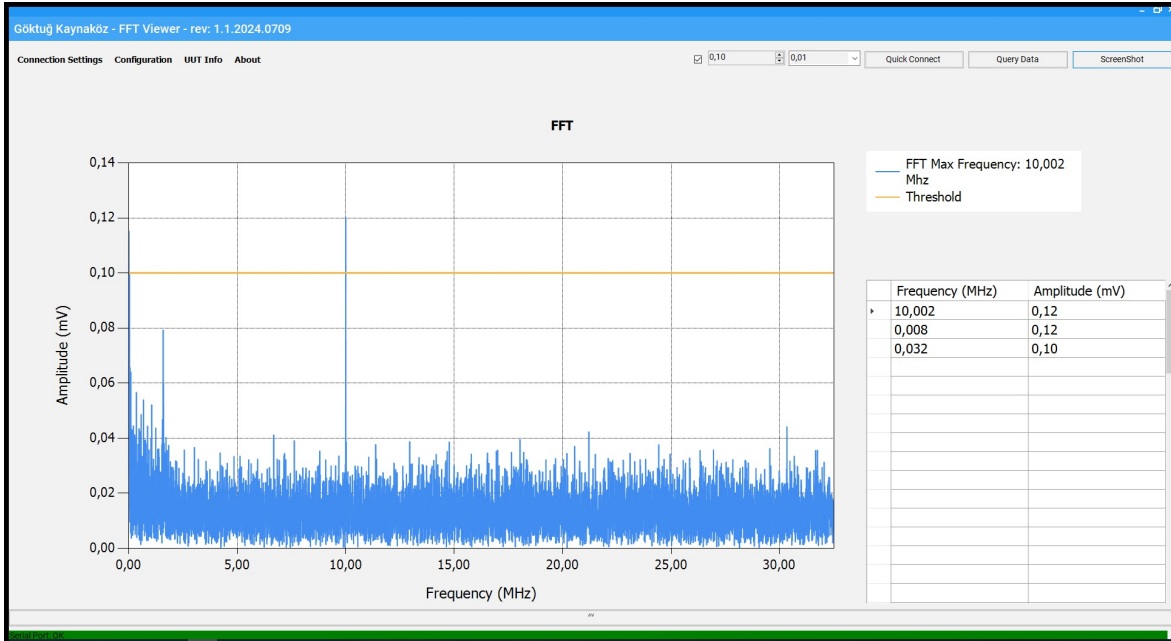
Şekil 6.9 Frekansı 10 MHz, Genliği -30 dBm olan Yayının FFT'si



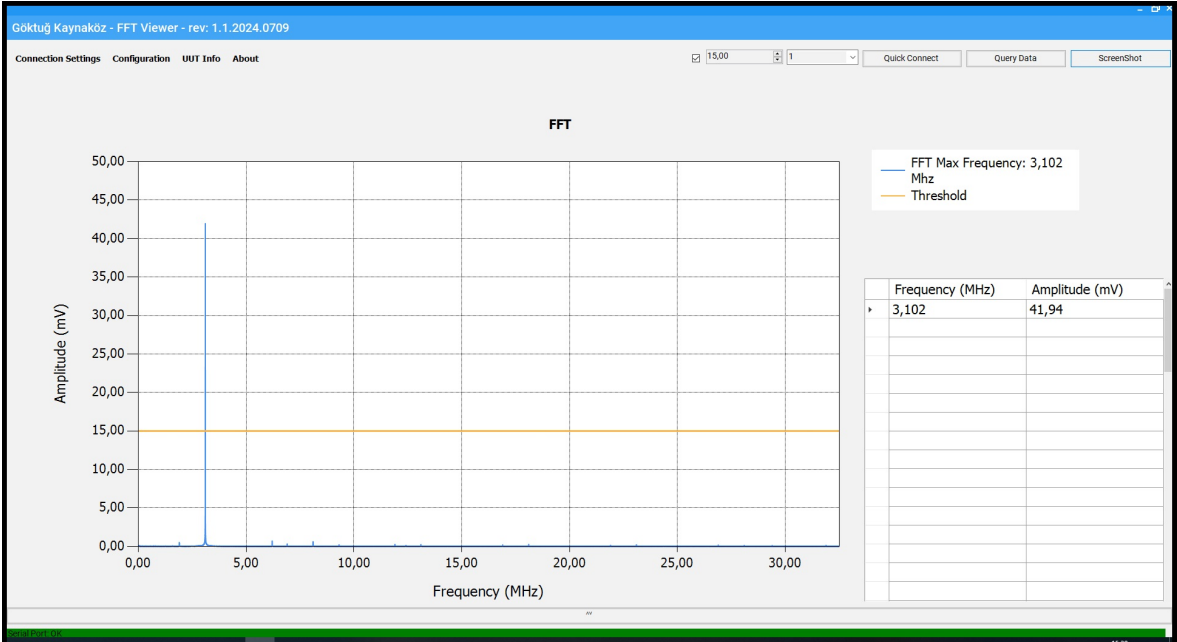
Şekil 6.10 Frekansı 10 MHz, Genliği -15 dBm olan Yayının FFT'si



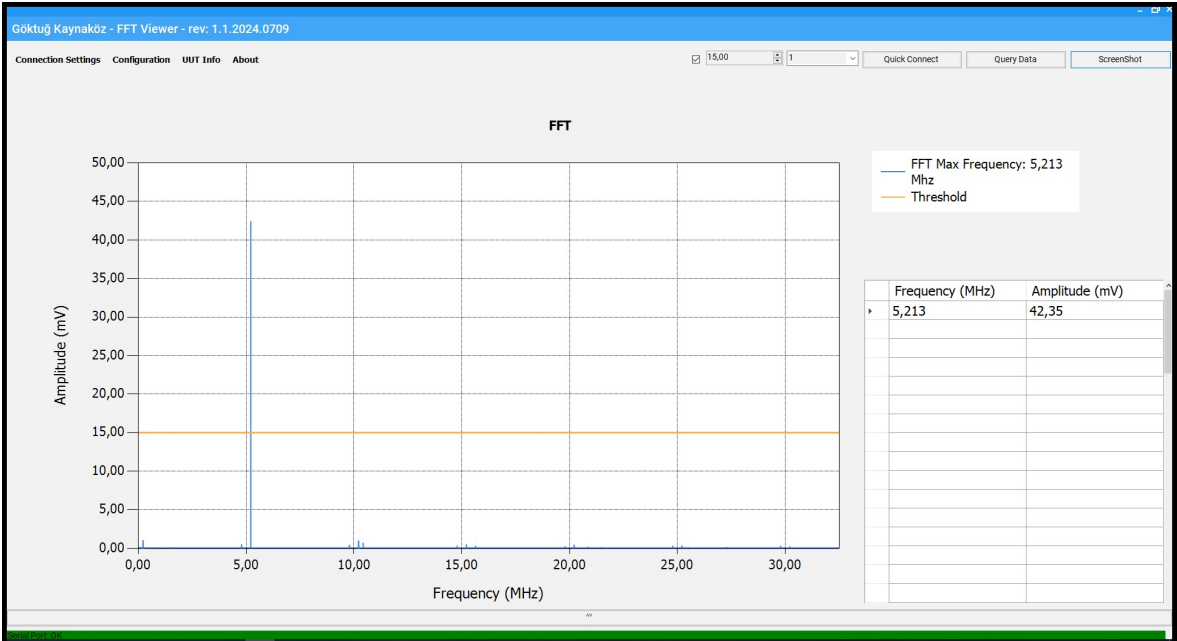
Şekil 6.11 Frekansı 3 MHz, Genliği -30 dBm olan Yayının FFT'si



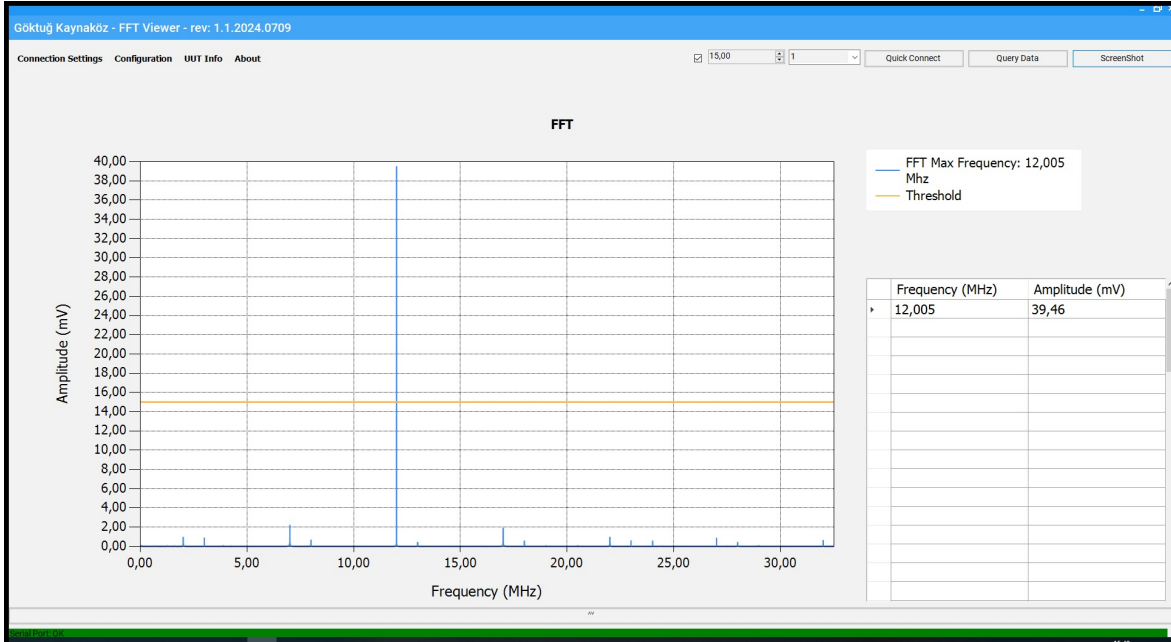
Şekil 6.12 Frekansı 3,005 MHz, Genliği -30 dBm olan Yayının FFT'si



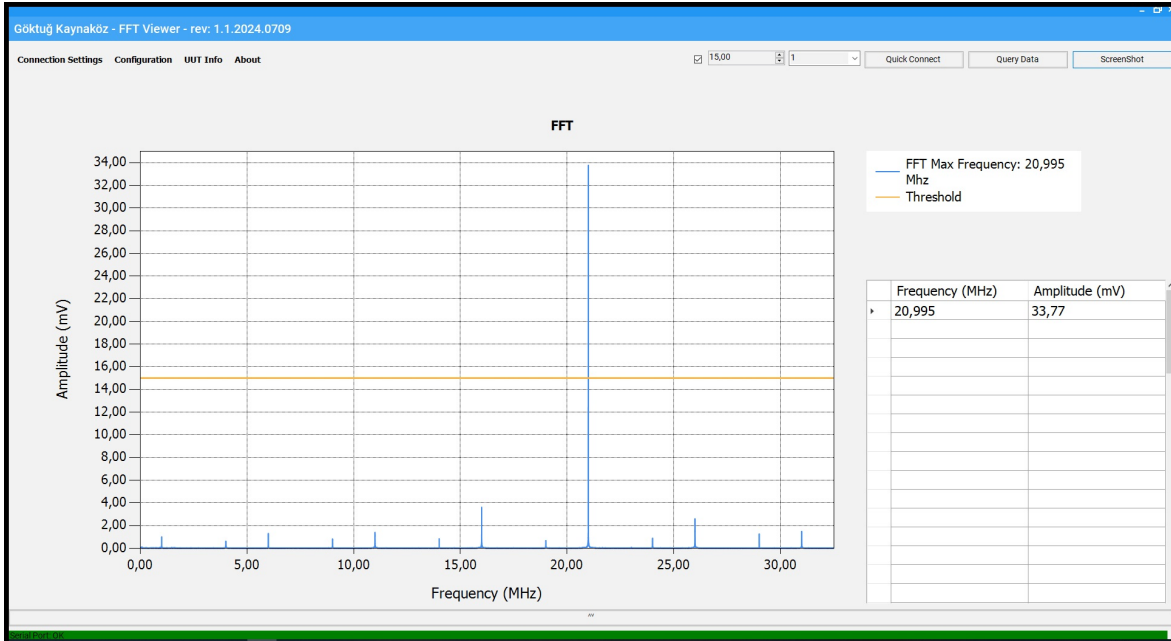
Şekil 6.13 Frekansı 3,100 MHz, Genliği -30 dBm olan Yayının FFT'si



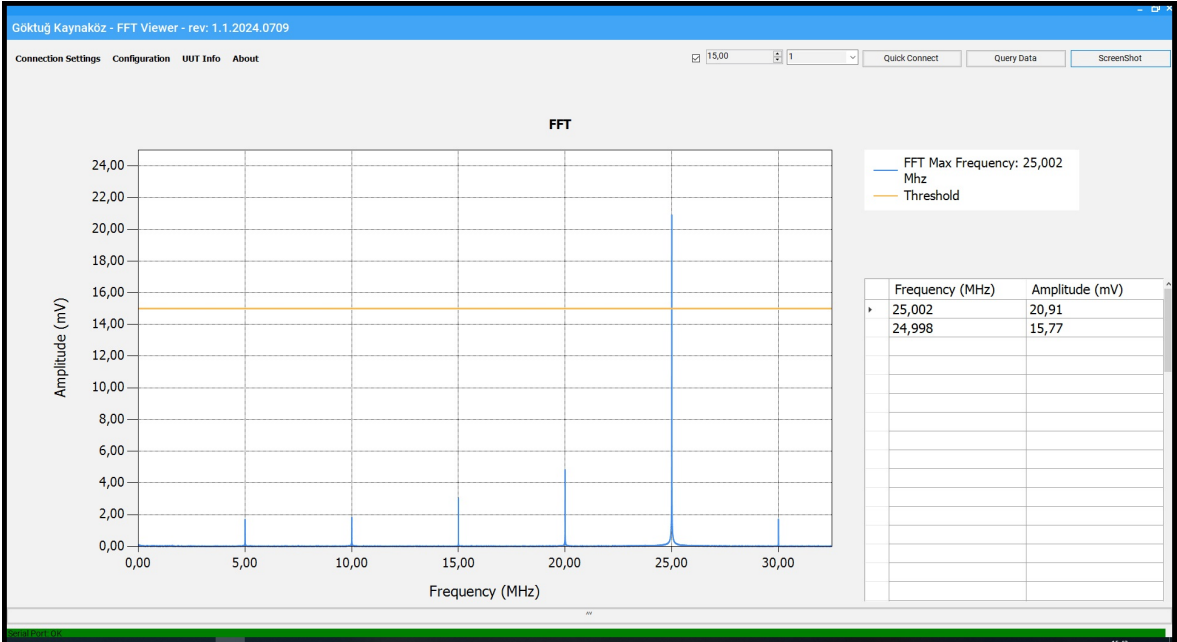
Şekil 6.14 Frekansı 5,213 MHz, Genliği -30 dBm olan Yayının FFT'si



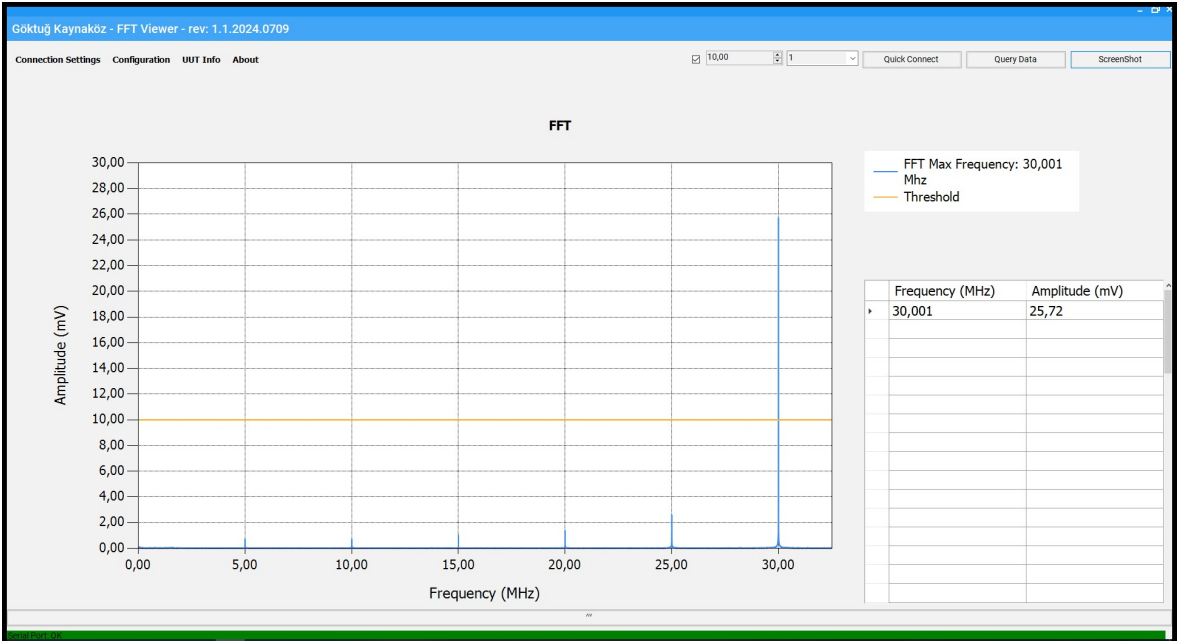
Şekil 6.15 Frekansı 12,005 MHz, Genliği -30 dBm olan Yayının FFT'si



Şekil 6.16 Frekansı 20,995 MHz, Genliği -30 dBm olan Yayının FFT'si



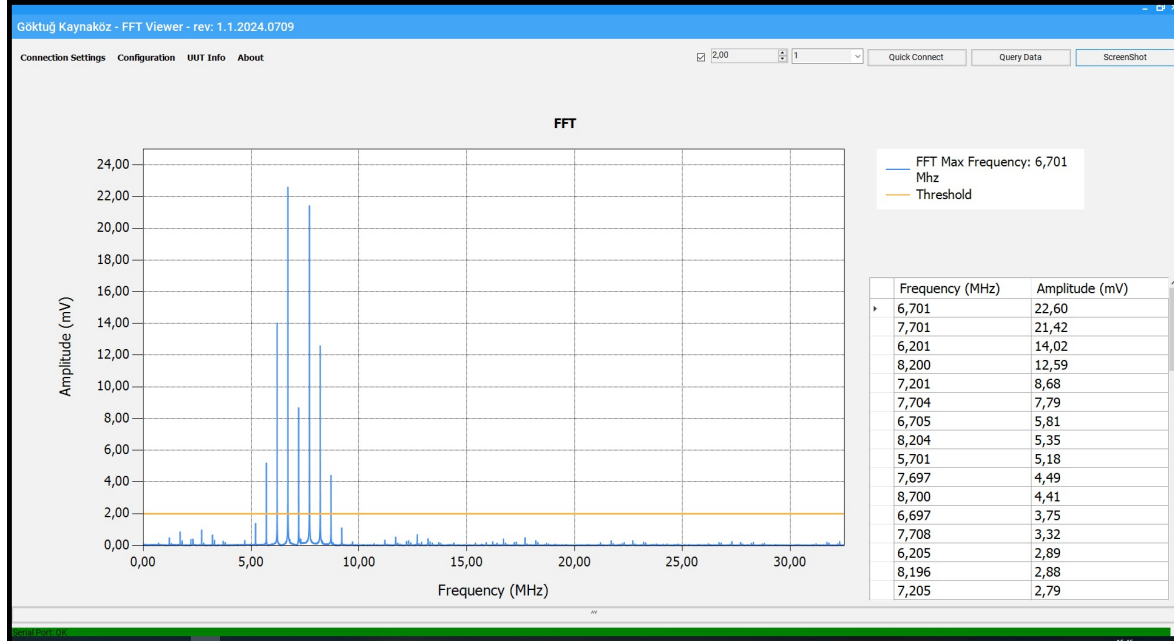
Şekil 6.17 Frekansı 25 MHz, Genliği -30 dBm olan Yayının FFT'si



Şekil 6.18 Frekansı 30 MHz, Genliği -30 dBm olan Yayının FFT'si

Yukarıdaki FFT sonuçlarına bakıldığında sistemdeki yükselteç kartından gelen 12 dBm'lik kazancı da hesaba dahil ettiğimizde genlik ölçümünün doğru bir şekilde yapıldığı ve frekansın da her seferinde verilen frekans ile aynı ölçüldüğü gözlemlendi.

3. senaryoda frekans modülasyonlu bir sinyal verilmiştir. Bu yayın sürekli bir yayındır. Ölçümlerde genlik sabit olarak -30 dBm'de tutuldu ve frekans olarak 7,200 ile 21 MHz verilmiştir. Sinyal kaynağının FM modülasyon modu aktif hale getirilip FM oranı ile FM sapma değerleri değiştirilerek sonuçlar gözlemlendi. Verilen RF sinyaller için FFT sonuçları şekil 6.19 ile 6.28 arasında gösterilmiştir.

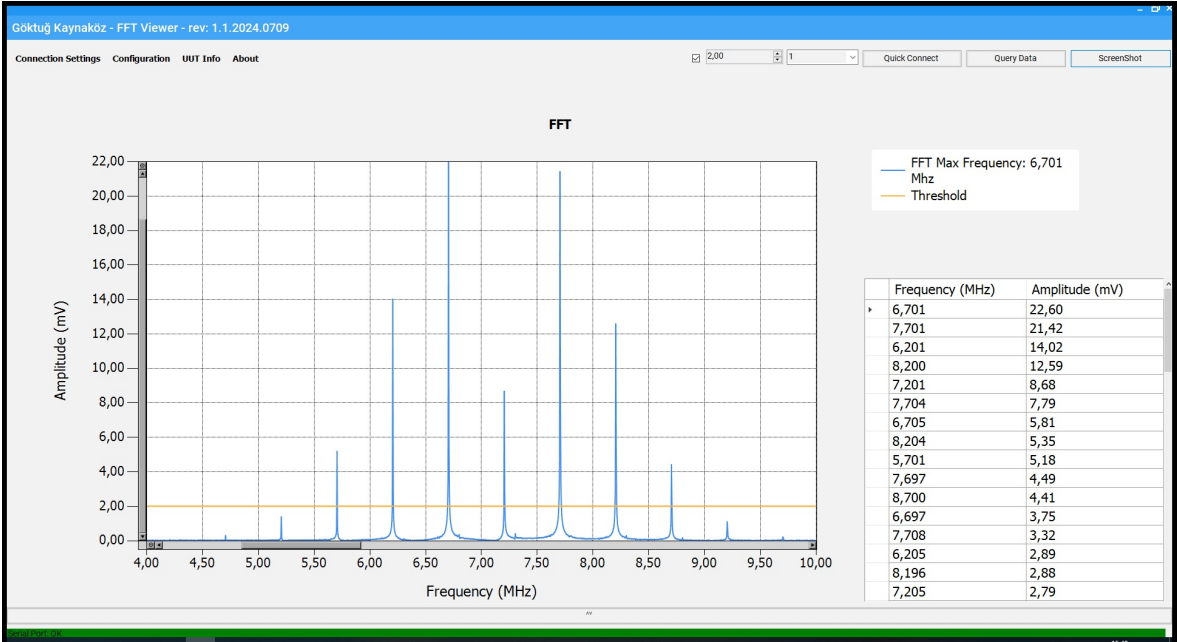


Şekil 6.19 Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si

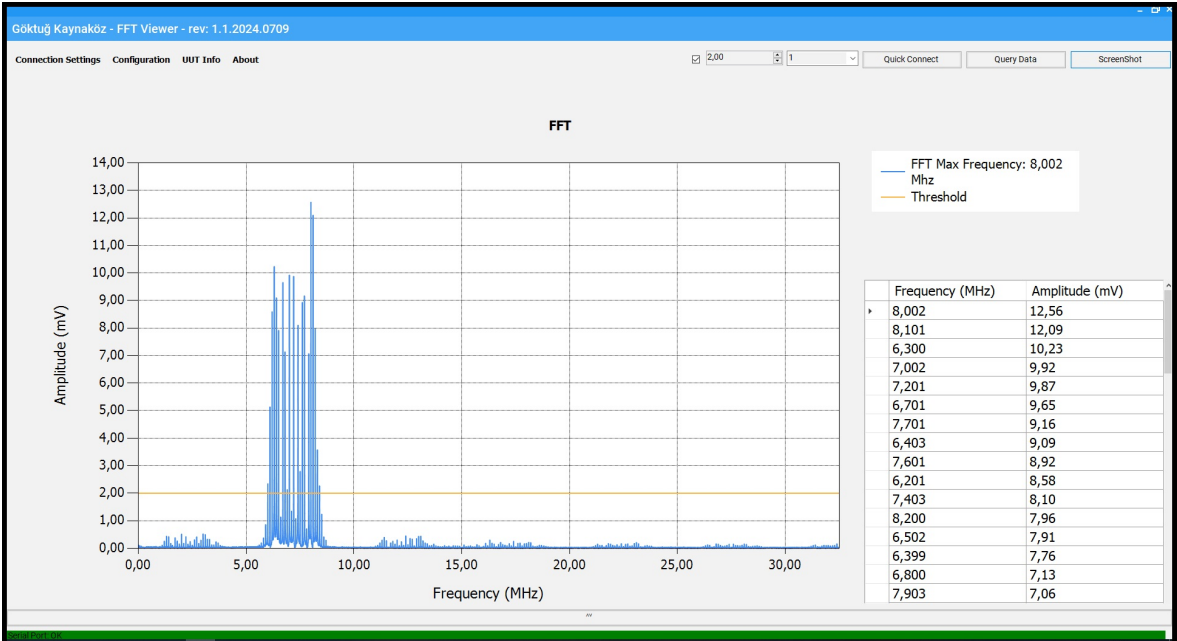
Şekil 6.19'da gözlemlenen yayın için sinyal Kaynağından 7,2 MHz, -30 dBm'de FM modüle bir sinyal verildi. Frekans modülasyon sapma değeri olarak 1 MHz, frekans modülasyon oranı olarak ise 500 kHz seçildi.

Şekil 6.20'de gözlemlenen yayın Şekil 6.19'daki grafiğin yakınlaştırılmış halidir. 7,2 MHz'de verilen yayına frekans alanında bakıldığında RF sinyalin 6.2 MHz ile 8.2 MHz'lik alanda 500 kHz'lik frekans adımı ile yayıldığı gözlemlenmiştir.

Şekil 6.21'de gözlemlenen yayın için sinyal Kaynağından 7,2 MHz, -30 dBm'de FM modüle bir sinyal verildi. Frekans modülasyon sapma değeri olarak 1 MHz, Frekans modülasyon oranı olarak ise 100 kHz seçildi.



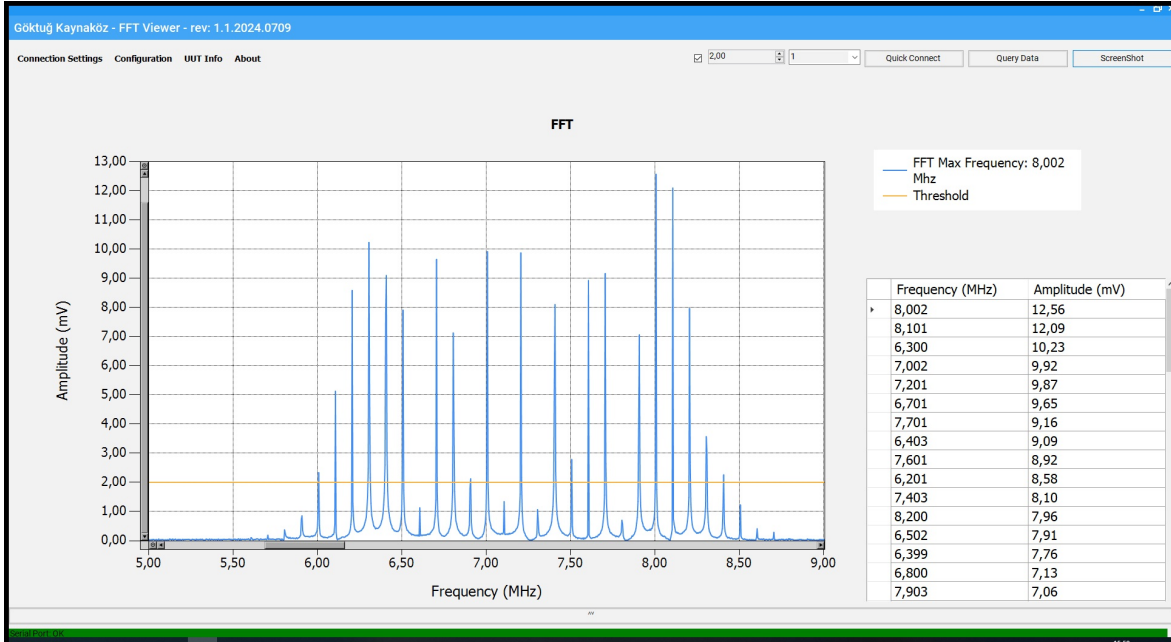
Şekil 6.20 Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si



Şekil 6.21 Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si

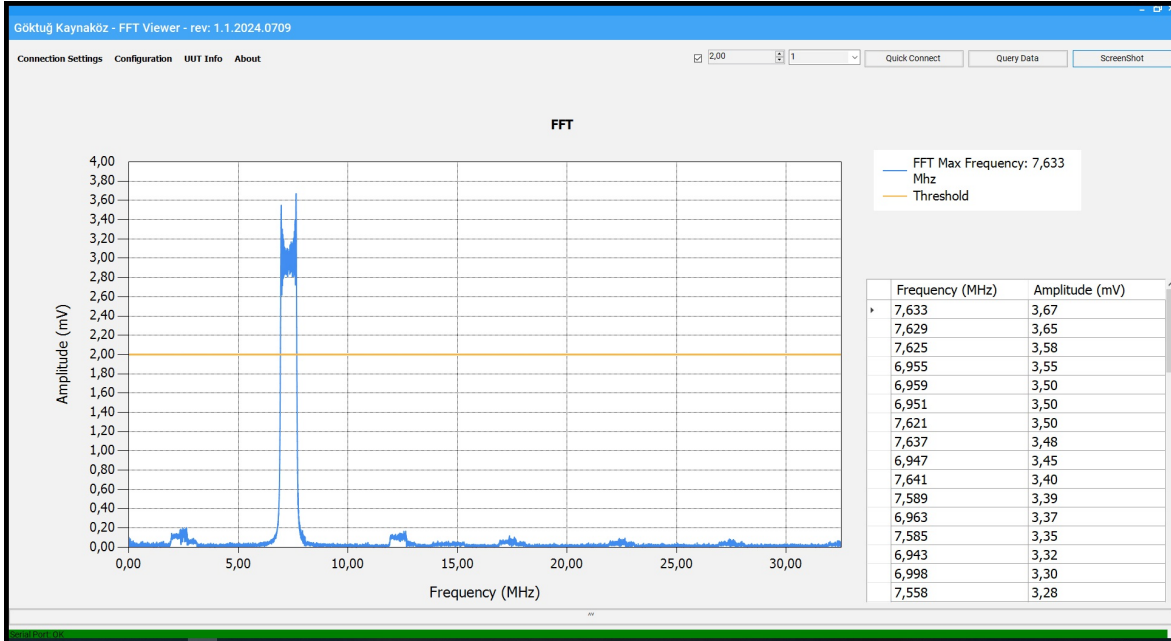
Şekil 6.22'de gözlemlenen yayın, Şekil 6.21'deki grafiğin yakınlaştırılmış halidir. 7,2 MHz'de verilen yayına frekans alanında bakıldığında RF sinyalin 6.2 MHz ile 8.2 MHz'lik alanda 100 kHz'lik frekans adımı ile yayıldığı gözlemlenmiştir.





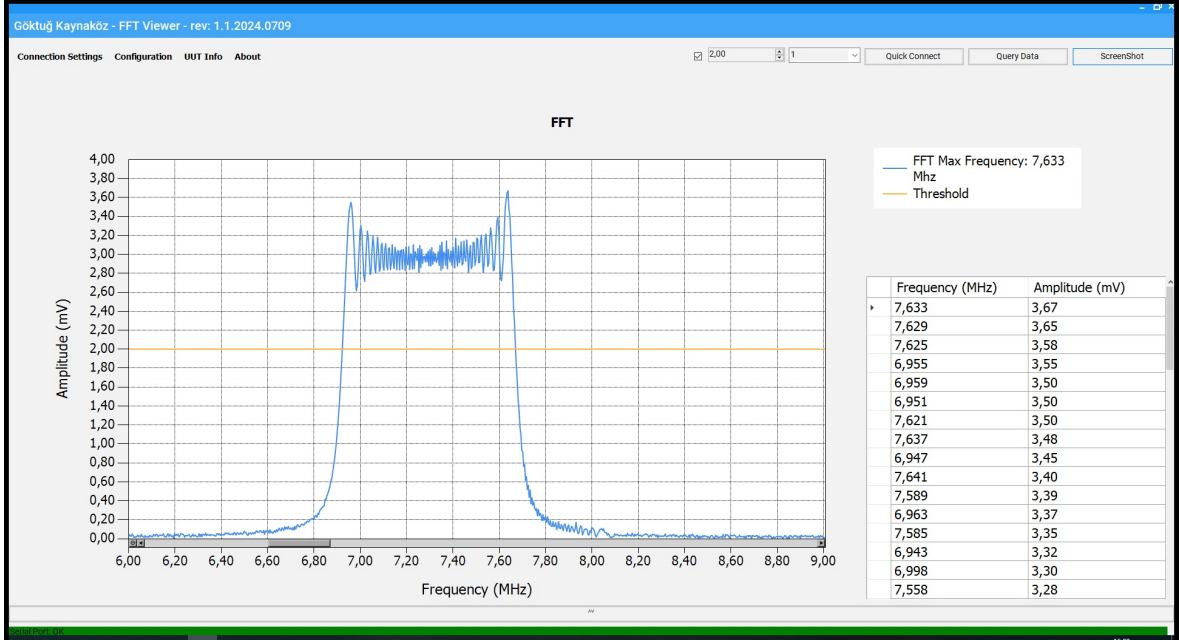
Şekil 6.22 Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si

Şekil 6.23'te gözlemlenen yayın için sinyal Kaynağından 7,2 MHz, -30 dBm'de FM modüle bir sinyal verildi. Frekans modülasyon sapma değeri olarak 1 MHz, Frekans modülasyon oranı olarak ise 500 Hz seçildi.



Şekil 6.23 Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si

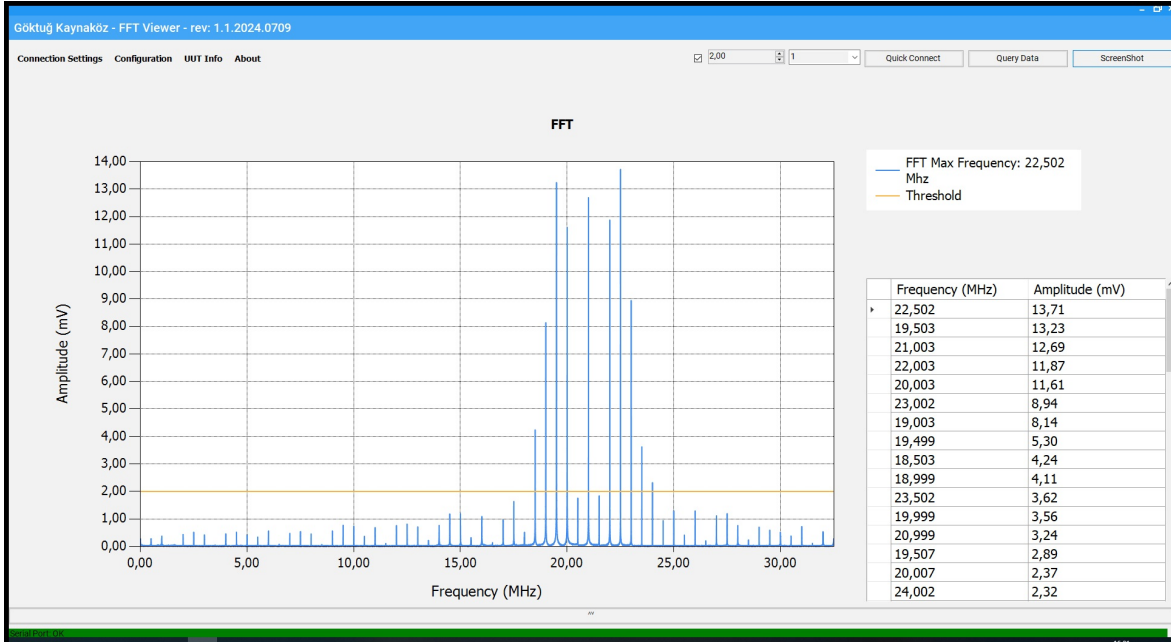
Şekil 6.24'te gözlemlenen yayın, Şekil 6.23'teki grafiğin yakınlaştırılmış halidir. 7,2 MHz'de verilen yayına frekans alanında bakıldığında RF sinyalin 6.2 MHz ile 8.2 MHz'lik alanda 500 Hz'lik frekans adımı ile yayıldığı gözlemlenmiştir.



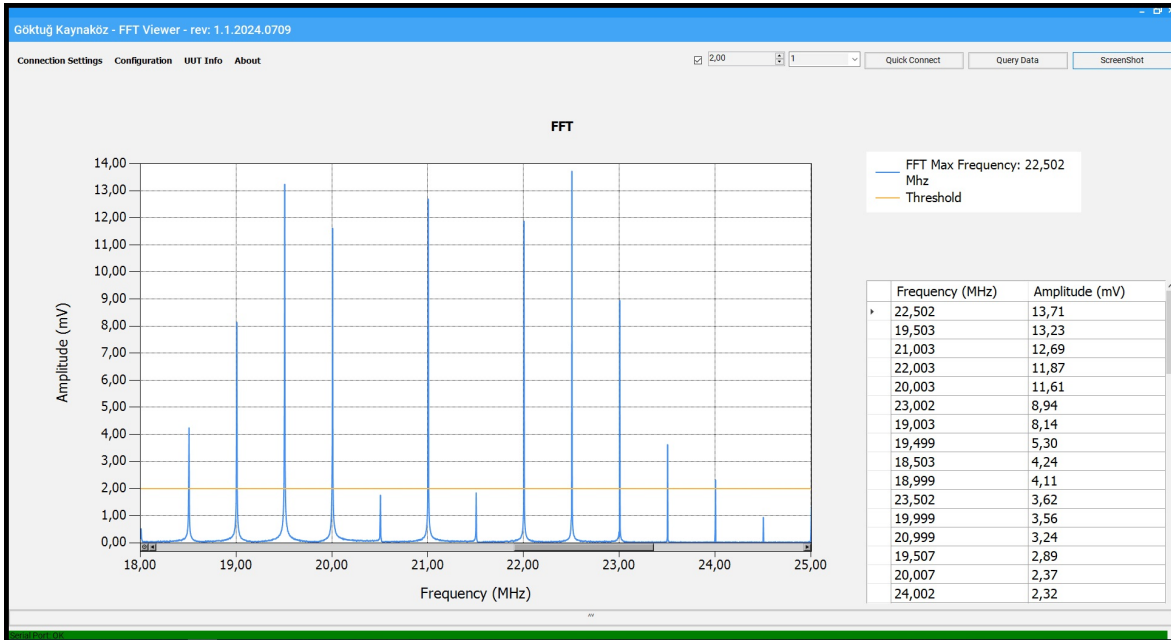
Şekil 6.24 Frekansı 7,2 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si

Şekil 6.25'te gözlemlenen yayın için sinyal kaynağından 21 MHz, -30 dBm'de FM modüle bir sinyal verildi. Frekans modülasyon sapma değeri olarak 2 MHz, frekans modülasyon oranı olarak ise 500 kHz seçildi.

Şekil 6.26'da gözlemlenen yayın, Şekil 6.25'teki grafiğin yakınlaştırılmış halidir. 21 MHz'de verilen yayına frekans alanında bakıldığında RF sinyalin 19 MHz ile 23 MHz'lik alanda 500 kHz'lik frekans adımı ile yayıldığı gözlemlenmiştir.

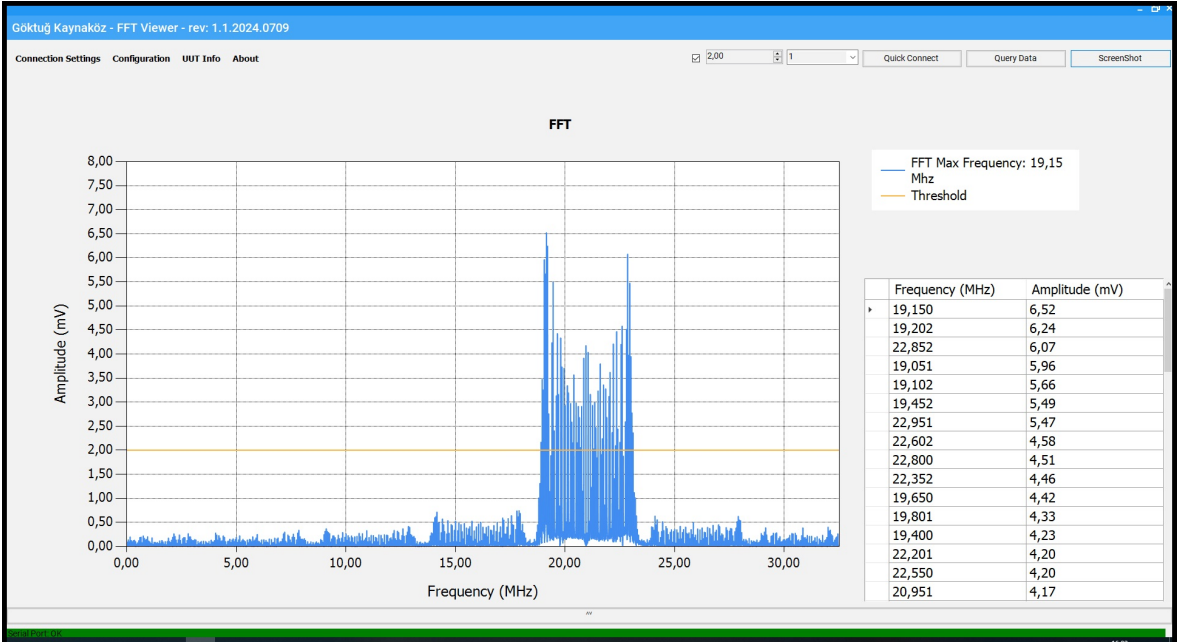


Şekil 6.25 Frekansı 21 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si



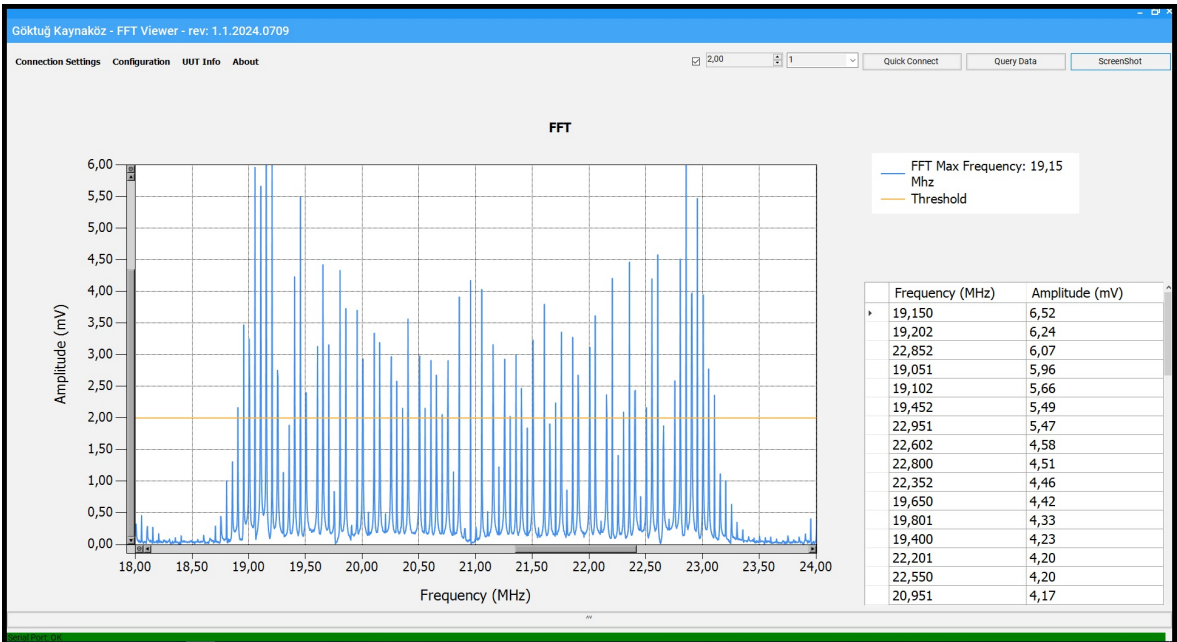
Şekil 6.26 Frekansı 21 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si

Şekil 6.27'de gözlemlenen yayın için sinyal kaynağından 21 MHz, -30 dBm'de FM modüle bir sinyal verildi. Frekans modülasyon sapma değeri olarak 2 MHz, frekans modülasyon oranı olarak ise 50 kHz seçildi.



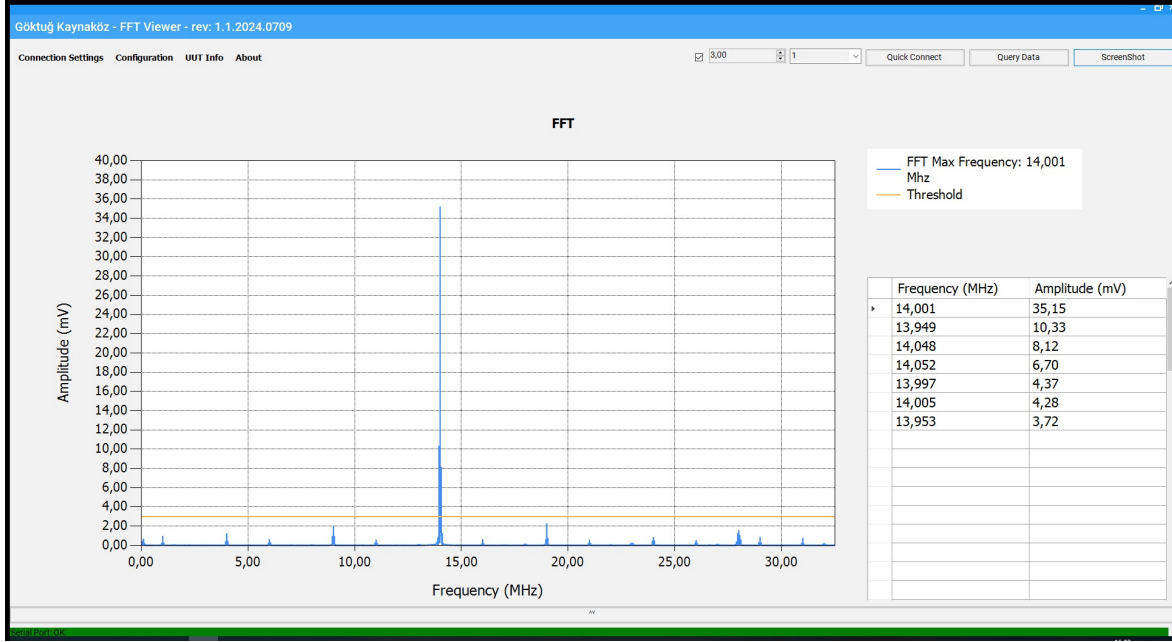
Şekil 6.27 Frekansı 21 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si

Şekil 6.28'de gözlemlenen yayın, Şekil 6.27'deki grafiğin yakınlaştırılmış halidir. 21 MHz'de verilen yayına frekans alanında bakıldığında RF sinyalin 19 MHz ile 23 MHz'lik alanda 50 kHz'lik frekans adımı ile yayıldığı gözlemlenmiştir.



Şekil 6.28 Frekansı 21 MHz, Genliği -30 dBm olan FM Modüle Yayının FFT'si

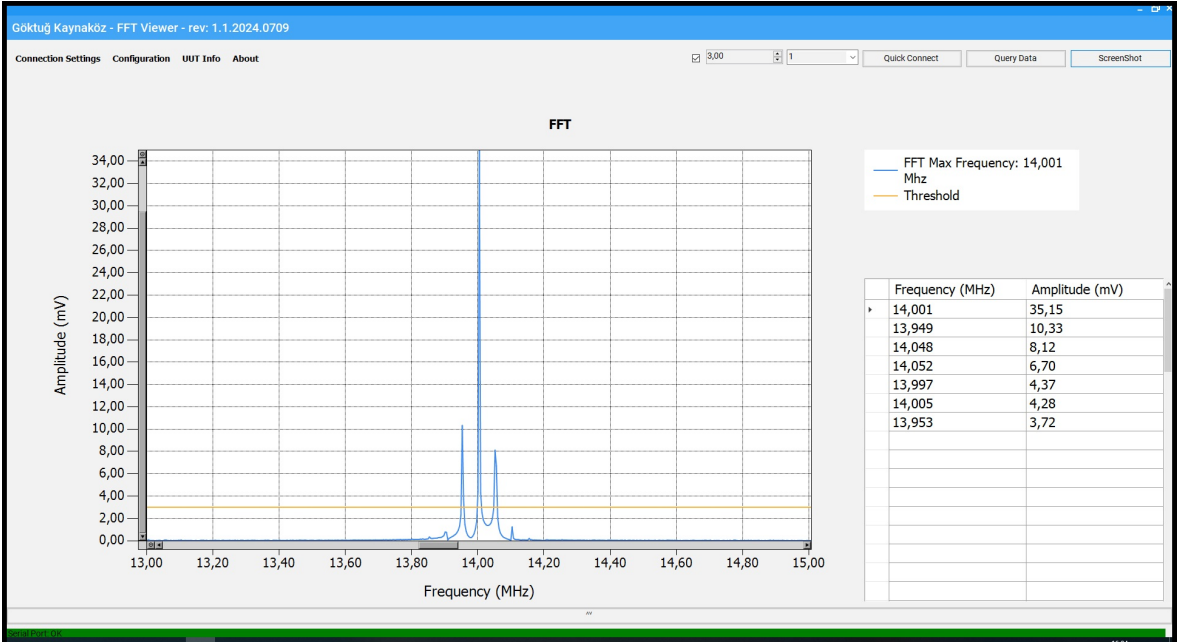
4. senaryoda genlik modülasyonlu bir sinyal verilmiştir. Bu yayın sürekli bir yayındır. Ölçümlerde genlik sabit olarak -30 dBm’de tutuldu ve frekans olarak 14 MHz seçilmiştir. Sinyal kaynağının genlik modülasyon modu aktif hale getirilip genlik oranı ile genlik derinlik değerleri değiştirilerek sonuçlar gözlemlendi. Verilen RF sinyaller için FFT sonuçları şekil 6.29 ile 6.34 arasında verilmiştir.



Şekil 6.29 Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT’si

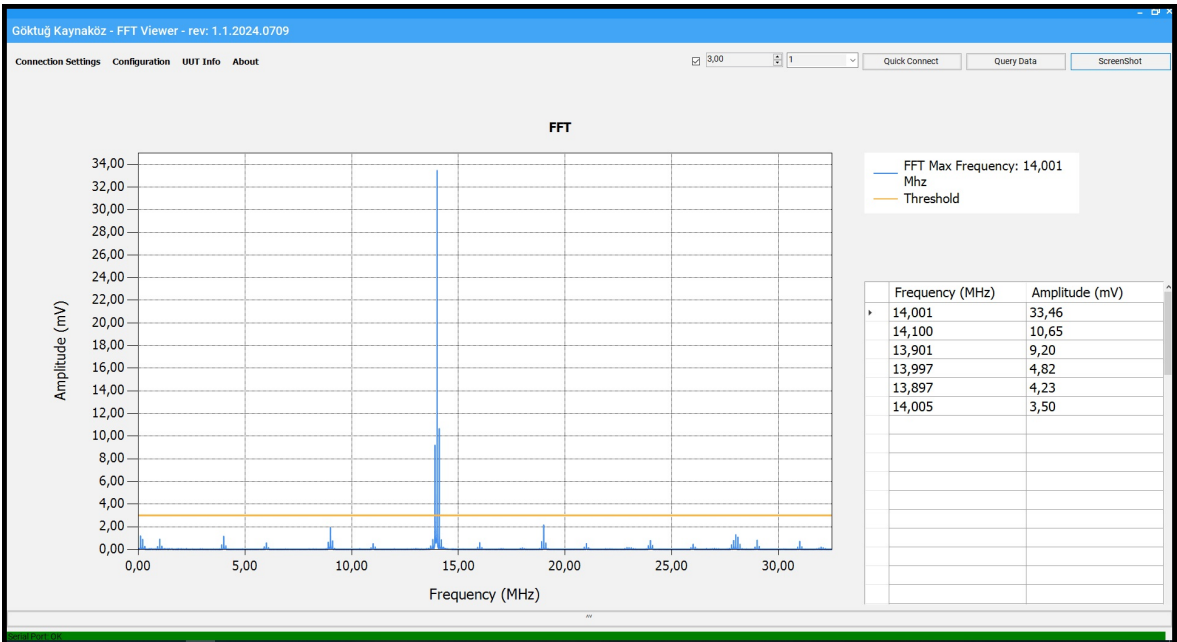
Şekil 6.29’da gözlemlenen yayın için sinyal kaynağından 14 MHz, -30 dBm’de AM modüle bir sinyal verildi. AM derinlik değeri olarak yüzde 70, AM oranı olarak ise 50 kHz seçildi.

Şekil 6.30’da gözlemlenen yayın, Şekil 6.29’daki grafiğin yakınlaştırılmış halidir. 14 MHz’de verilen yayına frekans alanında bakıldığında 50 kHz’lik frekans adımı ile yayının genliğinin değiştiği gözlemlenmiştir.



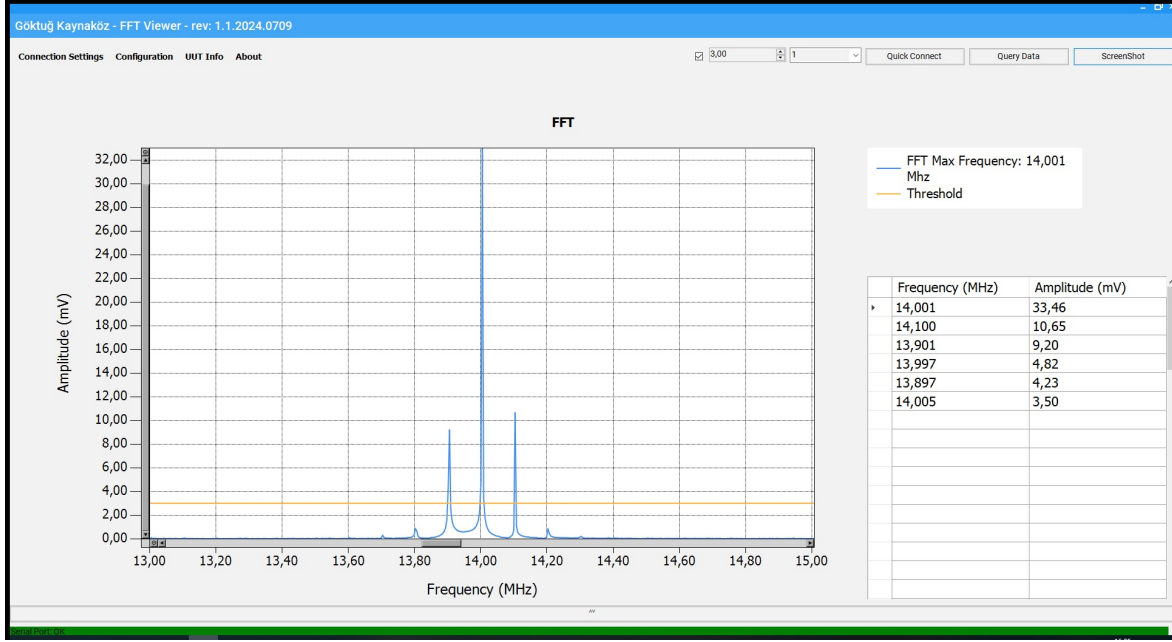
Şekil 6.30 Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT'si

Şekil 6.31'de gözlemlenen yayın için sinyal kaynağından 14 MHz, -30 dBm'de AM modüle bir sinyal verildi. AM derinlik değeri olarak yüzde 70, AM oranı olarak ise 100 kHz seçildi.



Şekil 6.31 Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT'si

Şekil 6.32’de gözlemlenen yayın, Şekil 6.31’deki grafiğin yakınlaştırılmış halidir. 14 MHz’de verilen yayına frekans alanında bakıldığında 100 kHz’lik frekans adımı ile yayının genliğinin değiştiği gözlemlenmiştir.

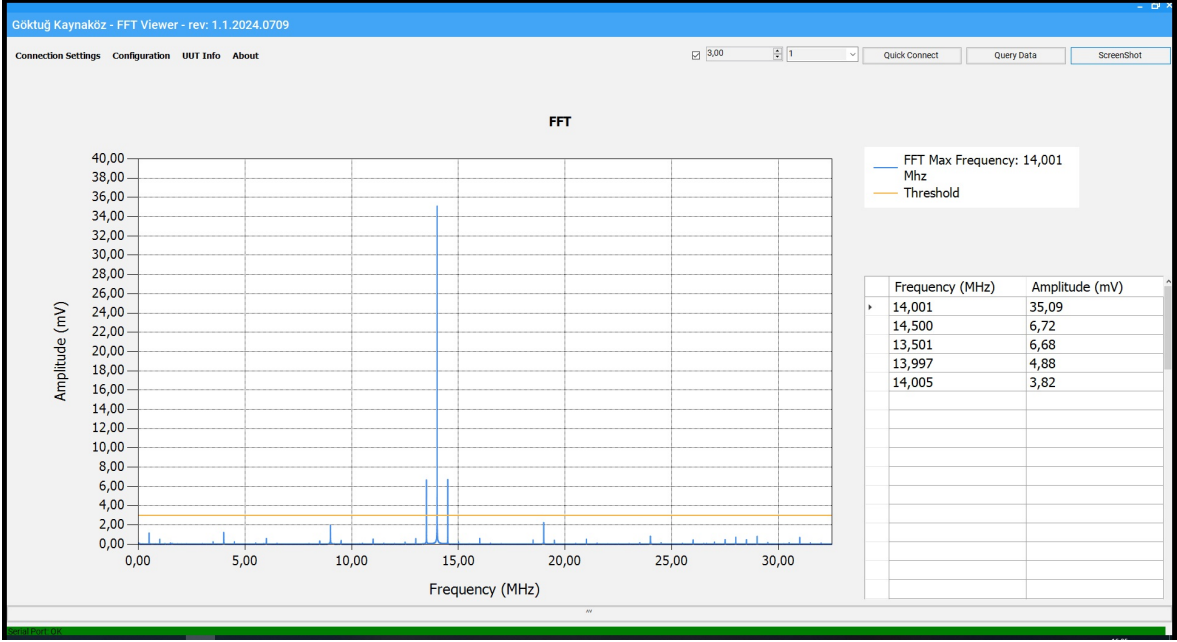


Şekil 6.32 Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT’si

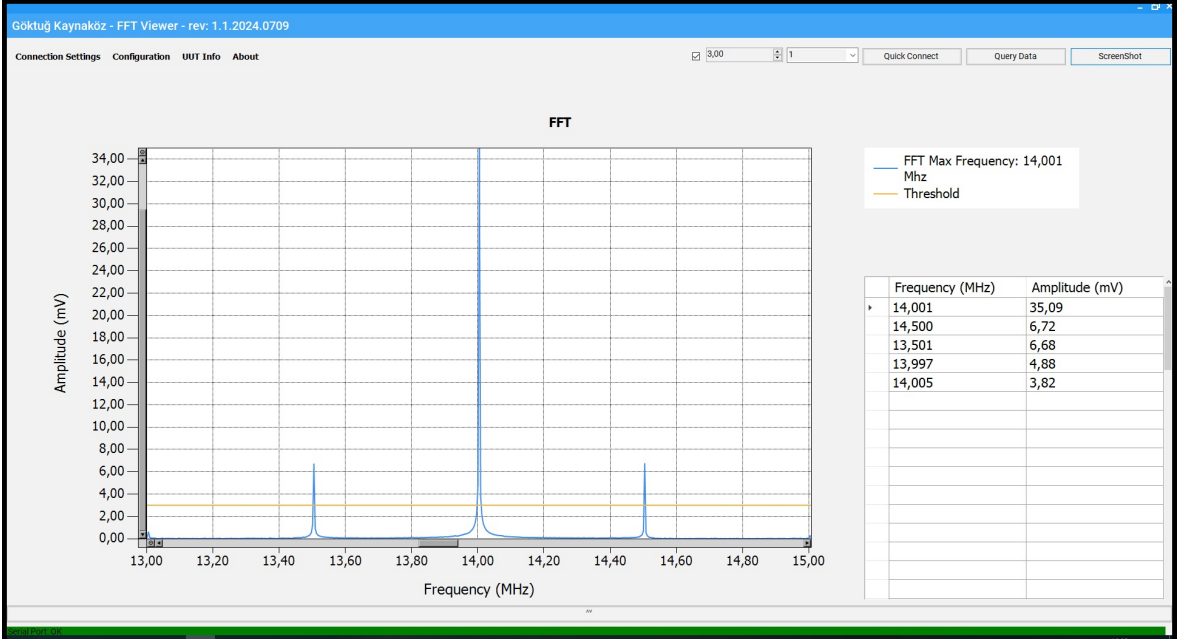
Şekil 6.33’te gözlemlenen yayın için sinyal kaynağından 14 MHz, -30 dBm’de AM modüle bir sinyal verildi. AM derinlik değeri olarak yüzde 70, AM oranı olarak ise 500 kHz seçildi.

Şekil 6.34’te gözlemlenen yayın, Şekil 6.33’teki grafiğin yakınlaştırılmış halidir. 14 MHz’de verilen yayına frekans alanında bakıldığında 500 kHz’lik frekans adımı ile yayının genliğinin değiştiği gözlemlenmiştir.





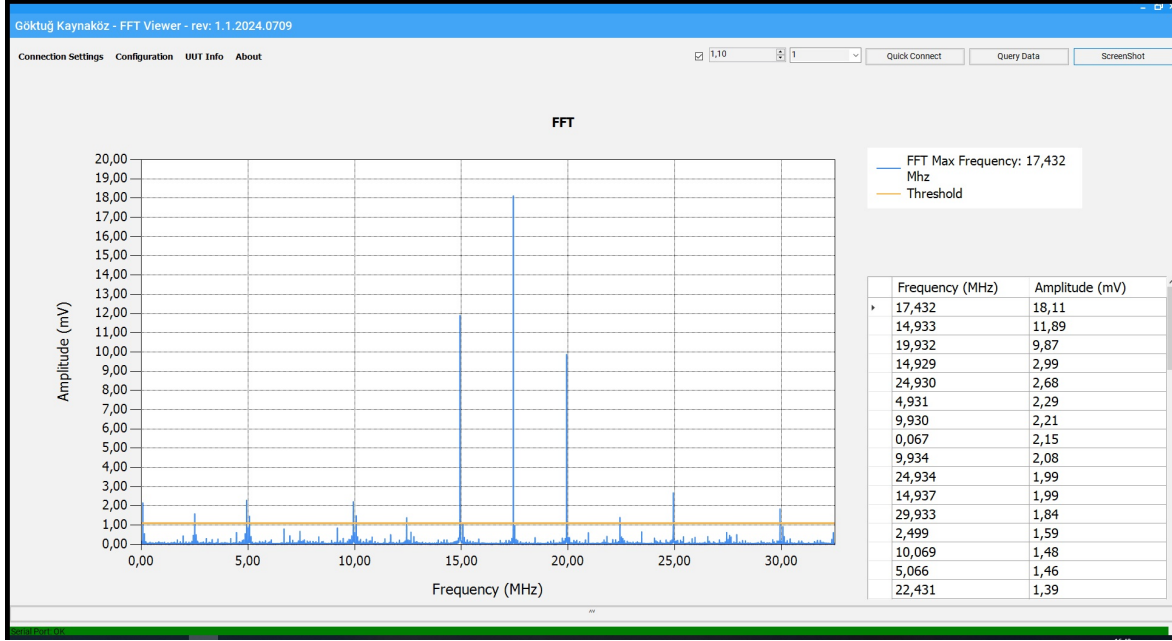
Şekil 6.33 Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT'si



Şekil 6.34 Frekansı 14 MHz, Genliği -30 dBm olan AM modüle Yayının FFT'si



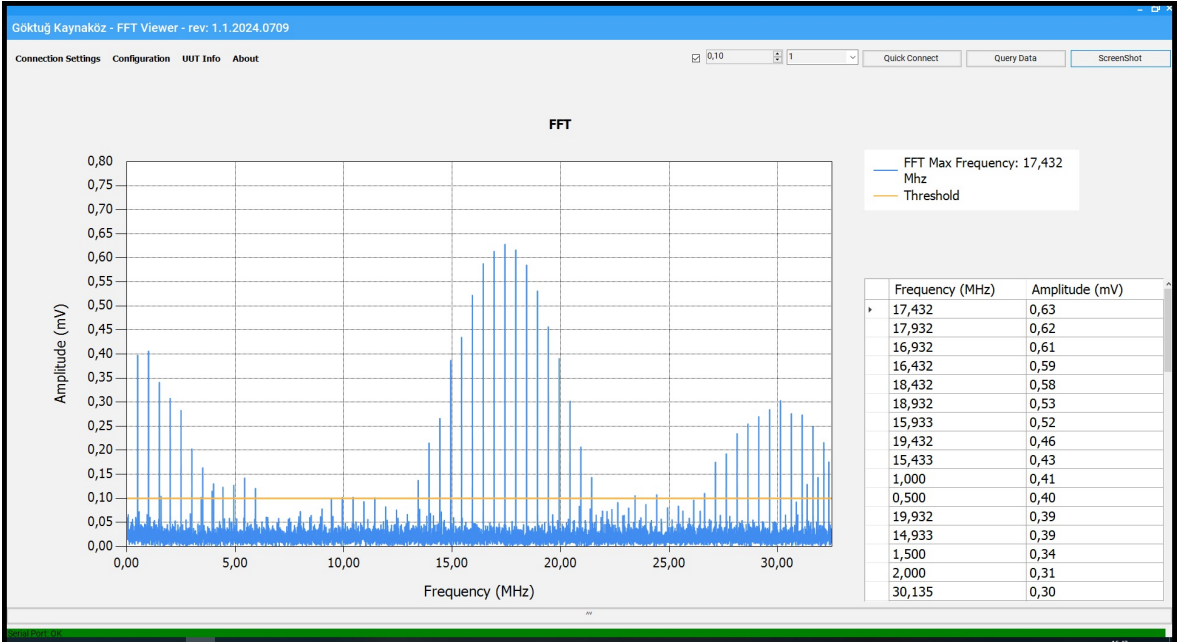
5. senaryoda pulse bir sinyal verilmiştir. Ölçümlerde genlik sabit olarak -30 dBm’de tutuldu ve frekans olarak 17,432 MHz seçilmiştir. Sinyal kaynağının Pulse modu aktif hale getirilip farklı pw ile pri değerlerinde yayınlar verilmiştir. RF sinyaller için FFT sonuçları şekil 6.35 ile 6.38 arasında gösterilmiştir.



Şekil 6.35 Frekansı 17,432 MHz, Genliği -30 dBm olan Yayının FFT’si

Şekil 6.35’te gözlemlenen yayın için sinyal kaynağından 17,432 MHz, -30 dBm’de pulse bir sinyal verildi. PW olarak 200 ns, PRI olarak ise 400 ns seçildi. FFT sonucunda, 17,432 MHz’in 2,5 MHz adımlarla sağ ve sol tarafına bakıldığında, pulse sinyalinin FFT’si olan sinc sinyalinin oluştuğu gözlemlendi.

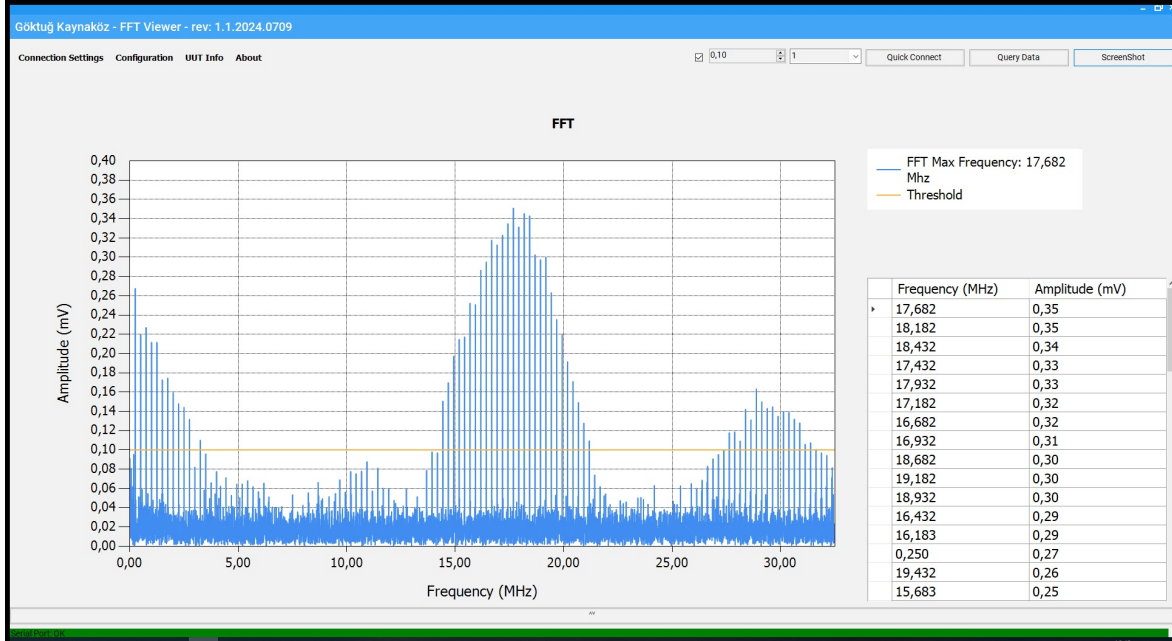
Şekil 6.36’da gözlemlenen yayın için sinyal kaynağından 17,432 MHz, -30 dBm’de pulse bir sinyal verildi. PW olarak 200 ns, PRI olarak ise 2 us seçildi. FFT sonucunda 17,432 MHz’in 500 kHz adımlarla sağ ve sol tarafına bakıldığında pulse sinyalinin FFT’si olan sinc sinyalinin oluştuğu gözlemlendi.



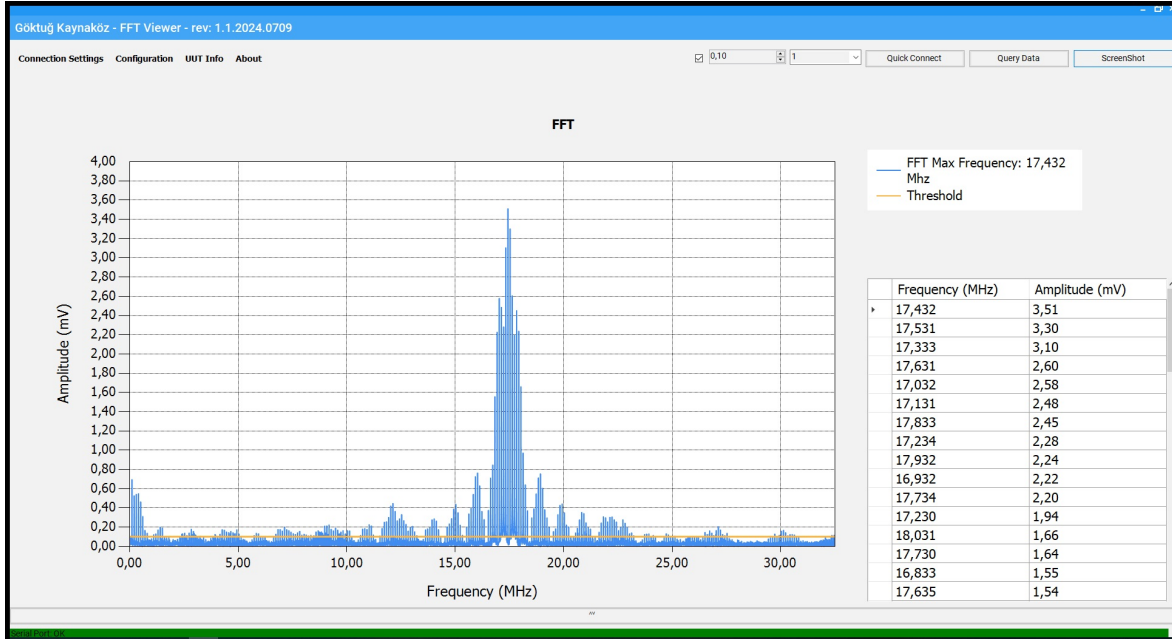
Şekil 6.36 Frekansı 17,432 MHz, Genliği -30 dBm olan Yayının FFT'si

Şekil 6.37'de gözlemlenen yayın için sinyal kaynağından 17,432 MHz, -30 dBm'de pulse bir sinyal verildi. PW olarak 200 ns, PRI olarak ise 4 us seçildi. FFT sonucunda, 17,432 MHz'in 250 kHz adımlarla sağ ve sol tarafına bakıldığında, pulse sinyalinin FFT'si olan sinc sinyalinin oluştuğu gözlemlendi.

Şekil 6.38'de gözlemlenen yayın için sinyal kaynağından 17,432 MHz, -30 dBm'de pulse bir sinyal verildi. PW olarak 200 ns, PRI olarak ise 10 us seçildi. FFT sonucunda, 17,432 MHz'in 100 kHz adımlarla sağ ve sol tarafına bakıldığında, pulse sinyalinin FFT'si olan sinc sinyalinin oluştuğu gözlemlendi.

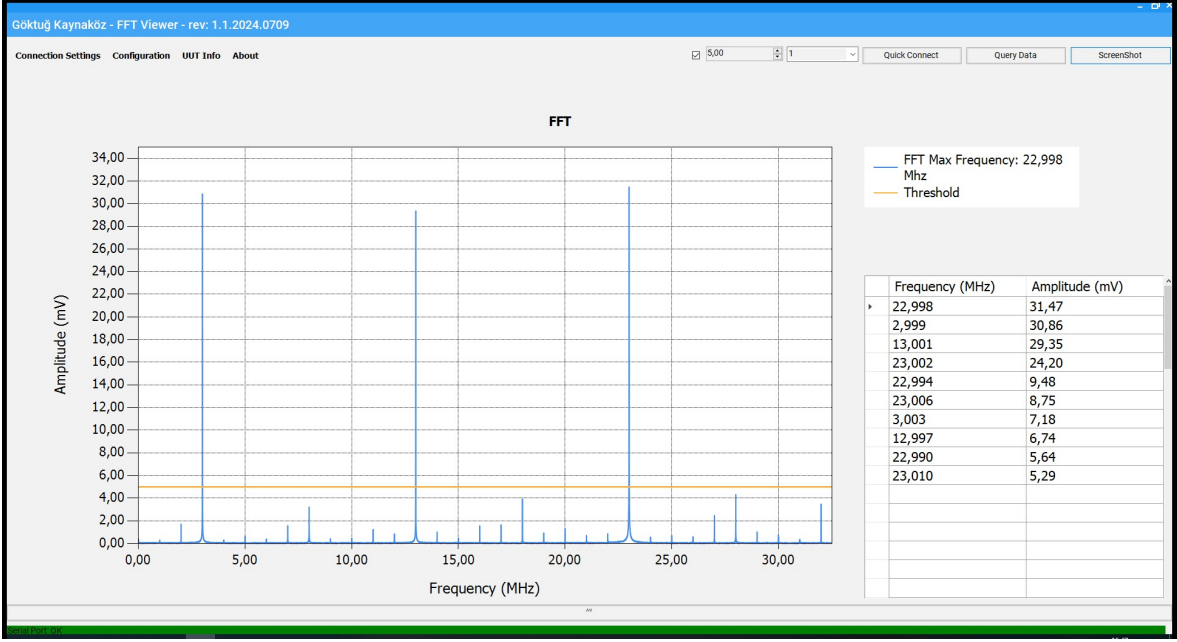


Şekil 6.37 Frekansı 17,432 MHz, Genliği -30 dBm olan Yayının FFT'si



Şekil 6.38 Frekansı 17,432 MHz, Genliği -30 dBm olan Yayının FFT'si

6. senaryoda 3 adet sinyal kaynağı kullanılarak farklı frekanslarda yayın verilmiştir. Bu RF sinyaller için FFT sonuçları şekil 6.39 ile 6.41 arasında gösterilmiştir.

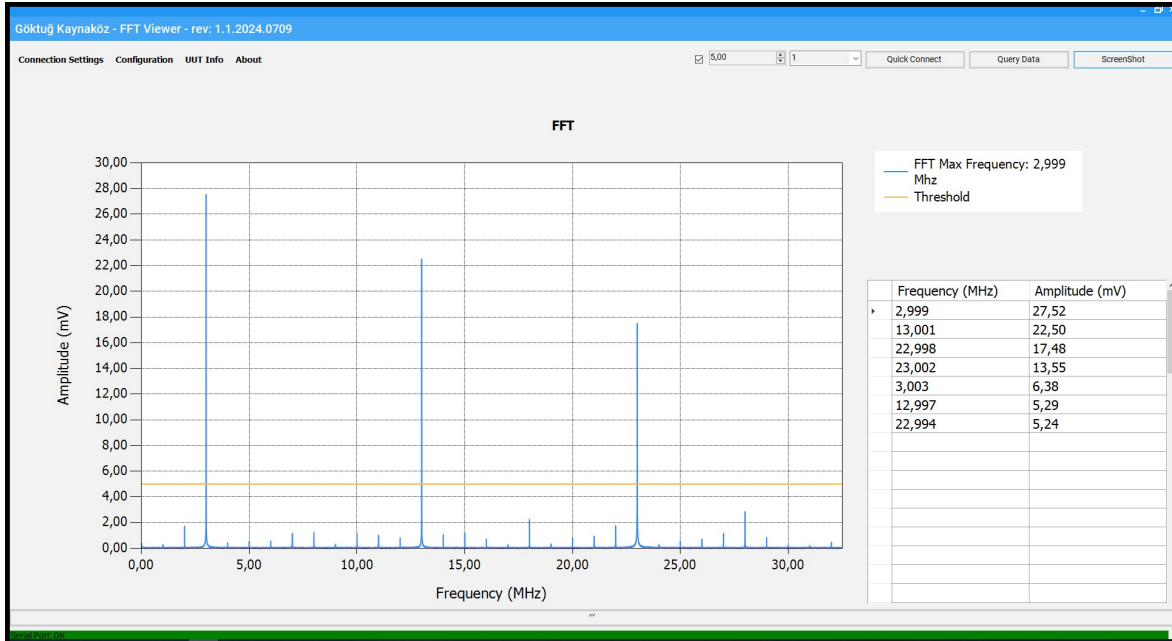


Şekil 6.39 Frekansları 3, 13 ve 23 MHz olan, Genliği -30 dBm olan Yayınların FFT'si

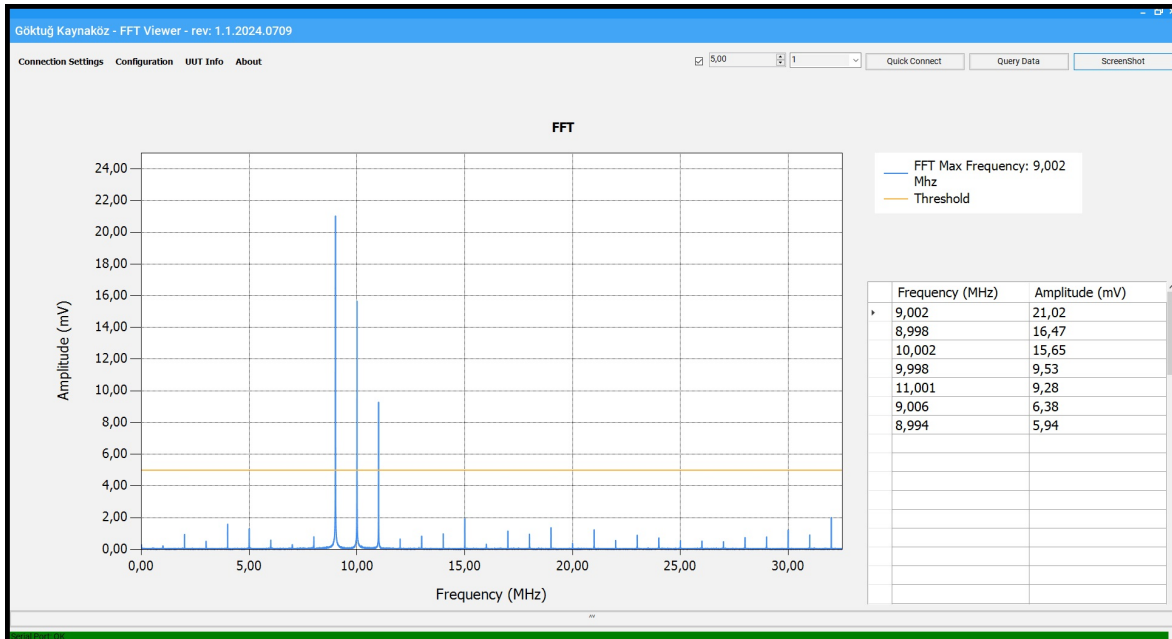
3 farklı sinyal kaynağından genlikleri -30 dBm olan, frekansları ise 3, 13, 23 MHz olan yayınlar verildi. Bu frekansların FFT sonuçları Şekil 6.39'da görüldüğü gibi düzgün bir şekilde alınıp çizdirilmiştir.

3 farklı sinyal kaynağından genlikleri sırasıyla -30, -35, -40 dBm olan, frekansları ise 3, 13, 23 MHz olan yayınlar verildi. Bu frekansların FFT sonuçları Şekil 6.40'ta görüldüğü gibi düzgün bir şekilde alınıp çizdirilmiştir.

3 farklı sinyal kaynağından genlikleri sırasıyla -30, -35, -40 dBm olan, frekansları ise 9, 10, 11 MHz olan yayınlar verildi. Bu frekansların FFT sonuçları Şekil 6.41'de görüldüğü gibi düzgün bir şekilde alınıp çizdirilmiştir.



Şekil 6.40 Frekansları 3, 13 ve 23 MHz olan, Genliği -30 dBm olan Yayınların FFT'si



Şekil 6.41 Frekansları 9, 10 ve 11 MHz olan Yayınların FFT'si

## 7. SONUÇLAR

Bu tez çalışması kapsamında, askeri elektronik harp uygulamalarında kritik bir öneme sahip olan HF almaç tasarımı üstüne çalışılmıştır. Bu sayısal monitörün yapısı, tasarımı ve performansı incelenmiştir.

İlk olarak, tezde HF almaç mimarileri hakkında bilgi verilmiştir. Bu sunulan dört popüler mimariden "Sayısal Almaç" mimarisi seçilerek HF sayısal spektrum monitör tasarımı hedeflenmiştir. Hedeflenen sistem mimarisi anten, RF ve sayısal kısımlardan oluşmaktadır. Anten olarak piyasada bulunan HP firmasının 11941A parça numaralı ürünü seçilmiştir. RF ve sayısal kısımların tasarımı yapılarak gerçekleştirilmiştir. RF kısmı için, 0-30 MHz bant aralığında çalışan alçak geçiren filtre tasarımı ile yükselteç kart tasarımı yapıldı. RF bloğun ölçümleri alınmıştır. Sayısal kart tasarımında ise 200 MHz'lik bir ADC'ye sahip Artix-7'li FPGA kart tasarımı yapılmış ve üretilmiştir. Donanım tasarım ve ölçüm sonucu tamamlandıktan sonra bu parçalar bir araya getirilerek hedeflenen HF almaç donanımı gerçekleştirilmiştir.

Donanım tasarımının yanı sıra FPGA kullanarak sayısal HF monitörünün kalbini oluşturan sinyal işleme işlemleri gerçekleştirilmiştir. Sisteme gelen RF sinyal ADC ile sayısallaştırılarak FPGA içerisine alınmıştır. FPGA içerisine 252 us'lik pencereler ile kayıt edilen bu verinin 16384 nokta FFT'si alınmıştır. Bu yüksek örnekleme ile 3,9673 kHz'lik bir frekans çözünürlüğü elde edilmiştir. İşlenen bu veriler bilgisayar ortamına aktarılıp çizdirilmiştir. Yakalanan yayının genlik ve frekans bilgileri gösterilmiştir.

Sayısal tasarım ile donanım tasarımı bir araya getirilerek sistem mimarisi oluşturulmuştur. Belirlenen farklı senaryolarda ölçümler alınıp sonuçlar ortaya konmuştur. Bu sonuçlar ile HF almacının düşük genliklerde (-80 dBm gibi) gelen yayınları algıladığı gösterilmiştir. Ayrıca sistemin 0-30 MHz aralığında efektif bir şekilde çalıştığı gösterilmiştir. HF monitörü; FM, AM, ve pulse gibi modüle edilmiş sinyallerinde başarılı bir şekilde tespit ettiği sonuçlar ile ortaya konmuştur.

Sonu olarak, bu tez alıřması, elektronik harp sistemleri iin etkili ve verimli HF monitörünün geliřtirilmesine katkıda bulunmuřtur. Gelecekte, bu monitörün farklı senaryolar ile geniřletilmiř uygulama alanlarında test edilmesi ve sistemin optimize edilmesi ile tařınabilir uygulamalar iin ürün haline getirilmesi mümkündür.

## REFERANSLAR

- [1] Jong-Hyeon Bang, Do-Hyun Park, and Hyoung-Nam Kim. Improved toa and pulse width estimation for wideband signal in electronic warfare systems. In *2022 19th European Radar Conference (EuRAD)*, pages 73–76. **2022**. doi:10.23919/EuRAD54643.2022.9924923.
- [2] Awei Zhang, Jinping Xu, Chenkai He, Chunmin Wang, and Qiukai Ju. An e band wideband superheterodyne receiver front-end using large-dynamic-range automatic-gain-control loop. In *2022 International Symposium ELMAR*, pages 23–25. **2022**. doi:10.1109/ELMAR55880.2022.9899816.
- [3] P. Cruz, H. Gomes, and N. Carvalho. Receiver front-end architectures - analysis and evaluation. In *Advanced Microwave and Millimeter Wave Technologies Semiconductor Devices Circuits and Systems*, page 495–521. **2010**.
- [4] Wang Guoqing, Wei Xizhang, and Lu Huanzhang. Double-if quadrature demodulation of super-heterodyne radar receiver. In *2008 9th International Conference on Signal Processing*, pages 2505–2508. **2008**. doi:10.1109/ICOSP.2008.4697658.
- [5] Feiyan Mu, Xiaohe Liu, Baosheng Ye, and Jingfu Bao. A new method of phase uniformity correction in multi-channel receivers. In *2011 International Conference on E-Business and E-Government (ICEE)*, pages 1–4. **2011**. doi:10.1109/ICEBEG.2011.5881673.
- [6] Chadi Jabbour, Hasham Khushk, Hussein Fakhoury, Van Tam Nguyen, and Patrick Loumeau. A lp/hp umts/gsm adc suited for a zero-if/low-if receiver. In *2011 IEEE International Symposium of Circuits and Systems (ISCAS)*, pages 1125–1128. **2011**. doi:10.1109/ISCAS.2011.5937768.
- [7] G. Vallant, M. Epp, W. Schlecker, U. Schneider, L. Anttila, and M. Valkama. Analog iq impairments in zero-if radar receivers: Analysis, measurements



- and digital compensation. In *2012 IEEE International Instrumentation and Measurement Technology Conference Proceedings*, pages 1703–1707. **2012**. doi:10.1109/I2MTC.2012.6229222.
- [8] Delia Rodriguez De Llera Gonzalez, Ana Rusu, and Mohammed Ismail. Automated receiver design and optimization for 4g wireless communication systems. In *2006 IEEE International Behavioral Modeling and Simulation Workshop*, pages 132–137. **2006**. doi:10.1109/BMAS.2006.283483.
- [9] Dawid W. Rosolowski and Przemyslaw Korpas. Iq-imbalance and dc-offset compensation in ultrawideband zero-if receiver. In *2020 23rd International Microwave and Radar Conference (MIKON)*, pages 209–213. **2020**. doi:10.23919/MIKON48703.2020.9253894.
- [10] Apsana Khatoon and Prasanna Kumar Misra. A 86 mw of power, 1.57 db of noise figure, low-if cmos receiver front end for sub-6 ghz applications. In *2024 3rd International Conference for Innovation in Technology (INOCON)*, pages 1–5. **2024**. doi:10.1109/INOCON60754.2024.10511606.
- [11] N. Davies. Digital radio and its application in the hf (2-30 mhz) band. **2004**.
- [12] Ravinder Pratap Singh Rathore. Reconfigurable digital radar receiver implemented in fpga using under-sampling, direct iq generation, multi-rate filter and pulse compression. In *2014 IEEE International Microwave and RF Conference (IMaRC)*, pages 174–177. **2014**. doi:10.1109/IMaRC.2014.7039001.
- [13] Tran Thi Lan, Kohei Kawabata, and Hiroyuki Arai. Utilization of inverted-f antenna elements to design a platform-mounted hf antenna. In *2019 International Conference on Advanced Technologies for Communications (ATC)*, pages 15–18. **2019**. doi:10.1109/ATC.2019.8924499.
- [14] Kai Ren, Mohammad Ranjbar Nikkhah, and Nader Behdad. Earth-effect emulation using periodic structures in scaled-model characterization of hf

- antennas. *IEEE Antennas and Wireless Propagation Letters*, 18(12):2731–2735, **2019**. doi:10.1109/LAWP.2019.2950351.
- [15] Lojain Syed, Syed Hamza Hasan, Hamza Rashid, and Wajid Gulistan. Designing band pass filter for hf radio’s front end. In *2019 International Conference on Communication Technologies (ComTech)*, pages 60–64. **2019**. doi:10.1109/COMTECH.2019.8737794.
- [16] Keysight. Pathwave rf synthesis programı(genesys) bilgi sayfası. <https://www.keysight.com/us/en/assets/3121-1099/technical-overviews/Pathwave-RF-Synthesis-Genesys.pdf>, **2024**. Erişim tarihi: (01.09.2024).
- [17] Mini Circuits Web sitesi. Gali-51 Bilgi Sayfası. <https://www.minicircuits.com/pdfs/GALI-51+.pdf>. Erişim tarihi: (19.05.2024).
- [18] J. B. Tsui. Designing band pass filter for hf radio’s front end. In “*Digital techniques for wideband receivers*”. **2001**.
- [19] Texas Instruments Web sitesi. ADS4449 Veri Sayfası. <https://www.ti.com/document-viewer/ads4449/datasheet>. Erişim tarihi: (11.05.2024).
- [20] D. Kress. In “*Understanding AC Behaviors of High Speed ADCs*”. **2019**.
- [21] Texas Instruments Web sitesi. THS4500 Veri Sayfası. <https://www.ti.com/lit/gpn/ths4500>. Erişim tarihi: (11.05.2024).
- [22] RALTRON. Raltron xco782kv12-200.00 Ürün dokümanı. <https://www.raltron.com/>, **2022**. Erişim tarihi: (01.06.2024).
- [23] Andrew Boutros and Vaughn Betz. Fpga architecture: Principles and progression. *IEEE Circuits and Systems Magazine*, 21(2):4–29, **2021**. doi:10.1109/MCAS.2021.3071607.

- [24] AMD XILINX. Artix-7 Ürün Dokümanı .  
<https://www.amd.com/content/dam/amd/en/documents/products/adaptive-socs-and-fpgas/fpga/7-series/artix7-product-brief.pdf>, **2017**. (Erişim tarihi: 01.06.2024).
- [25] Simens. Mentor Pads PCB Program Bilgi Sayfası .  
<https://eda.sw.siemens.com/en-US/pcb/pads/>, **2024**. (Erişim tarihi: 01.09.2024).
- [26] V. Pavidha and A. Jayakumar. Design and analysis of microstrip yagi uda antenna for 5g communication on fr4 substrate. In *2023 2nd International Conference on Smart Technologies and Systems for Next Generation Computing (ICSTSN)*, pages 1–7. **2023**. doi:10.1109/ICSTSN57873.2023.10151514.
- [27] Saturn PCB. Saturn PCB Program Bilgi Sayfası .  
<https://saturnpcb.com/saturn-pcb-toolkit/>, **2024**. (Erişim tarihi: 01.09.2024).
- [28] AMD Xilinx Web sitesi. Vivado 2019.1 Yazılımı Rehberi.  
<https://docs.amd.com/v/u/2019.1-English/ug973-vivado-release-notes-install-license>.  
Erişim tarihi: (18.05.2024).
- [29] Ieee standard vhdl language reference manual. *IEEE Std 1076-2008 (Revision of IEEE Std 1076-2002)*, pages 1–640, **2009**. doi:10.1109/IEEESTD.2009.4772740.
- [30] Tianxiang Liu and Yunfeng Wang. Ip design of universal multiple devices spi interface. In *2011 IEEE International Conference on Anti-Counterfeiting, Security and Identification*, pages 169–172. **2011**. doi:10.1109/ASID.2011.5967443.
- [31] Panrang Qu, Erjun Yu, Qianqian Zhang, Xin Guo, and Zhaoyang Xue. Analysis of the maximum transmission rate of spi bus between embedded processor and fpga. In *2022 41st Chinese Control Conference (CCC)*, pages 5765–5768. **2022**. doi:10.23919/CCC55666.2022.9902085.

- [32] Shumit Saha, Md. Ashikur Rahman, and Amit Thakur. Design and implementation of spi bus protocol with built-in-self-test capability over fpga. In *2014 International Conference on Electrical Engineering and Information Communication Technology*, pages 1–6. **2014**. doi:10.1109/ICEEICT.2014.6919076.
- [33] Yu Cao, Peng Miao, and Fei Li. A novel calibration algorithm for timing mismatch in time-interleaved adcs. In *2019 5th International Conference on Frontiers of Signal Processing (ICFSP)*, pages 126–130. **2019**. doi:10.1109/ICFSP48124.2019.8938053.
- [34] AMD Xilinx Web sitesi. Xilinx 7 Serisi FPGA Ailesi Giriş Çıkış Kaynakları. <https://docs.amd.com/v/u/en-US/ug471-7Series-SelectIO>. Erişim tarihi: (18.05.2024).
- [35] Chow Yew Meng, Bai Haonan, Grace Tan, Peter F Salinas, and Johney Ou Yang. Electrical and physical analysis of a 28nm fpga programmable delay circuit single tap delay failure. In *Proceedings of the 21th International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, pages 173–177. **2014**. doi:10.1109/IPFA.2014.6898155.
- [36] Duarte L. Oliveira and Orlando Verducci. Interfacing synchronous modules to multi-clock synchronous digital systems implemented in fpga. In *2023 IEEE Seventh Ecuador Technical Chapters Meeting (ECTM)*, pages 1–6. **2023**. doi:10.1109/ETCM58927.2023.10309008.
- [37] Rohit P. Menon and Mitchell A. Thornton. Global multiple-valued clock approach for high- performance multi-phase clock integrated circuits. In *2012 IEEE 42nd International Symposium on Multiple-Valued Logic*, pages 19–24. **2012**. doi:10.1109/ISMVL.2012.30.
- [38] E.I. Boemo, S. Lopez-Buedo, and J.M. Meneses. The wave pipeline effect on lut-based fpga architectures. In *Fourth International ACM Symposium on*

- Field-Programmable Gate Arrays*, pages 45–50. **1996**. doi:10.1109/FPGA.1996.242342.
- [39] AMD Xilinx Web sitesi. Vivado Tasarım Rehberi:Tasarım Analizi ve Kapanış Teknikleri. <https://docs.amd.com/r/en-US/ug906-vivado-design-analysis/Single-Bit-Synchronizer>. Erişim tarihi: (18.05.2024).
- [40] Yanjun Zhang, Chunli Yi, Jinqi Wang, and Jinye Zhang. Asynchronous fifo implementation using fpga. In *Proceedings of 2011 International Conference on Electronics and Optoelectronics*, volume 3, pages V3–207–V3–209. **2011**. doi:10.1109/ICEOE.2011.6013339.
- [41] AMD Xilinx Web sitesi. FIFO Üreteci IP Kullanım Klavuzu. <https://docs.amd.com/v/u/en-US/pg057-fifo-generator>. Erişim tarihi: (18.05.2024).
- [42] L.Tan. Receiver front-end architectures - analysis and evaluation. In *Digital Signal Processing Fundamentals and Applications*, pages 87–90. **2008**.
- [43] Ruchira Shirbhate, Tejaswini Panse, and Chetan Ralekar. Design of parallel fft architecture using cooley tukey algorithm. In *2015 International Conference on Communications and Signal Processing (ICCSP)*, pages 0574–0578. **2015**. doi:10.1109/ICCSP.2015.7322551.
- [44] Mayura Patrikar and Vaishali Tehre. Design and power measurement of different points fft using radix-2 algorithm for fpga implementation. In *2017 International conference of Electronics, Communication and Aerospace Technology (ICECA)*, volume 1, pages 190–195. **2017**. doi:10.1109/ICECA.2017.8203669.
- [45] Zhijian Sun, Xuemei Liu, and Zhongxing Ji. The design of radix-4 fft by fpga. In *2008 International Symposium on Intelligent Information Technology Application Workshops*, pages 765–768. **2008**. doi:10.1109/IITA.Workshops.2008.32.

- [46] AMD Xilinx Web sitesi. FFT IP Kullanım Klavuzu. [https://www.xilinx.com/support/documents/ip\\_documentation/xfft/v9\\_1/pg109-xfft.pdf/](https://www.xilinx.com/support/documents/ip_documentation/xfft/v9_1/pg109-xfft.pdf/), **2023**. (Erişim tarihi : 19.05.2024).
- [47] Wenyu Wang. Optimization of uart communication protocol based on frequency multiplier sampling technology and asynchronous fifo. In *2023 IEEE 2nd International Conference on Electrical Engineering, Big Data and Algorithms (EEBDA)*, pages 280–285. **2023**. doi:10.1109/EEBDA56825.2023.10090630.
- [48] Shumit Saha, Md. Ashikur Rahman, and Amit Thakur. Design and implementation of a bist embedded high speed rs-422 utilized uart over fpga. In *2013 Fourth International Conference on Computing, Communications and Networking Technologies (ICCCNT)*, pages 1–5. **2013**. doi:10.1109/ICCCNT.2013.6726481.
- [49] Keysight Web sitesi. 8257D Sinyal Kaynağı Kullanım Klavuzu. <https://www.keysight.com/us/en/assets/7018-01211/data-sheets/5989-0698.pdf>, **2017**. (Erişim tarihi: 01.06.2024).
- [50] Keysight Web sitesi. E4440A Spektrum Analizör Kullanım Klavuzu. [www.keysight.com/us/en/assets/7018-02149/5990-3990.pdf](http://www.keysight.com/us/en/assets/7018-02149/5990-3990.pdf), **2017**. (Erişim tarihi: 01.06.2024).
- [51] Keysight Web sitesi. N5230A Netwrok Analizör Kullanım Klavuzu. [www.keysight.com/us/en/assets/7018-06818/technical-overviews/5968-6759.pdf](http://www.keysight.com/us/en/assets/7018-06818/technical-overviews/5968-6759.pdf), **2017**. (Erişim tarihi: 01.06.2024).

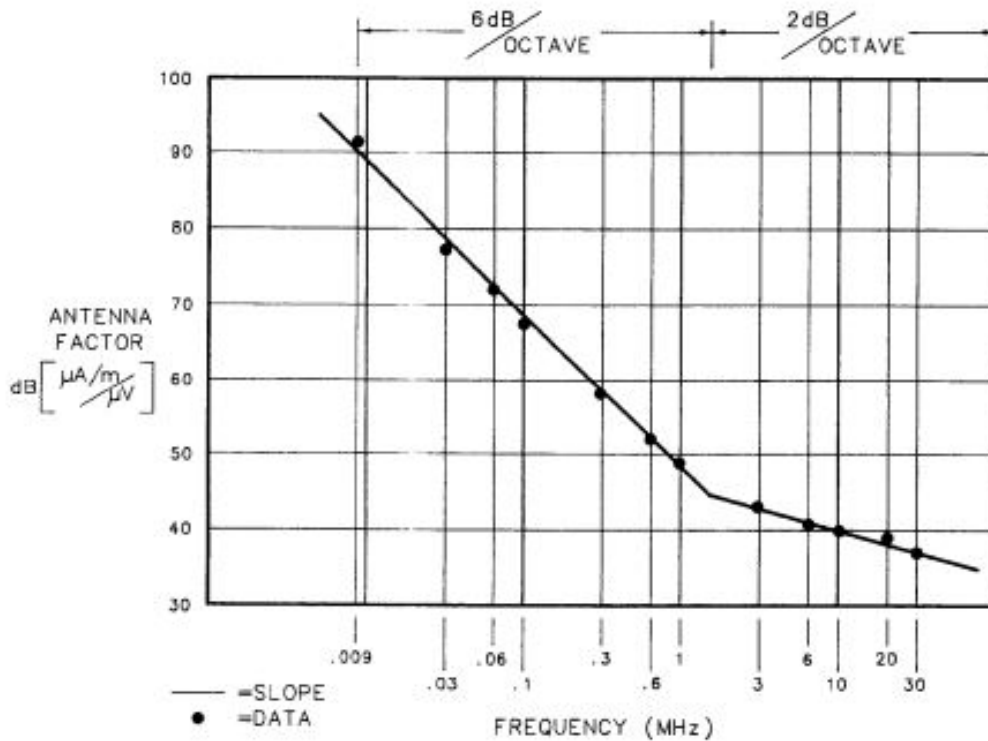
# EKLER

## EK1- Anten Özellikleri

Antenna Factor:	Measured for each unit at 0.009, 0.100, 1, 10, and 30 MHz to within $\pm 2$ dB in a 377-ohm field impedance. See Figure 1 for characteristic antenna factor data.
Temperature Range:*	0°C to +40°C $< \pm 1$ dB (Operating) -10°C to +65°C (Storage)
Frequency Range:	9 kHz–30 MHz
Connector:	SMA, replaceable barrel
Maximum Input Power:	0.5 watts
Maximum voltage at tip:*	1 kV (dc + peak ac)
Weight:*	Net: 0.10 kg (0.22 lbs) Shipping: 0.56 kg (1.2 lbs)

DIMENSIONS IN MILLIMETERS AND (INCHES)

\*supplemental characteristic



## EK2- Gali51 Entegre Özellikleri

### Electrical Specifications at 25°C and 65mA, unless noted

Parameter	Min.	Typ.	Max.	Units	
Frequency Range*	DC		4	GHz	
Gain					
	f=0.1 GHz	—	18.1	—	dB
	f=1 GHz	—	17.5	—	
	f=2 GHz	14	16.1	—	
	f=3 GHz	—	14.7	—	
	f=4 GHz	—	13.7	—	
	f=5 GHz	—	13.4	—	
Input Return Loss	f= DC to 3 GHz		17.5		dB
	f= 3 to 4 GHz		21		
Output Return Loss	f= DC to 3 GHz		14		dB
	f= 3 to 4 GHz		11.5		
Output Power @ 1 dB compression	f=1 GHz	16.5	18.0	—	dBm
Output IP3	f=1 GHz		35		dBm
Noise Figure	f=1 GHz		3.5		dB
Recommended Device Operating Current			65		mA
Device Operating Voltage		4.2	4.5	5.5	V
Device Voltage Variation vs. Temperature at 65 mA			-3.2		mV/°C
Device Voltage Variation vs. Current at 25°C			5.8		mV/mA
Thermal Resistance, junction-to-case <sup>1</sup>			78		°C/W

\*Guaranteed specification DC-4 GHz. Low frequency cut off determined by external coupling capacitors.



## EK3- ADS4449 Entegresinin Özellikleri

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNITS	
<b>RESOLUTION</b>							
Default resolution				14		Bits	
<b>ANALOG INPUTS</b>							
Differential input full-scale				2		V <sub>pp</sub>	
V <sub>CM</sub>	Common mode input voltage			1.15		V	
R <sub>IN</sub>	Input resistance, differential	At 170-MHz input frequency		700		Ω	
C <sub>IN</sub>	Input capacitance, differential	At 170-MHz input frequency		3.3		pF	
Analog input bandwidth, 3 dB		with a 50-Ω source driving the ADC analog inputs		500		MHz	
<b>DYNAMIC ACCURACY</b>							
E <sub>O</sub>	Offset error	Specified across devices and channels	-15		15	mV	
E <sub>G</sub>	Gain error <sup>(2)</sup>	As a result of internal reference inaccuracy alone	Specified across devices and channels		-5	5	%FS
		Of channel alone	Specified across channels within a device		±0.2		
Channel gain error temperature coefficient <sup>(2)</sup>					0.001	Δ%/°C	
<b>POWER SUPPLY<sup>(1)</sup></b>							
I <sub>AVDD03</sub>	Supply current	3.3-V analog supply		51		mA	
I <sub>AVDD</sub>		1.9-V analog supply		350		mA	
I <sub>DVDD</sub>		1.8-V digital supply		355		mA	
P <sub>TOTAL</sub>	Power dissipation	Total		1.47	1.6	W	
P <sub>DISS(standby)</sub>		Standby		400		mW	
P <sub>DISS(global)</sub>		Global power-down		6	52	mW	
<b>DYNAMIC AC CHARACTERISTICS</b>							
SNR	Signal-to-noise ratio	f <sub>N</sub> = 40 MHz		71.1		dBFS	
		f <sub>N</sub> = 70 MHz		71			
		f <sub>N</sub> = 140 MHz		69.5			
		f <sub>N</sub> = 170 MHz	67.5	69			
		f <sub>N</sub> = 220 MHz		68.5			
		f <sub>N</sub> = 307 MHz		67.5			
		f <sub>N</sub> = 350 MHz		67			
SINAD	Signal-to-noise and distortion ratio	f <sub>N</sub> = 40 MHz		70.9		dBFS	
		f <sub>N</sub> = 70 MHz		70.8			
		f <sub>N</sub> = 140 MHz		69.3			
		f <sub>N</sub> = 170 MHz	66.9	68.8			
		f <sub>N</sub> = 220 MHz		68.3			
		f <sub>N</sub> = 307 MHz		66.8			
		f <sub>N</sub> = 350 MHz		66.3			
SFDR	Spurious-free dynamic range	f <sub>N</sub> = 40 MHz		84		dBc	
		f <sub>N</sub> = 70 MHz		87			
		f <sub>N</sub> = 140 MHz		85			
		f <sub>N</sub> = 170 MHz	78.5	86			
		f <sub>N</sub> = 220 MHz		84			
		f <sub>N</sub> = 307 MHz		78			
		f <sub>N</sub> = 350 MHz		77			

## EK4- THS4500 Entegresinin Özellikleri

PARAMETER	TEST CONDITIONS	THS4500 AND THS4501					MIN/ TYP/ MAX
		TYP	OVER TEMPERATURE			UNITS	
		+25°C	+25°C	0°C to +70°C	-40°C to +85°C		
<b>AC PERFORMANCE</b>							
Small-signal bandwidth	$G = +1, P_{IN} = -20 \text{ dBm}, R_F = 392 \Omega$	370				MHz	Typ
	$G = +2, P_{IN} = -30 \text{ dBm}, R_F = 1 \text{ k}\Omega$	175				MHz	Typ
	$G = +5, P_{IN} = -30 \text{ dBm}, R_F = 2.4 \text{ k}\Omega$	70				MHz	Typ
	$G = +10, P_{IN} = -30 \text{ dBm}, R_F = 5.1 \text{ k}\Omega$	30				MHz	Typ
Gain-bandwidth product	$G > +10$	300				MHz	Typ
Bandwidth for 0.1-dB flatness	$P_{IN} = -20 \text{ dBm}$	150				MHz	Typ
Large-signal bandwidth	$V_P = 2 \text{ V}$	220				MHz	Typ
Slew rate	$4 V_{PP} \text{ Step}$	2800				V/ $\mu\text{s}$	Typ
Rise time	$2 V_{PP} \text{ Step}$	0.4				ns	Typ
Fall time	$2 V_{PP} \text{ Step}$	0.5				ns	Typ
Settling time to 0.01%	$V_O = 4 V_{PP}$	8.3				ns	Typ
0.1%	$V_O = 4 V_{PP}$	6.3				ns	Typ
Harmonic distortion	$G = +1, V_O = 2 V_{PP}$						Typ
2nd harmonic	$f = 8 \text{ MHz}$	-82				dBc	Typ
	$f = 30 \text{ MHz}$	-71				dBc	Typ
3rd harmonic	$f = 8 \text{ MHz}$	-97				dBc	Typ
	$f = 30 \text{ MHz}$	-74				dBc	Typ
Third-order intermodulation distortion	$V_O = 2 V_{PP}, f_C = 30 \text{ MHz}, R_F = 392 \Omega,$ 200 kHz tone spacing	-90				dBc	Typ
Third-order output intercept point	$f_C = 30 \text{ MHz}, R_F = 392 \Omega,$ Referenced to 50 $\Omega$	49				dBm	Typ
Input voltage noise	$f > 1 \text{ MHz}$	7				nV/ $\sqrt{\text{Hz}}$	Typ
Input current noise	$f > 100 \text{ kHz}$	1.7				pA/ $\sqrt{\text{Hz}}$	Typ
Overdrive recovery time	Overdrive = 5.5 V	60				ns	Typ
<b>DC PERFORMANCE</b>							
Open-loop voltage gain		55	52	50	50	dB	Min
Input offset voltage		-4	-7/-1	-8/0	-9/+1	mV	Max
Average offset voltage drift				$\pm 10$	$\pm 10$	$\mu\text{V}/^\circ\text{C}$	Typ
Input bias current		4	4.6	5	5.2	$\mu\text{A}$	Max
Average bias current drift				$\pm 10$	$\pm 10$	nA/ $^\circ\text{C}$	Typ
Input offset current		0.5	1	2	2	$\mu\text{A}$	Max
Average offset current drift				$\pm 40$	$\pm 40$	nA/ $^\circ\text{C}$	Typ
<b>INPUT</b>							
Common-mode input range		-5.7/2.6	-5.4/2.3	-5.1/2	-5.1/2	V	Min
Common-mode rejection ratio		80	74	70	70	dB	Min
Input impedance		$10^7 \parallel 1$				$\Omega \parallel \text{pF}$	Typ
<b>OUTPUT</b>							
Differential output voltage swing	$R_L = 1 \text{ k}\Omega$	$\pm 8$	$\pm 7.6$	$\pm 7.4$	$\pm 7.4$	V	Min
Differential output current drive	$R_L = 20 \Omega$	120	110	100	100	mA	Min
Output balance error	$P_{IN} = -20 \text{ dBm}, f = 100 \text{ kHz}$	-58				dB	Typ
Closed-loop output impedance (single-ended)	$f = 1 \text{ MHz}$	0.1				$\Omega$	Typ

## EK5- XCO782KV12-200.00 Entegresinin Özellikleri

LVDS	PARAMETER	SYMBOL	CONDITION	VALUE			UNIT
				Min	Typ.	Max	
				Frequency Range	$f_o$	Up to 4 available frequencies	
Differential Output Voltage	$V_{OD}$	10 – 1200 MHz		0.6		V	
Offset Voltage	$V_{OS}$	V DC		1.3		V	
Rise/Fall Time	$T_r/T_f$				0.35	ns	
Supply Current	$I_s$	2.5V	10 – 50 MHz			25	mA
			51 – 215 MHz			30	
			216 – 640 MHz			43	
			641 – 1200 MHz			60	
		3.3V	10 – 50 MHz			65	
			51 – 215 MHz			72	
			216 – 640 MHz			83	
			641 – 1200 MHz			100	
Output Load	$O_{CL}$	Differential 100 $\Omega$ Load Connected Between Each Output			100	$\Omega$	


# EK6- ARTIX-7 Entegresinin Özellikleri

Artix-7 FPGAs									
Transceiver Optimization at the Lowest Cost and Highest DSP Bandwidth (1.0V, 0.95V, 0.9V)									
	Part Number	XC7A12T	XC7A15T	XC7A25T	XC7A35T	XC7A50T	XC7A75T	XC7A100T	XC7A200T
Logic Resources	Logic Cells	12,800	16,640	23,360	33,280	52,160	75,520	101,440	215,360
	Slices	2,000	2,600	3,650	5,200	8,150	11,800	15,850	33,650
	CLB Flip-Flops	16,000	20,800	29,200	41,600	65,200	94,400	126,800	269,200
Memory Resources	Maximum Distributed RAM (Kb)	171	200	313	400	600	892	1,188	2,888
	Block RAM/FIFO w/ ECC (36 Kb each)	20	25	45	50	75	105	135	365
	Total Block RAM (Kb)	720	900	1,620	1,800	2,700	3,780	4,860	13,140
Clock Resources	CMTs (1 MMCM + 1 PLL)	3	5	3	5	5	6	6	10
I/O Resources	Maximum Single-Ended I/O	150	250	150	250	250	300	300	500
	Maximum Differential I/O Pairs	72	120	72	120	120	144	144	240
	DSP Slices	40	45	80	90	120	180	240	740
Embedded Hard IP Resources	PCIe® Gen2 <sup>(1)</sup>	1	1	1	1	1	1	1	1
	Analog Mixed Signal (AMS) / XADC	1	1	1	1	1	1	1	1
	Configuration AES / HMAC Blocks	1	1	1	1	1	1	1	1
	GTP Transceivers (6.6 Gb/s Max Rate) <sup>(2)</sup>	2	4	4	4	4	8	8	16
Speed Grades	Commercial Temp (C)	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2
	Extended Temp (E)	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3
	Industrial Temp (I)	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L
	Package <sup>(3), (4)</sup>	Dimensions (mm)	Ball Pitch (mm)	Available User I/O: 3.3V SelectIO™ HR I/O (GTP Transceivers)					
	CPG236	10 x 10	0.5		106 (2)	106 (2)	106 (2)		
	CPG238	10 x 10	0.5	112 (2)		112 (2)			
	CSG324	15 x 15	0.8		210 (0)	210 (0)	210 (0)	210 (0)	
	CSG325	15 x 15	0.8	150 (2)	150 (4)	150 (4)	150 (4)		
	FTG256	17 x 17	1.0		170 (0)	170 (0)	170 (0)	170 (0)	
	SBG484	19 x 19	0.8						285 (4)
Footprint Compatible	FBG484 <sup>(5)</sup>	23 x 23	1.0		250 (4)	250 (4)	250 (4)	285 (4)	285 (4)
	FBG484 <sup>(5)</sup>	23 x 23	1.0						285 (4)
Footprint Compatible	FBG676 <sup>(6)</sup>	27 x 27	1.0				300 (8)	300 (8)	
	FBG676 <sup>(6)</sup>	27 x 27	1.0						400 (8)
	FFG1156	35 x 35	1.0						500 (16)

Notes:

1. Supports PCI Express Base 2.1 specification at Gen1 and Gen2 data rates.
2. Represents the maximum number of transceivers available. Note that the majority of devices are available without transceivers. See the Package section of this table for details.
3. Leaded package option available for all packages. See [DS180](#), 7 Series FPGAs Overview for package details.
4. Device migration is available within the Artix-7 family for like packages but is not supported between other 7 series families.
5. Devices in FBG484 and FBG484 are footprint compatible.
6. Devices in FBG676 and FBG676 are footprint compatible.

© Copyright 2014–2021 Xilinx

XMP101 (v1.8) 

## EK7- ADC Yazmaç Bilgisi

REGISTER ADDRESS A[7:0] (Hex)	REGISTER DATA								
	D7	D6	D5	D4	D3	D2	D1	D0	
00	0	0	0	0	0	0	RESET	READOUT	
01	LVDS SWING							0	0
25	DIGITAL GAIN CH B				DIGITAL GAIN BYPASS CH B		TEST PATTERN CH B		
2B	DIGITAL GAIN CH A				DIGITAL GAIN BYPASS CH A		TEST PATTERN CH A		
31	DIGITAL GAIN CH D				DIGITAL GAIN BYPASS CH D		TEST PATTERN CH D		
37	DIGITAL GAIN CH C				DIGITAL GAIN BYPASS CH C		TEST PATTERN CH C		
3D	0	0	OFFSET CORR EN1	0	0	0	0	0	
3F	0	0	CUSTOM PATTERN[13:8]						
40	CUSTOM PATTERN[7:0]								
42	0	0	0	0	DIGITAL ENABLE	0	0	0	
45	0	0	0	DIS OVR ON LSB	SEL OVR	GLOBAL POWER DOWN	0	CONFIG PDN PIN	
4A	0	0	0	0	0	0	0	LSR MODE CH A	
62	0	0	0	0	0	0	0	LSR MODE CH B	
7A	0	0	0	0	0	0	0	LSR MODE CH D	
92	0	0	0	0	0	0	0	LSR MODE CH C	
A9	0	0	0	0	CLOCKOUT DELAY PROG CH AB				
AC	0	CLOCKOUT DELAY PROG CH CD				0	0	ALWAYS WRITE 1	
C3	FAST OVR THRESH PROG								
C4	EN FAST OVR THRESH	0	0	0	0	0	0	0	
CF	0	0	0	0	OFFSET CORR EN2	0	0	0	
D6	ALWAYS WRITE 1	0	0	0	0	0	0	0	
D7	0	0	0	0	ALWAYS WRITE 1	ALWAYS WRITE 1	0	0	
F1	0	0	HIGH FREQ MODE	0	0	ENABLE LVDS SWING PROG			
58	0	0	HIGH SNR MODE CH A	0	0	0	0	0	
59	ALWAYS WRITE 1	0	0	0	0	0	0	0	
70	0	0	HIGH SNR MODE CH B	0	0	0	0	0	
71	ALWAYS WRITE 1	0	0	0	0	0	0	0	
88	0	0	HIGH SNR MODE CH D	0	0	0	0	0	
89	ALWAYS WRITE 1	0	0	0	0	0	0	0	
A0	0	0	HIGH SNR MODE CH C	0	0	0	0	0	
A1	ALWAYS WRITE 1	0	0	0	0	0	0	0	
FE	0	0	0	0	PDN CH D	PDN CH C	PDN CH A	PDN CH B	