

**ALÇAK GERİLİM DA SİSTEM TASARIMI VE 400 VDA
DÜZENLEYİCİ GERÇEKLEŞTİRİLMESİ**

**LOW VOLTAGE DC SYSTEM DESIGN AND
IMPLEMENTATION OF 400 VDC OPTIMIZER**

GÜRKAN GÖK

DR. ŞÖLEN KUMBAY YILDIZ

Tez Danışmanı

Hacettepe Üniversitesi
Lisansüstü Eğitim – Öğretim ve Sınav Yönetmeliğinin
Elektrik ve Elektronik Mühendisliği Anabilim Dalı İçin Öngördüğü
YÜKSEK LİSANS TEZİ
olarak hazırlanmıştır.

ÖZET

ALÇAK GERİLİM DA SİSTEM TASARIMI VE 400 VDA DÜZENLEYİCİ GERÇEKLEŞTİRİLMESİ

Gürkan GÖK

Yüksek Lisans, Elektrik Elektronik Mühendisliği Bölümü

Tez Danışmanı: Dr. Şölen KUMBAY YILDIZ

Haziran 2024, 96 sayfa

Bu çalışmada, bir Alçak Gerilim Doğru Akım (DA) sistem tasarımı ve DA Düzenleyici gerçekleştirilmesi anlatılmaktadır. Ön çalışma olarak DA mikro şebeke başarımının incelenmesi adına benzetim çalışması yapılmış ve gerekli ölçümler alınarak analizler gerçekleştirilmiştir. Alçak Gerilim DA gerilim değeri 400 VDA olarak belirlenmiştir. Sistemde yer alan her fotovoltaik panel DA Düzenleyici ile 400 VDA çıkış geriliminde çalışabilmektedir. DA Düzenleyici, paralel yapıda iki çapraz çevirgeç kullanarak ortak bara değeri olan 400 VDA gerilim ve değişken akım üretmektedir.

Sistem tasarımında, ortak baradan doğrudan güç çekilmesinin test edilebilmesi için örnek yükler eklenmiştir. Şebeke ve Alçak Gerilim DA sistemi arasındaki güç akışının sağlanması için DA-AA tam köprü evirgeç tasarlanmıştır. DA-AA evirgeç, çift yönlü, gerçek ve reaktif güç denetimini sağlayabilecek şekilde bağlaşımı kesme denetim yapısı kullanılarak tasarlanmıştır. Tasarlanan DA-DA çapraz çevirgeç 220 W ve 400 VDA değerlerine sahip olacak şekilde gerçekleştirilmiş ve test edilmiştir.

Anahtar Kelimeler: DA Düzenleyici, DA-AA Evirgeç, DA-DA Çapraz Çevirgeç, Alçak Gerilim Doğru Akım

ABSTRACT

LOW VOLTAGE DC SYSTEM DESIGN AND IMPLEMENTATION OF 400 VDC OPTIMIZER

Gürkan GÖK

Master of Science, Department of Electrical Electronics Engineering

Supervisor: Dr. Şölen KUMBAY YILDIZ

June 2024, 96 pages

This thesis presents the design of a Low Voltage Direct Current (DC) system and a DC optimizer. Initially, a system simulation was established to evaluate the performance of a DC micro grid, and measurements were taken and analyzed. The Low Voltage DC voltage value is set at 400 VDC. Each photovoltaic panel in the system can operate at an output voltage of 400 VDC with the assistance of a DC optimizer. The DC optimizer, utilizing an interleaved flyback converter structure, generates the system bus bar value of 400 VDC with variable current.

In the system design, sample loads were incorporated into the system simulation to test the power drawn directly from the common bus bar. Additionally, a DC-AC full bridge inverter was designed to facilitate power flow between the grid and the Low Voltage DC system. The DC-AC inverter employs a decoupling control structure to provide bidirectional real and reactive power control. The simulated DC optimizer was implemented and tested, achieving values of 220 W and 400 VDC.

Keywords: DC Optimizer, DC-AC Inverter, DC-DC Flyback Converter, Low Voltage Direct Current (LVDC)

TEŞEKKÜR

Tez çalışmalarım boyunca bilgi, deneyim ve yönlendirmeleriyle bana yol gösteren tez danışmanım Sayın Dr. Öğr. Üyesi Şölen KUMBAY YILDIZ'a,

Tezim boyunca hem maddi hem manevi desteğini esirgemeyen ve bana her türlü sabreden çok sevgili eşim Valeriia'ya

Teze başlarken bana maddi ve manevi destek veren sevgili anneme ve sevgili babama, manevi desteklerini hep hissettiğim sevgili ablama ve ailesine,

Tez çalışmalarında yanımda olan Hasan Doğan GAVCAR, Sinan KAYA, İbrahim ALIŞAR ve Şeyma Songül ÖZDİLLİ'ye

Aldığım dersler ile tez çalışmamda esin kaynağı olan Sayın Prof. Dr. Işık ÇADIRCI'ya ve Doç. Dr. Dinçer GÖKCEN'e

Tez sürecimdeki destekleri için Sevgili bölüm sekreterimiz Fidan KAHRAMAN'a,

TEŞEKKÜR EDERİM...

İÇİNDEKİLER

ÖZET.....	i
ABSTRACT	ii
TEŞEKKÜR	iii
İÇİNDEKİLER.....	iv
ŞEKİLLER DİZİNİ.....	vii
ÇİZELGELER DİZİNİ	ix
SİMGELER VE KISALTMALAR.....	x
SÖZLÜK	xii
1. GİRİŞ	1
2. SİSTEM ALT BLOKLARI İÇİN Lİteratür Çalışması	4
2.1 Maksimum Güç Noktası İzleme.....	4
2.1.1 Değiştir ve Gözle Metodu	8
2.1.2 Artırımlı İletkenlik Tekniği.....	8
2.1.3 Sabit Gerilim İzleyicisi (SGİ) Yöntemi	9
2.1.7 Maksimum Güç İzleme Noktası Yöntemlerinin Karşılaştırılması.....	11
2.2 DA-DA ÇEVİRGEÇ ÇEŞİTLERİ.....	11
2.2.1 Faz kaymalı paralel Yükseltici Çevirgeç	12
2.2.2 Faz kaymalı paralel İt-Çek (Push-Pull) Çevirgeç	13
2.2.3 Faz kaymalı paralel Çapraz Çevirgeç.....	14
2.3 DA-AA EVİRGEÇ ÇEŞİTLERİ.....	18
3. SİSTEM TASARIMI	21
3.1. DA-DA Çevirgeç Tasarımı	21
3.1.1. Maksimum Akım ve Gerilim Hesaplaması.....	21
3.1.2. Giriş Kapasitör Seçimi	23
3.1.3. DA-DA Çevirgeç Anahtar Seçimi.....	24
3.1.4. Yüksek Frekanslı Trafo Tasarımı.....	25

3.1.5 Çıkış Kapasitör Seçimi	32
3.1.6 Çıkış Diyotunun Seçilmesi	32
3.1.7 İzolasyonlu Toprakların Bağlantısı.....	33
3.1.8 Çapraz Çevirgeç MOSFET Sürücü Devresi Seçimi	33
3.1.9 DA Bağ Gerilimi Ölçülmesi	34
3.1.10 Birincil Tarafıta Yardımcı Güç Besleme Üniteleri	34
3.1.11 Çapraz Çevirgeç Çalışma Frekansının Belirlenmesi	35
3.2 DA-AA EVİRİCİ TASARIMI.....	35
3.2.1 Evirgeç Anahtar Seçimi	36
3.2.2 DA Kapasitör Değerinin Hesaplanması.....	37
4. SİSTEM ALGORİTMALARI.....	39
4.1 DA Düzenleyici	40
4.1.1 DA Düzenleyici Sistem Modeli.....	40
4.1.2 DA Düzenleyici Denetim Yöntemleri	44
4.1.3 DA-DA Çevirgeç Anahtarlama Sinyalleri Üretme	49
4.2 DA-AA EVİRİCİ DENETİM BLOKLARI	49
4.2.1 Faza Kilitlenme Döngü Tekniğinin Belirlenmesi.....	50
4.2.2 Evirgeç Anahtarlama Tekniğinin Belirlenmesi	51
4.2.3 Akım Denetim Algoritması.....	51
5. BENZETİM ÇALIŞMALARI.....	56
5.1 DA-DA ÇEVİRGEÇ DENETİM YÖNTEMLERİ	56
5.2 MİKRO ŞEBEKE SİSTEM MİMARİ BENZETİMLERİ	59
6. DA DÜZENLEYİCİ GERÇEKLEME SONUÇLARI	66
6.1 GERÇEK SİSTEM DENEY DÜZENİĞİ	66
6.2 UYGULAMA SONUÇLARI.....	67
7. SONUÇLAR.....	78
8. KAYNAKLAR	80
EKLER.....	87
EK 1 - IXQT90N15T MOSFET Teknik Bilgi Notu.....	87
EK 2 - Ferroxcube ETD 39 Çekirdek Teknik Bilgi Notu.....	89

EK 3 - Faratronic 450 VDA, MKP, 2 μ F Teknik Bilgi Notu.....	91
EK 4 - Çıkış Diyot Teknik Bilgi Notu	93
EK 5 - Tez Çalışması Orjinallik Raporu	Error! Bookmark not defined.
ÖZGEÇMİŞ	Error! Bookmark not defined.

ŞEKİLLER DİZİNİ

Şekil 2.1. Değişir ve Gözle Akış Şeması.....	8
Şekil 2.2. Artırımlı İletkenlik Tekniği Akış Şeması.....	9
Şekil 2.3. Farklı Işımm Değerleri İçin Fotovoltaik Panel I-V Karakteristikleri [27]	10
Şekil 2.4. Faz kaymalı paralel Yükseltici Dönüştürücü Topolojisi	13
Şekil 2.5. Faz kaymalı paralel İt-Çek Çevirgeç Topolojisi	14
Şekil 2.6. Faz kaymalı paralel Çapraz Çevirgeç Topolojisi	15
Şekil.2.7. 3 Faz Tam Köprü Evirgeç Topolojisi.....	19
Şekil.2.8. Sinüzoidal Darbe Genişlikli Modülasyonu Anahtarlama Sinyalleri [23].....	20
Şekil.3.1. Faz kaymalı paralel Çapraz Çevirgeç Topolojisi	21
Şekil 3.2. Dowell Eğrisi Üzerinde Birincil ve İkincil Sargı Kayıpları [41]	30
Şekil 3.3. Trafo Sandviç Sarım Gösterimi.....	31
Şekil 3.4. Çapraz Çevirgeç Kapı Sürücü Entegreleri	34
Şekil 3.5. Erişilen Maksimum Verim Sonucu	35
Şekil 4.1.Mikro Şebeke Mimarisi (DA Düzenleyici (DC Optimizer) + 3 Faz Reaktif Güç Desteği Verebilen DA-AA Evirgeç)	39
Şekil 4.2. Anahtarlama Periyodundaki Zaman Aralıkları a)1. Zaman Aralığı b) 2. Zaman Aralığı c) 3. Zaman Aralığı [63]	41
Şekil 4.3. Süreksiz İletim Modunda V_g Gerilim, I_s Akım, I_d Akım Ve V_{lm} Gerilim Değişimleri [63].....	41
Şekil 4.4. OTD Yapısı	44
Şekil 4.5. Kayan Kipli Denetim Kayma Kipi Hareketi [66]	46
Şekil 4.6. Kayan Kipli Denetim Bloğu.....	48
Şekil 4.7. DA-DA Çevirgeç Anahtarlama Sinyallerinin Üretim Bloğu	49
Şekil 4.8. Eşzaman Referans Çerçeve Faz Kilitleme Döngü Denetim Bloğu	51
Şekil 4.9. İki Seviyeli 3-Fazlı Evirgeç Yapısı.....	52
Şekil 4.10. Gerilim-Akım Dönüşümü.....	53
Şekil 4.11. D ve Q Akım OTDleri.....	53
Şekil 4.12. D-Q Düzleminde Aktif ve Reaktif Güç Denetimi.....	55
Şekil 5.1. DA Düzenleyici OT ve KKD Çıkış Gerilimleri.....	56
Şekil 5.2. DA Düzenleyici %50 Yükte OTD ve KKD Çıkış Kapasitörleri Üzerindeki Akımlar	57

Şekil 5.3. DA Düzenleyici %100 Yükte OTD ve KKD Çıkış Kapasitörleri Üzerindeki Akımlar	57
Şekil 5.4. DA Düzenleyici OTD ve KKD Trafo Birincil Taraf ve İkincil Taraf Üzerindeki Akımlar.....	58
Şekil 5.5. DA Düzenleyici OTD ve KKD Anahtarlama Sinyalleri	58
Şekil 5.6. MATLAB-Simulink'te Sistem Yapısı	60
Şekil 5.7. DA Düzenleyici Çevirgeç-1 ve Çevirgeç-2 Trafo Birincil Taraf Gerilim ve Akım Grafikleri	61
Şekil 5.8. DA Düzenleyici Çevirgeç-1 ve Çevirgeç-2 Trafo İkincil Sargı Gerilim ve Akım Grafikleri.....	62
Şekil 5.9. DA Düzenleyici Çıkış Gerilim ve Akım Grafikleri	62
Şekil 5.10. DA Düzenleyici Giriş Gerilim ve Akım Grafikleri.....	63
Şekil 5.11. Senaryo-1 Sistem Güç Akış Grafikleri	64
Şekil 5.12. Senaryo-2 Sistem Güç Akış Grafikleri.....	65
Şekil 5.13. Çıkış Gerilim ve Akım Grafikleri	65
Şekil 6.1. a) DA Düzenleyici Kartı Ön Yüzü b) DA Düzenleyici Kartı Arka Yüzü	67
Şekil 6.2. P5122 Osiloskop Yüksek Gerilim Probu Boşta Tolerans Değerleri.....	68
Şekil 6.3. Fluke Akım Probu Boşta Tolerans Değerleri.....	69
Şekil 6.4. MOSFET Gerilimi	70
Şekil 6.5. Çapraz Çevirgeçteki Kapasitansların ve Endüktansların Gösterimi.....	70
Şekil 6.6. MOSFET Anahtarlama Sinyalleri (1. Çapraz Çevirgeç Kapı Sinyali-Kırmızı, 2. Çapraz Çevirgeç Kapı Sinyali -Mavi).....	71
Şekil 6.7. Faz kaymalı paralel Çapraz Çevirgeç Yapısı MOSFET Gerilimi	72
Şekil 6.8. Faz kaymalı paralel Çapraz Çevirgeç %50 Yükte Çıkış Gerilimi ve Akımı	73
Şekil 6.9. Faz kaymalı paralel Çapraz Çevirgeç %100 Yükte Çıkış Gerilimi ve Akımı (OTD Değerleri $K_p= 0,02$ ve $K_i = 2,1$).....	72
Şekil 6.10. Faz kaymalı paralel Çapraz Çevirgeç %100 Yükte Çıkış Gerilimi ve Akımı (OTD Değerleri $K_p= 0,002$ ve $K_i = 1,2$).....	74
Şekil 6.10. Faz kaymalı paralel Çapraz Çevirgeç %100 Yükte Çıkış Gerilimi ve Akımı (OTD Değerleri $K_p= 0,02$ ve $K_i = 2,1$).....	Error! Bookmark not defined.
Şekil 6.11. MOSFET Üzerindeki Gerilim ve Trafo İkincil Sarım Üzerindeki Gerilim	75
Şekil 6.12. Trafo İkincil Taraf Üzerindeki Akım ve 1. Kapı Anahtarlama Sinyali	75
Şekil 6.13. Çapraz Çevirgeç %100 Yükte Çıkış Gerilimi ve Akımı	76
Şekil 6.14. Çevirgeç Verim Yüzdesi, Yük ve Giriş Gerilimi	76

ÇİZELGELER DİZİNİ

Çizelge 2.1. MGNİ Yöntemlerinin Karşılaştırılması.....	5
Çizelge 2.2. Çapraz Çevirgeç Çalışma Kiplerinin Karşılaştırılması.	16
Çizelge 3.1. Çapraz Çevirgeç Tasarım İsterleri.....	22
Çizelge 3.2. IXQT90N15T MOSFET Teknik Özellikleri.....	25
Çizelge 3.3. Ferroxcube ETD 39 Çekirdek Teknik Özellikler.....	27
Çizelge 3.4. Transformatör Teknik Özellikleri.....	31
Çizelge 3.5 Çıkış DiyOTDu Teknik Özellikleri.....	33
Çizelge 3.6. İki Seviyeli 3-Faz Evirgeç Tasarım Hedefleri.....	36
Çizelge 3.7. Evirgeç için Yarı-iletkenler.....	37
Çizelge 4.1. ABC- $\alpha\beta$ - DQ Düzlem Dönüşümü [77].....	50

SİMGELER VE KISALTMALAR

Simgeler

A	Alan
P	Güç
η	Verim
f	Frekans
D	Görev Döngüsü
J	Akım Yoğunluğu
T	Sıcaklık
C	Kapasitans
N	Trafo Tur Oranı
ϵ	Deri derinliği
S	Anahtar (Yarıiletken)
I, i	Akım
V, v	Gerilim
R	Direnç
L	Endüktans
m_e	Manyetik Geçirgenlik
t	Zaman

Kısaltmalar

AA	Alternatif Akım
AD	Açık Devre
ATK	Asimetrik Tek Kutuplu
ÇK	Çift Kutuplu
D	Görev Süresi
DA	Doğru Akım
EMG	Elektro Manyetik Girişim
ESE	Etkin Seri Endüktans
ESD	Etkin Seri Direnç
GaN HEMT	Galyum Nitrat Yüksek Elektron Hareketli Transistör (Gallium Nitride High Electron Mobility Transistor)
IGBT	Yalıtımlı Kapı Çift Kutuplu Transistör (Insulated-Gate Bipolar Transistor)
KD	Kısa Devre
KKD	Kayan Kipli Denetim
MGNİ	Maksimum Güç Noktası İzleme
MLP	Manyetik Yol Uzunluğu
MLT	Bir Turun Ortalama Uzunluğu
MOSFET	Metal Oksit Yarı İletkenli Alan Etkili Transistör (Metal Oxide Semiconductor Field Effect Transistor)
OTD	Oransal Tümlensel Denetim
SA	Sinir Ağları
SGİ	Sabit Gerilim İzleyicisi
SiC	Silisyum Karbür
TK	Tek Kutuplu

SÖZLÜK

Alternating Current (AC)	Alternatif Akım (AA)
Airgap	Hava Boşluğu
Auxiliary Power Supply	Yardımcı Güç Kaynağı
Amplitude	Genlik
Bidirectional	Çift Yönlü
Boost Converter	Yükseltici Çevirgeç
Buck Converter	Düşürücü Çevirgeç
Continuous Conduction Mode (CCM)	Sürekli İletim Modu
Closed-loop	Kapalı Döngü
Converter	Çevirgeç
Direct Current (DC)	Doğru Akım (DA)
DC/DC converter	DA/DA Çevirgeç
Dead Band	Ölü Bölge
Discontinous Conduction Mode (DCM)	Süreksiz İletim Modu
Duty Cycle	Görev Döngüsü
Evaluation Board	Geliştirme Kartı
Flyback Converter	Çapraz Çevirgeç
Gate Drive	Kapı Sürücü
Interleaved	Faz Kaymalı Paralel
Inverter	Evirgeç
Leakage	Sızıntı
Printed Circuit Board (PCB)	Baskı Devre Kartı
Push-Pull Converter	İt Çek Çevirgeç
Optimizer	Düzenleyici

1. GİRİŞ

Güneş enerjisi, çevre kirliliğinden arınmış sürdürülebilir enerji kaynağı olarak yıllar geçtikçe alternatiflerine göre daha çok öne çıkmaktadır. Üretim maliyetlerindeki düşüşler, depolama teknolojisindeki gelişmeler ve enerji tüketim yerine rahatlıkla kurulum yapılabilmesi nedenlerinden dolayı kullanımı yaygınlaşmaktadır [1]. Kullanım talebinin artması da güneş teknolojilerinde, güç elektroniği teknolojilerinin daha etkili kullanılması ile yeni gelişmeleri tetiklemektedir. Ayrıca stratejik devlet teşvikleri ve son kullanıcı için uygun ödeme takvimleri geniş çaplı kullanımı yaygınlaştırmaktadır [2]. Enerji alanındaki son gelişmeler dikkate alınarak literatür araştırması yapılmış ve teknolojinin mikro şebekeler üzerine yoğunlaşmaya başladığı belirlenmiştir. Bu neden ile mikro şebekeler bu tez çalışmasının ana motivasyonu olmuştur.

Mikro şebekeler, ortak bir doğru akım barasındaki gerilimin denetim edilmesi sayesinde diğer bağlantı baralarına akım akışını sağlayan; elektriğin üretildiği, dağıtıldığı ve tüketildiği küçük bir elektrik şebekeleridir [3]. Teknolojinin mikro şebekeler üzerine yoğunlaşmaya başlamasını öne çıkaran sebepler; elektrikli araçların yaygınlaşması [3], akıllı şebekeler için araçtan şebekeye sistemlerin kullanımının artacak olması [4], mikro şebekelerde batarya blokları sayesinde adalanma modunda (islanding mode) kullanımların artmasıdır [5]. Bir diğer neden, Alternatif Akım – Doğru Akım (AA-DA) çevirgeç veya doğrultucular kullanmak yerine Alçak gerilim doğru akımdan Doğru Akım-Doğru Akım (DA-DA) çevirgeçler yardımıyla doğrudan çalışabilecek verimi yüksek elektrik tüketim cihazlarının beslenebilmesi için yapılan alternatif mimari çalışmalarının artmasıdır. Alçak gerilim doğru akım mikro şebekeler rüzgâr ve güneş gibi enerji üretim kaynaklarının depolama sistemleri ile güçlendirilerek optimum mikro şebeke mimarileri yapılabilmesine olanak sağlamaktadır [4-8].

Hossain ve arkadaşlarının, mikro şebeke teknolojilerini farklı açılardan karşılaştırdığı çalışma, mevcut teknolojiler ile; sistem toplam gücü, verimlilik, CO ve Nox emisyon oranlarını, kaplayacakları alan, yatırım maliyetleri, elektrik üretim maliyetlerini ve bakım maliyetlerini ayrıntılı bir şekilde açıklamaktadır [9]. Ayrıca güç dönüşümleri için farklı güç elektroniği topolojileri açıklanmıştır. Mikro şebeke mimarilerinde kullanılacak AA-DA çevirgeç ve DA-DA çevirgeç topolojileri üzerine de açıklamalarda bulunmaktadır. Çalışmada, mikro şebeke teknolojilerini güç kalitesi konularına göre de karşılaştırması

mevcuttur. Mikro şebekelerin AA veya DA, merkezi ya da merkeziyetsiz denetim tekniklerinin ve adalanma ya da şebekeye bağlı bir yapıda çalışma karşılaştırmalarına da yer verilmiştir [9-12].

Mikro şebekelerde 400 V DA barası oluşturularak Alçak gerilimli doğru akım olarak isimlendirilen mimariler mevcuttur. Bu mimari yapısında yükler DA barasına DA-DA çevirgeçler yardımıyla bağlanmaktadır. Öte yandan yükleri beslemek için batarya ya da şebekeden ortak DA barasına güç sağlanmaktadır. Ayrıca fotovoltaik paneller DA barasına doğrudan enerji aktarabilmektedirler. Bunun için yükselteç görevi yapan DA-DA çevirgece gerek duyulmaktadır.

Fotovoltaik panellerin kullanımında kısıtlayıcı ve değişken faktörler bulunmaktadır. Bu faktörlerden panel karakteristiği kısıtlayıcı bir etkidir. Sıcaklık, güneş ışınımı ve gölgelenme gibi çevresel koşullar ise değişken etkenler olarak değerlendirilmektedir. Bu etkenler sebebiyle panellerin optimum verimde güç elde edilmesi için maksimum güç noktası takibi yapılması gerekmektedir [15]. Bu takibin yapılabilmesi için DA-DA çevirgeç yapılarında maksimum güç takip algoritmaları kullanılmaktadır [16]. Ayrıca DA-DA çevirgeçlerinin mikro şebekede sabit gerilimli doğru akım barası oluşturmak için seri veya paralel şekilde doğru akım barasına bağlantılı olması gerekmektedir [17]. Bu tip DA-DA çevirgeçler doğru akım Düzenleyiciler (Direct Current (DC) Optimizer) olarak adlandırılmaktadır [18]. Kim ve arkadaşları [18] farklı doğru akım Düzenleyiciler yapıları, farklı operasyonel modlarda sistem mimarisi analizleri ve sistem toplam güç çevrim verimliliği üzerine karşılaştırmalı bir yayın sunmuşlardır.

Alçak gerilim doğru akım mikro şebeke barasına bağlı olan bir diğer sistem birimi DA-AA evirgeçtir. Şebeke ve mikro şebeke arasındaki enerji akışını dengelemeye çalışmaktadır. Alçak gerilim doğru akım mikro evirgeç mimarisinde ana amaç doğru akım barasındaki gerilim değerinin sabit kalması ve akım üretim ve tüketim dengesinin sağlanmasıdır. Gerilim denetimli DA-AA evirgeç yapıları ile fotovoltaik panellerin ürettiği ve tüketim veya depolama fazlalığı olan enerji şebekeye aktararak kazanç elde edilmesi sağlanabilmektedir. Ayrıca ilgili evirgeçten şebekeye reaktif güç desteği verilebilme bu sayede şebeke kararlılığına destek sağlanabilmektedir [19-20].

Bu çalışmada, 400 V DA gerilim bara çıkışına sahip Alçak gerilim DA Düzenleyici gerçekleştirilmesi ve sistem mimarisinin ayrıntılı bir şekilde benzetim aracı üzerinden doğrulanması hedeflenmiştir.

20 adet fotovoltaik panel, 20 adet DA D zenleyici, y k ve Őebeke baęlantılı iki y nl  g c akıŐı gerekleŐtiren evirge ile sistem mimarisi oluŐturulmuŐtur. Sistem mimari doęrulaması MATLAB benzetim aracı  zerinden gerekleŐtirilmiŐtir.

DA D zenleyici iin Faz kaymalı paralel apraz evirge yapısı ŐeilmiŐtir. Benzetim aracı  zerinde farklı denetim y ntemleri denenmiŐ ve karŐılaŐtırılmıŐtır. DA D zenleyici gereklemesi ise sabit y k  zerinde alıŐtırılarak sonular paylaŐılmıŐtır. Yapılabilecek iyileŐtirmeler sonu b l m nde paylaŐılmıŐtır.

2. SİSTEM ALT BLOKLARI İÇİN LİTERATÜR ÇALIŞMASI

Hedeflenen sistem mimarisinde şebekeden mikro şebekeye enerji aktarımını gerçekleştirecek DA-AA evirgeç topolojisini, fotovoltaik panellerden enerjinin mikro şebekeye iletilmesini sağlayan DA Düzenleyici topolojisini ve panellerden maksimum enerji akışının sağlanması için Maksimum Güç Noktası izleme algoritması sistem verimliliğini etkileyecekleri için sistem alt blokları olarak belirlenmiştir [9-15]. Bu bölümde kullanılabilir alt bloklar avantajları/dezavantajları olarak irdelenmekte ve kullanılacak olan topolojilere ve yöntemlere karar verilmektedir.

2.1 Maksimum Güç Noktası İzleme

Maksimum Güç Noktası İzlemenin (MGNI) amacı değişken ve kısıtlayıcı etkenler altında fotovoltaik panelde en verimli gerilim noktasını çeşitli algoritmalar en hızlı şekilde tespit edilerek kullanılabilir maksimum gücün fotovoltaik panelden temin edilmesidir.

MGNI algoritması ve blokları, sistem güç çevrim verimini artırırken sistemin hacmini, ağırlığını ve maliyetini yükseltebilir. MGNI uygulaması soğuk, bulutlu veya sisli günlerde verime olan olumlu etkisini daha fazla göstermektedir [21-27].

Uygulanmakta olan ve üzerine çalışmalar yapılan farklı MGNI tekniklerinin aşağıda yer almaktadır:

- ❖ Dört ve Gözle (Perturb & Observe) Yöntemi [21],
- ❖ Artırmalı İletkenlik Tekniği (Incremental Conductance) [22],
- ❖ Bulanık Mantık Denetim (Fuzzy Logic Control) [21, 23],
- ❖ Sinir Ağları Yöntemi (Neural Network) [24],
- ❖ Kademeli Açık Devre (AD) Gerilimi ve Kısa Devre (KD) Akım Denetimi (Gradual Open Circuit Voltage and Short Circuit Current Control) [25],
- ❖ Akım Süpürme Denetimi (Current Sweep Control) [26],
- ❖ Sabit Gerilim İzleyicisi (SGİ) Yöntemi (Constant Voltage Tracker) [27]

Yukarıda belirtilmiş olan teknikler farklı farklı açılardan incelenmiştir. Yapılan çalışma sonucunda MGNI yöntemlerinin gerilim sensörü gerekliliği, akım sensörü gerekliliği Maksimum güç noktası (MGN) bulma hassasiyeti, MGN bulma hızı, algoritma karmaşıklığı, algoritma uygulanabilirliği, algoritma güncelleme gerekliliği ve tüm panel

türlerinde kullanılabilirlik karşılaştırmasının yapılabileceği belirlenmiştir. Yapılan çalışma tablo halinde Çizelge 2.1’de verilmiştir [21-27].

Çizelge 2.1. MGNİ Yöntemlerinin Karşılaştırılması.

	Dürt ve Gözle Yöntemi	Artırılmış İletkenlik Tekniği	Bulanık Mantık Denetim	Sinir Ağları Yöntemi	Kademeli AD Gerilimi ve KD Akım	Akım Stüpyürme Denetimi	Sabit Gerilim İzleyicisi (SGİ)
Gerilim Sensörü (Adet)	1	1	1	1	2	1	1
Akım sensörü(Adet)	1	1	1	1	1	1	X
MGN bulma Hassasiyeti	Düşük	Yüksek	Düşük	Yüksek	Düşük	Orta	Düşük
MGN Bulma Hızı	Hızlı	Çok hızlı	Hızlı	Hızlı	Yavaş	Yavaş	Çok hızlı
Algoritma Karmaşıklığı	Orta	Orta	Çok	Çok	Çok	Orta	Az
Algoritma güncelleme Uygulanabilirliği	Kolay	Kolay	Zor	Çok Zor	Zor	Kolay	Çok kolay
Algoritma güncelleme Gerekliliği	Yok	Yok	Var	Var	Yok	Yok	Var
Tüm Paneller Türlerinde Kullanılabilirlik	Var	Var	Yok	Yok	Var	Yok	Var

Gerilim sensör ihtiyaç sayıları bakımında Kademeli Açık Devre Gerilimi ve Kısa Devre Akım denetimi uygulaması kolay olan ancak diğer yöntemlere göre fazladan gerilim sensörü gerektiren bir yöntemdir [25]. Bu durum yapı maliyetini attırdığı için olumsuzdur.

MGNİ teknikleri gerilim sensör ihtiyaç sayıları bakımından karşılaştırıldığında ise SGI yöntemi akım sensörü gerektirmediği için öne çıkmaktadır [27].

MGN bulma hassasiyeti fotovoltaik panelden çekilen enerjinin maksimum olması verimliliği artıracığı için önemli bir kriterdir. Bu durumda Artırmalı İletkenlik ve Sinir Ağları Yöntemleri diğer tekniklere göre daha hassas olarak güç tepe noktasını tespit edebilmektedirler [22, 25, 75].

Artırmalı İletkenlik Yöntemi ve SGI yöntemleri MGN bulma hızı bakımından diğer yöntemlere göre daha hızlıdır [25, 27, 75].

Değiştir ve Gözle Metodu uygulaması kolay algoritma karmaşıklığı orta seviye MGNİ algoritmasıdır [21]. Ancak bu teknik MGN bulma hassasiyeti düşük olduğu için çıkış gücünde sınımlara sebebiyet verebilmektedir [21]. Ayrıca, çok hızlı atmosferik değişimlerinde, özellikle bulutlanma durumlarında, MGNİ verimsiz gerilim değerlerine yönelebilmektedir [21]. Bu durumları ortadan kaldırmak ve verimliliğini daha fazla artırabilmek için algoritmasına uyarlanabilme veya tahmin etme stratejileri eklenebilir [21].

MGNİ algoritmanın denetleyici üzerindeki hesaplama yükü algoritmanın karmaşıklığı ile doğru orantılıdır. Sinir Ağları Yöntemi, Kademeli AD Gerilimi ve KD Akım Tekniği ve Bulanık Mantık Denetimi diğer yöntemlere göre daha karmaşık bir algoritmaya sahiptirler. Bu sebep ile algoritmanın uygulanması da zordur. Artırmalı iletkenlik tekniği değiştir ve gözle yöntemine göre denetleyiciden olarak daha fazla alan gerektirmektedir. Ancak Değiştir ve Gözle algoritmasının tersine hızlı değişimlere kısa sürede uyum sağlayabilmektedir. Öte yandan algoritmanın uygulaması da kolaydır.

Değiştir ve Gözle Tekniğine benzer şekilde güç çıkışında sınımlar olabilmektedir. Sınımların büyüklüğü algoritmadaki değişim adımına bağlıdır. Ayrıca birim değişim hızı MGNİ' a ulaşma hızını da belirlemektedir [22]. Bu noktada artış büyüklüğü arttıkça daha büyük sınımlar olurken MGNİ' a daha hızlı ulaşılmaktadır. Artış büyüklüğü düştükçe de tam tersi durum gözlenmektedir. Bu noktada uygulamaya göre optimizasyon yapılması gerekmektedir.

Bulanık Mantık Tekniğinin MGNİ'ye hızlı yakınsaması, MGNİ'de düşük salınımlar yapması ve panel üzerine düşen ani ışınım değişimlerinde çok hızlı tepki verebilmesi gibi avantajları bulunmaktadır [23]. Diğer taraftan doğru hata hesaplama ve uygun kurallar belirlenmesi gerektiği için uygulaması zordur [23].

Sinir Ağları Algoritması diğer algoritmalarından farklı olarak düzenli bir şekilde veriler ile eğitilmesi gereken bir yapıdır. Sinir Ağları Tekniğinin en büyük avantajı girdilerin ve çıktının uzun bir süre boyunca kaydedilmesi sayesinde MGNİ'in doğru bir şekilde izlenebilmesidir. Diğer taraftan algoritmanın sistemi eğitim süreci için fotovoltaik panelin ve atmosferik koşulların uzun süreli verileri gerekir. Ayrıca verilen referanslar zaman içinde değişebileceği için sinir ağının periyodik olarak eğitilmesi gerekmektedir [24]. Bu durum işletme sırasında zorluk oluşturabilir. Bu veriler fotovoltaik panelin gerilim, akım ve ışınım grafikleri, atmosferik veriler, sıcaklık ve farklı bilgilerin karışımı olabilir. Bu algoritmanın çıktısı olarak birden fazla sonuç elde edilebilir (doluluk boşluk oranı, referans DA gerilimi, vb.).

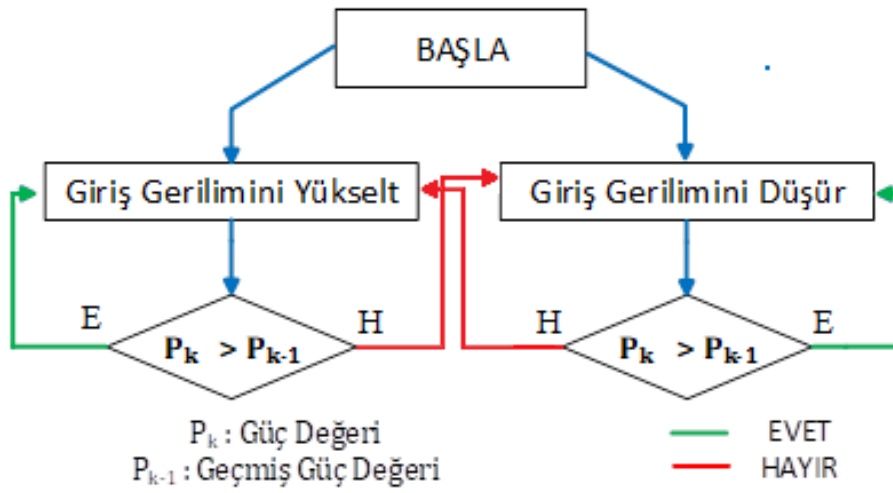
Bu yüzden her ölçüm esnasında güç kaybı meydana gelmektedir. Güneş ışınımının ani değişmesinde MGNİ'deki gerilim değişken olduğu için MGNİ'yi yaklaşık olarak takip edebilmektedir [25]. Bu tekniğin olumsuzlukları avantajlarının önüne geçtiği için uygulamalarda tercih edilmemektedir.

Akım Süpürme Denetiminde fotovoltaik panelin akım-gerilim karakteristik eğrisi belirli aralıklar ile taranarak MGNİ'deki gerilim değerine erişilir. Belirli dönemler ile tarama yapıldığı için MGNİ'ye ulaşmak zaman almaktadır. Uygulamada ise karmaşık bir yapıya sahiptir. Değişen ışınlanma eğrilerinde MGNİ'yi takip etmek mümkün değildir [26].

MGNİ yönteminin seçilmesinde maliyetlerin düşürülmesi amacıyla sensör sayısının az olması, verimliliğin en yüksek seviyede olabilmesi için MGN bulma hassasiyetin ve hızının yüksek olması, denetim işlemcisinin düşük iş yükü olması için algoritma karmaşıklığının düşük olması, MGNİ algoritmasının güncelleme gerektirmemesi ve tüm panellerde tekrar ayarlamaya gerek duyulmadan kullanılabilir olması hedeflenmiştir. Bu sebepler ile dürt ve gözle yöntemi, Artırımlı İletkenlik Yöntemi ve Sabit Gerilim İzleme yöntemi Çizelge 2.1'de belirtildiği gibi öne çıkmaktadır. Bu üç yöntemin çalışma yapısı ilerleyen bölümde ayrıntılı olarak işlenmiştir.

2.1.1 Deęiřtir ve Gzle Metodu

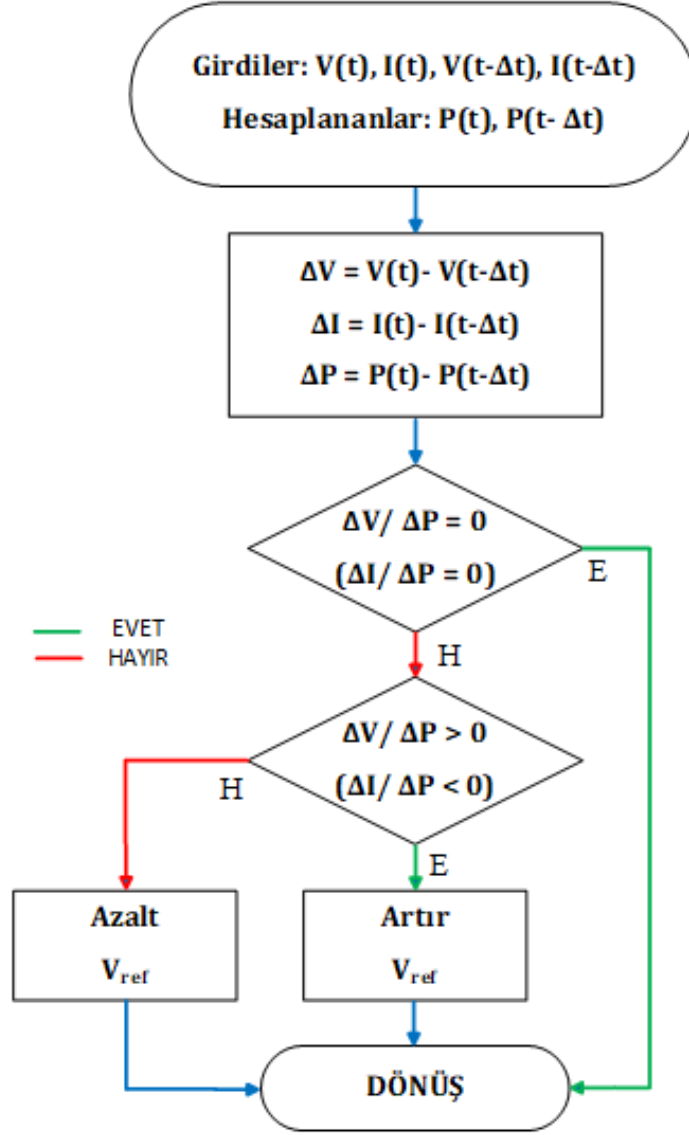
Fotovoltaik panel ile gç evirgeci arasındaki DA giriş geriliminin doluluk boşluk oranının deęiřtirilmesiyle dřrlmesi veya ykseltilmesi durumudur. evirge denetleyicisi gerilimi belirlenen kk bir miktar deęiřtirerek akan akım ve gerilim zerinde gc hesaplar; gç artarsa yapılan deęiřiklięin ynnde ilerlemeye alıřır. Gç azalırsa evirge denetleyicisi gerilimi aksi ynde deęiřtirerek yeni gç deęerini hesaplamaktadır. Eski gç deęeriyle yeni gç deęeri karřılařtırılarak gerilimi ykselt/dřr kararı verilmektedir. Őekil 2.1’de Deęiřtir ve Gzle Algoritmasının akıř Őeması gsterilmektedir.



Őekil 2.1. Deęiřtir ve Gzle Akıř Őeması

2.1.2 Artırımı İletkenlik Teknięi

Artırımı İletkenlik Teknięi P-V veya P-I karakteristik eęrisine gre geri besleme ile hatayı sıfıra ekmeye alıřmaktadır. Bir dięer deyiřle kıpırtı ilinti denetimi dP/dt ile dI/dt veya dV/dt arasında bir baędařım kurarak gç gradyanını sıfıra getirmeye alıřmaktadır. Kurulan baędařım sonrası hata miktarı denetim mekanizmasının rettięi anahtarlama referans sinyaline eklenip/ıkarılarak denetim dngsne dahil edilmektedir. Bu deęer gen referans sinyal ile karřılařtırılarak anahtarlama sinyali oluřturulmaktadır. Artırımı İletkenlik Teknięi algoritma akıř Őeması Őekil 2.2 gsterilmektedir.

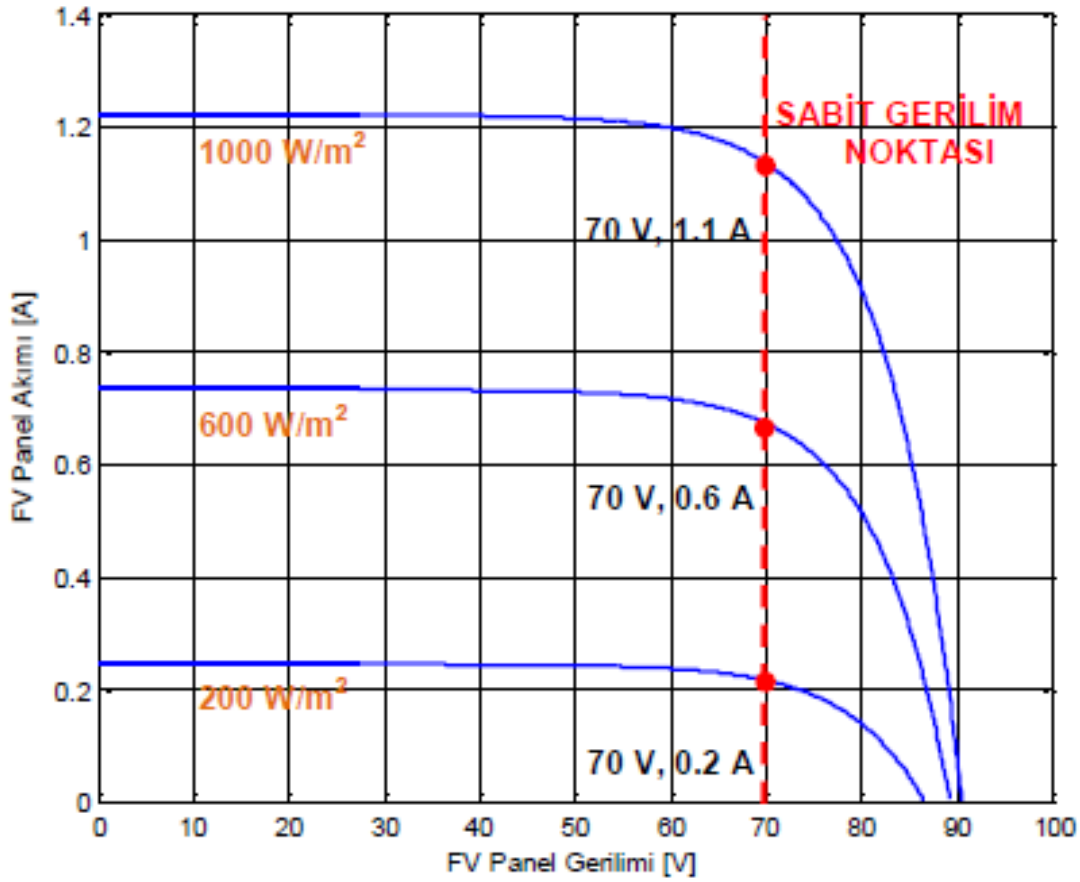


Şekil 2.2. Artırımlı İletkenlik Tekniği Akış Şeması

2.1.3 Sabit Gerilim İzleyicisi (SGİ) Yöntemi

Fotovoltaik panel karakteristiğinde sabit gerilimde farklı ışınım değerlerinde farklı akım değerleri ortaya çıkmaktadır. Şekil.2.3’de örnek fotovoltaik panele ait farklı ışınım şiddetlerinde akım gerilim grafiği verilmiştir [27]. MGNİ amacı maksimum gücü panelden elde etmek olduğu için yaklaşık olarak açık devre geriliminden küçük bir değerde bütün ışınım şiddetleri için maksimum güç değerine en yakın gerilim değeri belirlenebilir. Açık devre geriliminin belirli bir katsayı ile çarpılmasıyla sabit bir giriş referans gerilimi bulunur [27]. DA çevirgeci de referans gerilimini anahtarlama

elemanın görev döngüsü süresindeki doluluk oranı ile giriş gerilimi bu değerde tutmaya zorlanır. Uygulama bakımından oldukça kolaylık sağlamaktadır [27].



Şekil 2.3. Farklı Işınım Değerleri İçin Fotovoltaik Panel I-V Karakteristikleri [27]

Sabit Gerilim İzleyicisinde, panelin açık devre gerilimi, belirli aralıklar ile ölçülmesinin ardından sabit bir katsayı ile çarpılmaktadır. Bu değer, panelin bulunduğu ortamdaki sıcaklık ve üzerine düşen ışınım miktarına, ayrıca hücrelerin yapısına bağlı olarak 0.71 ve 0.8 arasında değişmektedir [27]. Ancak katsayı değerinin belirlemeye çalışmak çok fazla işlem yükü getireceği için 0.76 bütün ışınım değerleri için ortak kabul edilmiştir [27]. Şekil. 2.5'te görülebileceği gibi katsayı 0.76 seçildiğinde MGNI'ye çok yakın değerler elde edilebilmektedir. Çizelge 2.2'den görüleceği üzere sabit bir katsayı ile sadece giriş geriliminin sabit tutularak MGNI yapılması uygulamada ve algoritma tasarımında çok kolaylık sağlamaktadır. Ancak optimum katsayıyı bulmak için farklı panel türlerine göre MGNI algoritmasının güncellenmesi gerekmektedir [27].

Açık Devre Gerilim Tekniği düşük ışınımlarda ve düşük panel güçlerinde uygulamak için daha uygundur. Açık devre geriliminin belirli aralıklarla ölçülmesinden dolayı

bulutlanmalardan dolayı ortaya çıkacak değişimlerde diğer yöntemlere göre daha yavaş tepki gösterebilir [27].

2.1.7 Maksimum Güç İzleme Noktası Yöntemlerinin Karşılaştırılması

Değiştir ve Gözle ve Artan İletkenlik Yöntemleri, fotovoltaik panellerin güç eğrisinden yerel maksimum değerini bulabilen ve böylece gerçek bir maksimum güç noktası sağlayan "tepe tırmanma" yöntemlerinin örnekleridir.

Değiştir ve Gözle Yöntemi, kararlı durum aydınlatması altında bile maksimum güç noktası etrafında güç çıkışında salınımlar üretebilir. Ayrıca Değiştir ve Gözle Yöntemi hızla değişen atmosfer koşullarında salınımlar üretebilir ve düzensiz performans gösterebilir.

Artımlı İletkenlik Yöntemi, Değiştir ve Gözle Metoduna göre daha avantajlıdır ve MGNİ değerini etrafında çok düşük salınımlar ile takip eder.

Kademeli Açık Devre Gerilimi (veya "kısa akım") Yönteminde, fotovoltaik diziden gelen akım, açık devre gerilimini ölçmek için anlık olarak sıfır olarak ayarlanmalı ve daha sonra ölçülen gerilimin önceden belirlenmiş bir yüzdesine, genellikle %76'ya ayarlanmalıdır [27]. Uygulamanın basit ve düşük maliyetli olmasına rağmen, kesintiler dizi verimliliğini azaltır ve gerçek maksimum güç noktasını bulmayı garanti etmez.

Sabit Gerilim İzleyicisi Yöntemi, panelin açık gerilim değerini anlık olarak ölçmediği için Kademeli Açık Devre Gerilimi Yöntemine göre daha verimli çalışmaktadır. Sabit bir referans gerilimi verildiği için MGNİ'ye çok yakın değerlerde salınımlar oluşturmadan çalışabilir. Ancak her fotovoltaik panelin akım gerilim ışınım karakteristiği farklı olacağı için farklı panel uygulamalarında uygun değildir.

Bu nedenlerden dolayı, uygulama basitliği ek sensör gerektirmemesi değişen atmosfer koşullarına(bulutlanma) hızlı ve kararlı tepki verebilmesi sebeplerinden dolayı MGNİ için en iyi algoritmanın Artımlı İletkenlik Yöntemi olduğu sonucuna varılabilir.

2.2 DA-DA ÇEVİRGEÇ ÇEŞİTLERİ

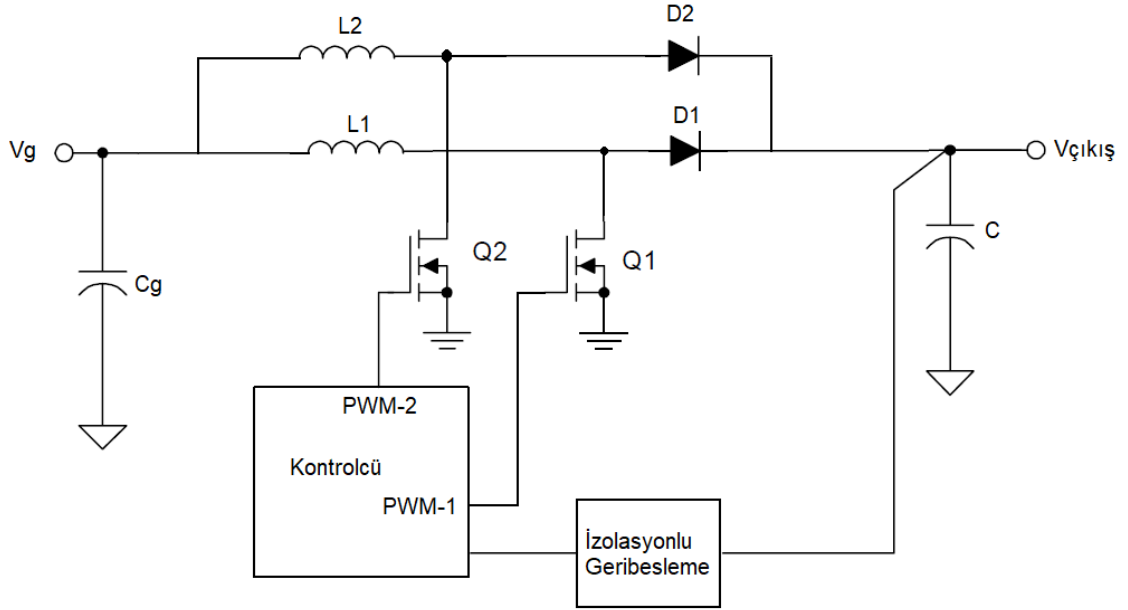
Fotovoltaik panel MGNİ ve denetimi uygulayabilmek ve yükseltilmiş DA gerilimi üretebilmek için birçok DA-DA çevirgeç topolojisi geliştirilmiştir [28-31]. Bunlar Faz kaymalı paralel yükseltici dönüştürücü, Faz kaymalı paralel it-çek çevirgeç, SEPIC çevirgeç ve Faz kaymalı paralel çapraz çevirgeçtir. Genel sistem verimini artırmak amacıyla DA-DA çevirgeç topolojisinin dönüşümlü çalışan paralel yapıdaki çevirgeç

tiplerinden seçilmesi uygun olacaktır [30]. Temel bir yükseltici dönüştürücü DA gerilimi daha yüksek bir DA gerilimine dönüştürür. Faz kaymalı paralel yapıda olması sayesinde giriş ve çıkış akımlarındaki dalgalanmalar azalır [29]. Bu bölümde tercih edilebilecek üç farklı dönüşümlü çalışan çevirgeç topolojisi incelenmektedir.

2.2.1 Faz kaymalı paralel Yükseltici Çevirgeç

Yükseltici çevirgeç yapısı giriş tarafında giriş gerilimine paralel yapıda giriş kapasitörü bulunmaktadır. Girişin artı kutbuna seri bobin ve bobinin çıkışı ise kaynak (source) ucu topraklanmış anahtar ve bir ucu çıkış gerilimi olan diyot yer almaktadır. Çıkış gerilimine paralel olarak çıkış kapasitörü bulunmaktadır. Bu yapı yükseltici çevirgeç topolojisi olarak adlandırılmaktadır. İki yükseltici çevirgecin paralel olarak kullanılmasına Faz kaymalı paralel yükseltici çevirgeç denilmektedir [29]. Şekil 2.4'te Faz kaymalı paralel yükseltici çevirgeç topolojisi gösterilmiştir.

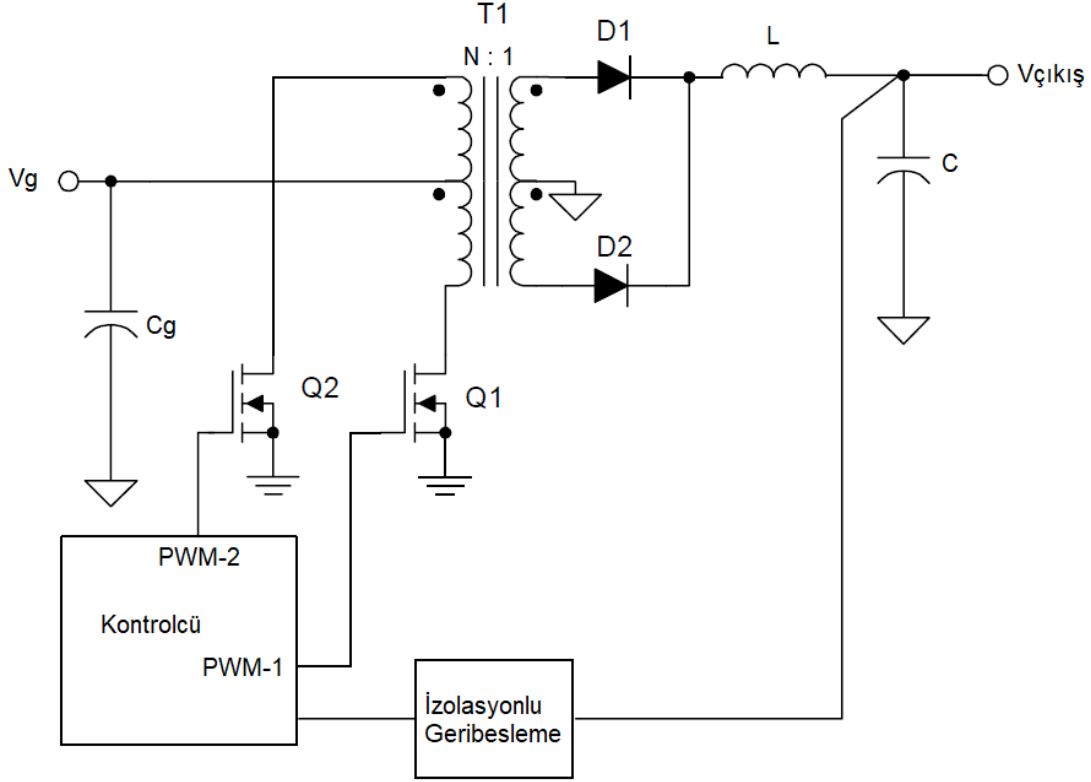
A. Boyar ve arkadaşların çalışmasında değindiği üzere Faz kaymalı paralel yükseltici çevirgeç çalışma prensibi şu şekildedir. Q_1 kapandığında, akım giriş gerilimine bağlı olarak L_1 'de yukarı doğru bir eğim oluşturur ve enerji bobinde depolanır. Çıkış gerilimi giriş geriliminden daha büyük olduğu için bu süre boyunca D_1 kapalı konumdadır. Q_1 açıldığında D_1 iletme geçer ve depolanmış enerjinin bir kısmını yüke ve bir kısmı da çıkış kapasitörüne iletilir. L_1 üzerindeki akım, giriş ve çıkış gerilimlerindeki farkın yaratacağı eğime göre azalır. Q_1 'in kapanması ve açılması bir anahtarlama periyodunun yarısında gerçekleşir. Anahtarlama periyodunun diğer yarısında Q_2 aynı anahtarlama döngüsünü tamamlar. Her iki çıkış akımı çıkış kondansatöründe birleştiği ve her iki çevirgecin giriş akımları giriş kapasitöründe birleştiği için etkili akım kırpıntısı yarıya düşer [31]. Ayrıca çıkış akımı, iki paralel çevirgeç tarafından paylaşılarak elde edildiği için I^2R kayıpları ve bobin üzerindeki AA akım kayıpları azaltılarak genel verimliliği artırılabilir [29]. Ancak bu topolojide yüksek çıkış gerilim elde etmek için yüksek görev sürelerine çıkmak gerekmektedir. Bu durum sonucunda çevirgeç verimi %60'lara kadar düşmektedir [29].



Şekil 2.4. Faz kaymalı paralel Yükseltici Dönüştürücü Topolojisi

2.2.2 Faz kaymalı paralel İt-Çek (Push-Pull) Çevirgeç

Faz kaymalı paralel it-çek çevirgeç topolojisi giriş gerilimine paralel bağlı bir giriş kapasitörü bulunmaktadır. Üç giriş ve üç çıkışlı simetrik bir trafo yapısı kullanılmaktadır. Trafonun birincil sargısının orta noktası giriş gerilimi ile beslenirken ikincil sargısının orta noktası topraklanmaktadır. Birincil sargının diğer uçları anahtarlama elemanları ile toprağa bağlanmaktadır. İkincil sargının diğer uçları ise diyotlar çıkış geriliminin artı ucunu oluşturmaktadır. Çıkış geriliminde ise paralel olarak bağlanmış kapasitör bulunmaktadır. Faz kaymalı paralel it-çek çevirgeç devre şeması Şekil 2.5'te gösterilmiştir. Çalışma prensibi olarak anahtarlama elemanları (Q_1 ve Q_2) farklı zamanlarda kapalı duruma gelerek trafoyu enerjilendirirler. Anahtarlama elemanları açık duruma geçtiklerinde enerji trafonun birincil tarafından ikincil tarafına doğru aktarılır. Farklı zamanlarda aktarılan akım D_1 ve D_2 diyotlarından ilerleyerek çıkış endüktans üzerinden, çıkış kapasitörü ve çıkış gerilimini beslemektedir [30]. Şekil 2.5'te Faz kaymalı paralel it-çek çevirgeç topolojisi gösterilmektedir.



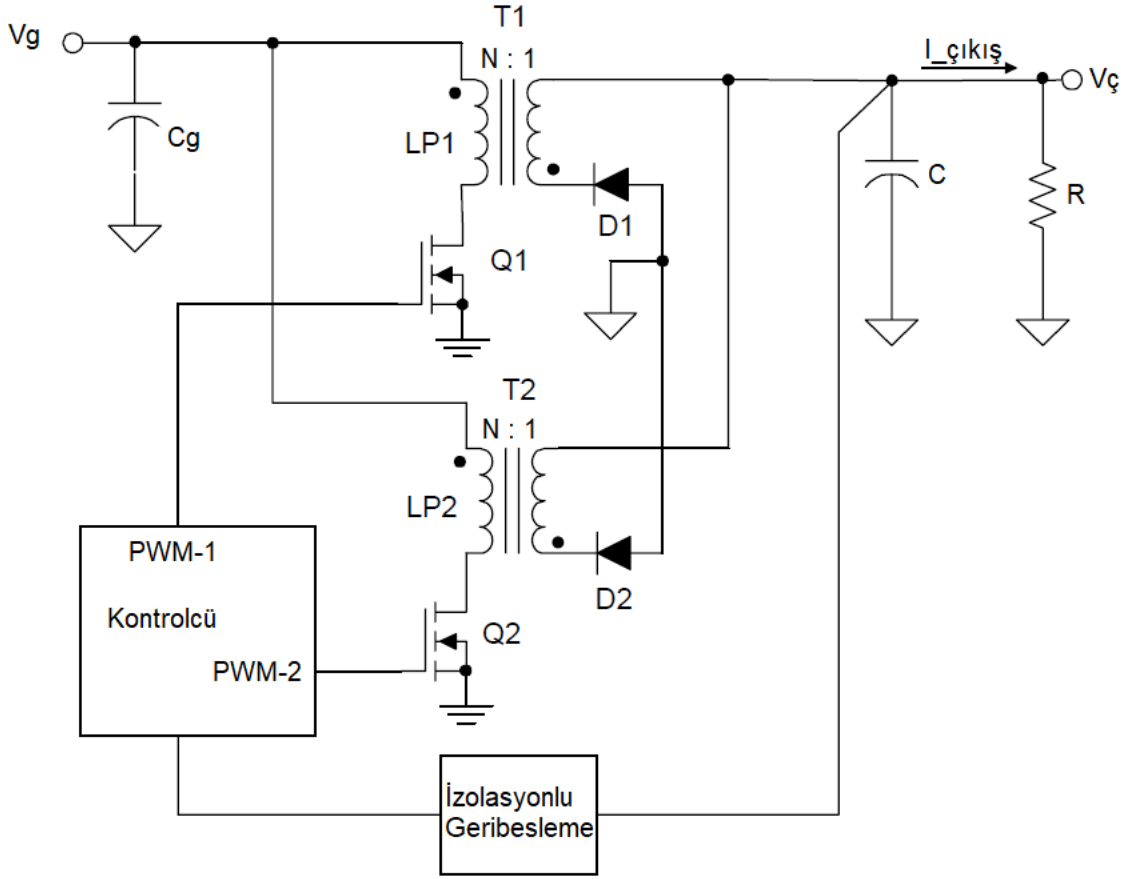
Şekil 2.5. Faz kaymalı paralel İt-Çek Çevirgeç Topolojisi

İt-çek çevirgeç trafo yapısı simetrik olduğu için çıkış kırıntısı sanki Faz kaymalı paralel çevirgeç yapısı kullanılmış gibi daha düşük olacaktır [30]. Ayrıca trafonun simetrik yapısı sayesinde çekirdeğin manyetik döngüsü B-H düzleminde her iki çeyrekte kullanılabilir [30]. Ancak trafo kayıplarının azaltılması için katlı yapıda sarım yapılması gerektiği için trafo tasarımı karmaşık hale gelmektedir [30].

2.2.3 Faz kaymalı paralel Çapraz Çevirgeç

Çapraz çevirgeçler giriş kapasitörü, trafo, trafo negatif kutbu ile toprak arasında anahtarlama elemanı trafonun ikincil tarafında toprak ile trafonun pozitif kutbunda ters diyot, trafonun ikincil çıkışının negatif kutbunda; çıkışta ise çıkış kapasitörü ve yük bulunmaktadır. Faz kaymalı paralel çapraz çevirgeç topolojisi Şekil 2.6'de gösterilmiştir.

Çapraz çevirgeçlerde, birincil taraftaki yarı iletken kapalıyken, enerjinin transformatörün birincil sargısına depolanarak yarı iletken açık konuma geldiğinde ise transformatördeki enerjinin ikincil bölgedeki sargıya akmasıyla gerilim tersine çevrilir. Çıkış yakalama diyodu yardımıyla enerji çıkışa aktarılmış olur.



Şekil 2.6. Faz kaymalı paralel Çapraz Çevirgeç Topolojisi

Çapraz çevirgeçlerde üç temel enerji aktarım kipi bulunmaktadır. Sürekli iletim kipi ile iletilecek olan enerji, transformatörde bir sonraki aktif anahtarın kapalı olduğu durumda üzerinde hala enerji barındırmaktadır. Süreksiz iletim kipi ise transformatörde depolanan tüm enerji aktif anahtarın açık olduğu durumda yüke tamamen aktarılmaktadır. Kritik iletim kipi geçiş modu olarak da adlandırılır. Transformatördeki depolanan enerjinin aktarılacak sifıra ulaşması anahtarlama periyodunun sonuna denk gelmektedir. Aktarım metodu süreksiz iletim kipine benzerdir.

Çizelge 2.2’de Çapraz çevirgecinde kullanılan kiplerinin avantaj ve dezavantajlarının karşılaştırılması verilmiştir [27, 29, 31].

Çizelge 2.2. Çapraz Çevirgeç Çalışma Kiplerinin Karşılaştırılması.

İşletim Kipi	Avantajlar	Dezavantajlar
Sürekli iletim kipi	<ul style="list-style-type: none"> • Küçük dalgalanma ve rms akımı • Düşük MOSFET (Metal Oksit Yarı İletkenli Alan Etkili Transistör) iletim kaybı • Düşük birincil MOSFET açılma kaybı • Düşük çekirdek kaybı • Daha iyi Çapraz düzenleme • Düşük kapasitör dağılımı • Daha küçük EMG filtresi ve çıkış filtresi • Sabit anahtarlama frekansı 	<ul style="list-style-type: none"> • Daha yüksek görev çevrimlerinde eğim dengelemesi ihtiyacı • Diyot geri kazanım kaybı • İkincil diyotlar için daha yüksek gerilim stresi • Kompleks denetim (Kararsız Sıfır) • Çıkış doğrultucu kaybı • Küçük yüklerde düşük verimlilik
Süreksiz iletim kipi	<ul style="list-style-type: none"> • Diyot geri kazanım kaybı olmaz • Eğim dengelemesi ihtiyacı yoktur • Basit denetim (Kararsız Sıfır yok) • Düşük endüktans daha küçük trafo boyutuna izin verebilir • Sabit anahtarlama frekansı 	<ul style="list-style-type: none"> • Daha büyük dalgalanma ve tepe akımı • Daha yüksek MOSFET iletim kaybı • Daha yüksek çekirdek kaybı • Daha yüksek birincil MOSFET açma kaybı • Daha yüksek kapasitör dayanım gerilimi • Daha yüksek MOSFET dayanım gerilimi • Büyük EMG filtresi ve çıkış filtresi

Kritik iletim kipi	<ul style="list-style-type: none"> • Diyot geri kazanım kaybı yok • Yumuşak açma imkânı, MOSFET'ler kullanılabilir • Eğim dengelemesi ihtiyacı yoktur • Basit denetim (Kararsız Sıfır yok) • birinci dereceden sistem • Geçici tepki • Düşük endüktans, daha küçük transformatör boyutuna izin verebilir 	<ul style="list-style-type: none"> • Büyük dalgalanma ve tepe akımı • Daha yüksek çekirdek kaybı • Daha yüksek birincil MOSFET kapatma kaybı • Daha yüksek MOSFET iletim kaybı • Daha yüksek kapasitör dağılımı • Büyük EMG filtresi ve çıkış filtresi gereksinimi • Değişken anahtarlama frekansı • Daha yüksek birincil MOSFET dayanım gerilimi gereklidir
--------------------	---	--

Faz kaymalı paralel çapraz yapısı Şekil 2.8'te gösterilmiştir. Paralel olarak bir araya getirilmiş olan çapraz çevirgeçlerin görev döngüsü %50 yerine %60 ile sınırlıdır. Çünkü transformatörün ikincil sargı tarafı yüksek çıkış empedans değerine sahipmiş gibi görülür, bu durumda çevirgeç akım kaynağı gibi düşünülebilir [31]. Ayrıca Faz kaymalı paralel çapraz çevirgeç yapısı tek bir çapraz çevirgecin iki katı güç seviyelerine kadar kullanılabilir.

Hedeflenen alçak gerilim doğru akım Düzenleyicinin mikro şebeke için DA-DA çevirgecin 400 VDA bağ gerilimi oluşturması gerekmektedir [9-15]. Piyasadaki güneş panelleri araştırıldığında güneş panellerinin MGNİ yapılarak çalıştırılması sonucunda optimum %50 yük ve üzerinde çalışma gerilimi 28-40 VDA değerleri arasında çalışabilir olması anlamlı olmaktadır [21-25]. Bu durumda DA-DA çevirgeç çıkışında 400 VDA değerine ulaşmak için giriş geriliminin yaklaşık olarak 13-14 katına çıkarılması gerekmektedir. Bunu başarmak için en uygun topoloji olarak, 200W güç seviyelerine kadar çalışabilen, denetleyici tasarımı ve maliyeti de göz önüne alınarak Faz kaymalı paralel çapraz çevirgece Alçak gerilim doğru akım Düzenleyici topolojisi olarak karar verilmiştir.

Çizelge 2.2’de de yer alan karşılaştırma sonuçlarına göre DA-DA çevirgeç hacminin küçültülerek güç yoğunluğunun artırılması, çıkış diyot kayıplarının azaltılması ve düşük güçlerde daha yüksek verimli elde edilebilmesi için Faz kaymalı paralel çapraz çevirgecin Süreksiz iletim kipinde çalışması uygun bulunmuştur. Şekil 2.6’da Faz kaymalı paralel çapraz çevirgeç topolojisi gösterilmektedir.

2.3 DA-AA EVİRGEÇ ÇEŞİTLERİ

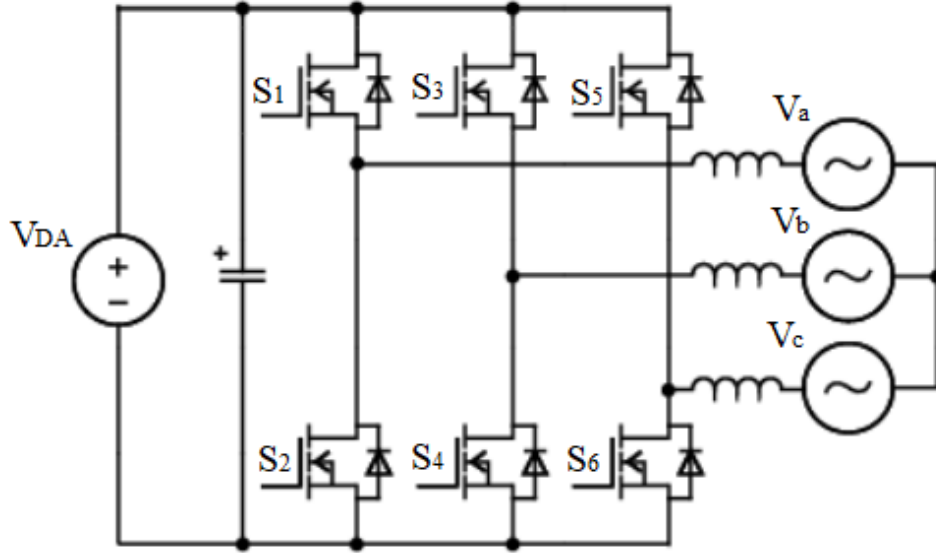
Mikro şebeke sistem mimarisinde şebeke, yük ve fotovoltaik paneller arasında farklı çalışma senaryoları olabilir. Yükler fotovoltaik paneller yardımıyla beslenebilir. Yük olmadığı durumlarda üretilen enerji şebekeye aktararak gelir kazanılabilir. Bir diğer çalışma senaryosu ise fotovoltaik enerji yeterli olmadığı durumda şebekeden mikro şebekeye enerji aktarımı gerekebilir. Bu sebep ile şebeke ile mikro şebeke arasında çift yönlü enerji aktarımı yapılması için DA barasına bağlı DA-AA evirgeçler kullanılmaktadır [19].

Evirgeçler tek fazlı ve üç fazlı olarak ayrılmaktadır. Tek fazlı evirgeçler ise kendi içlerinde aktif anahtar sayısına bağlı olarak üçe ayrılır. Bunlar, dört aktif anahtarlı, beş aktif anahtarlı ve altı aktif anahtarlıdır [60]. Dört aktif anahtarlı evirgeçler basit bir yapıya sahip olup anahtarlama yapısı kolaydır [34]. Tam köprü evirgeç ve tek-kutuplu çift düşüren evirgeç olmak üzere ikiye ayrılabilir. H5 topolojisi ve tek düşüren evirgeç beş aktif anahtarlama evirgeçlerdir [60]. Verim olarak dört aktif anahtarlama evirgeçlere göre daha iyi bir performans gösterirler. HERIC ve SHREC topolojileri ise altı aktif anahtarlama evirgeçlerdir [32]. Verimlilik bakımından diğer sınıflara göre daha üstündür. Farklı anahtarlama anlarında çalıştırılabildikleri için sıfır akım veya sıfır gerilim noktalarında anahtarlama yaparak kayıplar azaltılır. Her ne kadar aktif anahtar sayısı artırsa verim performansı ve sistem güvenilirliği artsa da malzeme sayılarındaki artış sebebiyle maliyetleri artmaktadır [32].

2.3.1. 3 Faz Tam Köprü Evirgeç

Üç fazlı gerilim kaynaklı evirgeçler için temel topoloji tam köprü evirgeçidir. Bu yapı iki anahtarlama elemanı olan üç koldan oluşmaktadır. Buradaki yarı iletkenler ters yönde ters-paralel diyotlara sahiptirler. MOSFET (Metal Oxide Semiconductor Field Effect Transistor- Metal Oksit Yarı İletken Alan Etkili Transistör)’ler dışarıdan eklenen ters-diyodu veya IGBT (Insulated-Gate Bipolar Transistor- Yalıtımlı Kapı Çift Kutuplu Transistör)’ler de yapısal olarak sahip oldukları ters paralel diyot yardımıyla ters yönde

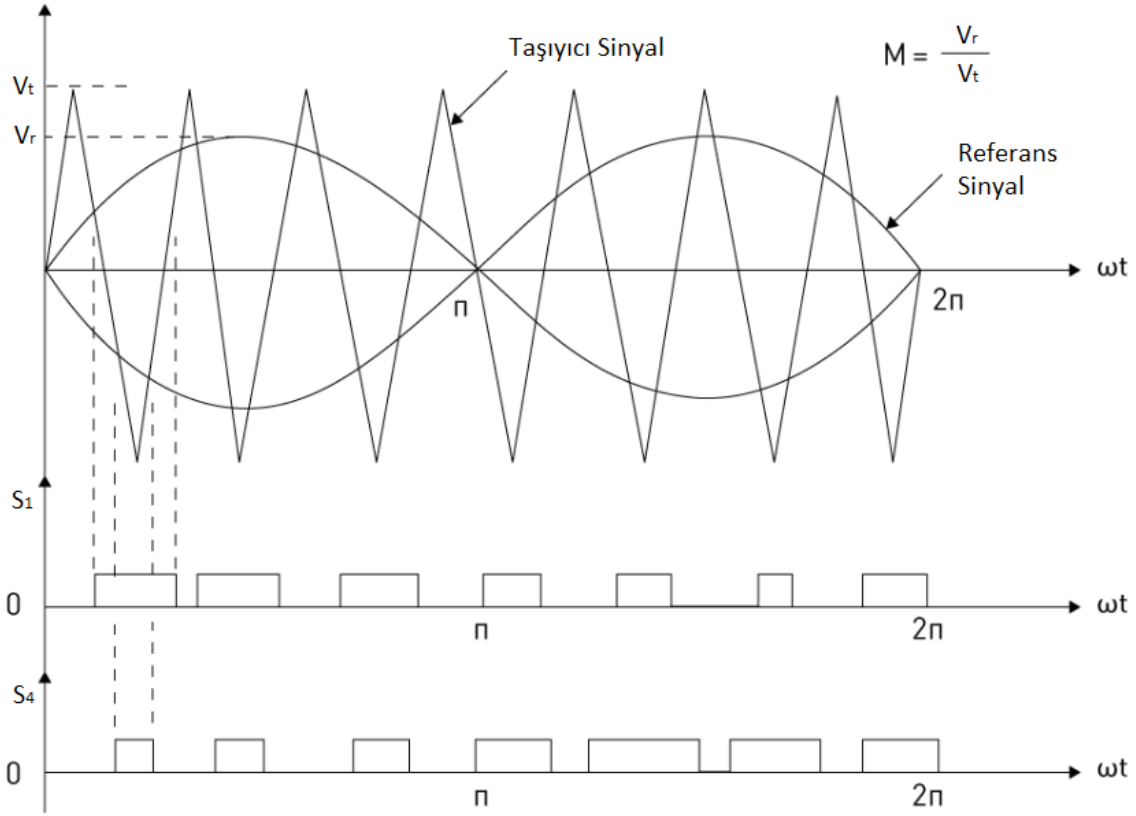
akım iletilebilmektedir. Anahtarlanan DA gerilimden sinüzoidal gerilim elde etmek amacıyla kolların orta noktaları filtrelenerek yüke veya şebekeye bağlanır [33]. Şekil 2.7’de tam köprü evirgeç topolojisi gösterilmektedir [74].



Şekil.2.7. 3 Faz Tam Köprü Evirgeç Topolojisi

Her bir kol için sinüzoidal referans gerilimi anahtarlama frekansında üretilmiş olan üçgen taşıyıcı sinyalle karşılaştırılır ve her anahtarlama elemanı için bir darbe dizisi üretilir. Her darbenin genişliği merkezindeki referans sinüs dalgasının genliği ile orantılı olarak oluşturulur. Şekil 2.8’de taşıyıcı sinyal ile referans sinyalin karşılaştırılması sonucunda oluşturulan S_1 ve S_4 için anahtarlama sinyalleri gösterilmiştir. Bu anahtarlama tekniğinde kritik olan aynı koldaki anahtarlama elemanlarının aynı anda iletimde olmamasıdır. Aksi halde, kol üzerinde kısa devre oluşturulmuş olunur [33]. Referans sinyal frekansı, evirgeç çıkışındaki AA gerilimin frekansını belirlemektedir. Ayrıca referans sinyalinin tepe genliği, çıkış RMS gerilimini kontrol eden modülasyon indeksini(M) etkilemektedir. Modülasyon indeksi referans sinyal tepe değerinin taşıyıcı sinyal tepe değerine oranından elde edilmektedir [52-54].

Üç faz tam köprü evirgeç topolojisi için Çoklu Darbe Genişlik Modülasyonu, Seçici Harmonik Eliminasyon Modülasyonu ve Uzay Vektör Modülasyonu teknikleri de kullanılabilir [52-54]. Bu çalışmada uygulama kolaylığından dolayı Sinüzoidal Darbe Genişliği Modülasyonu kullanılmıştır.



Şekil.2.8. Sinüzoidal Darbe Genişlikli Modülasyonu Anahtarlama Sinyalleri [23]

Ayrıca yapılan literatür çalışmalarında mikro şebeke mimarisi için en az 5 kW güç değerinde bir evirgeç olması gerektiği belirlenmiştir [1, 5, 9, 12-14, 23]. Güç değerinin 5 kW seçilmesinden dolayı da 3 kW üzeri güçlerde üç fazlı tam köprü evirgeç topolojisinin uygun olacağı belirlenmiştir [1, 12-14].

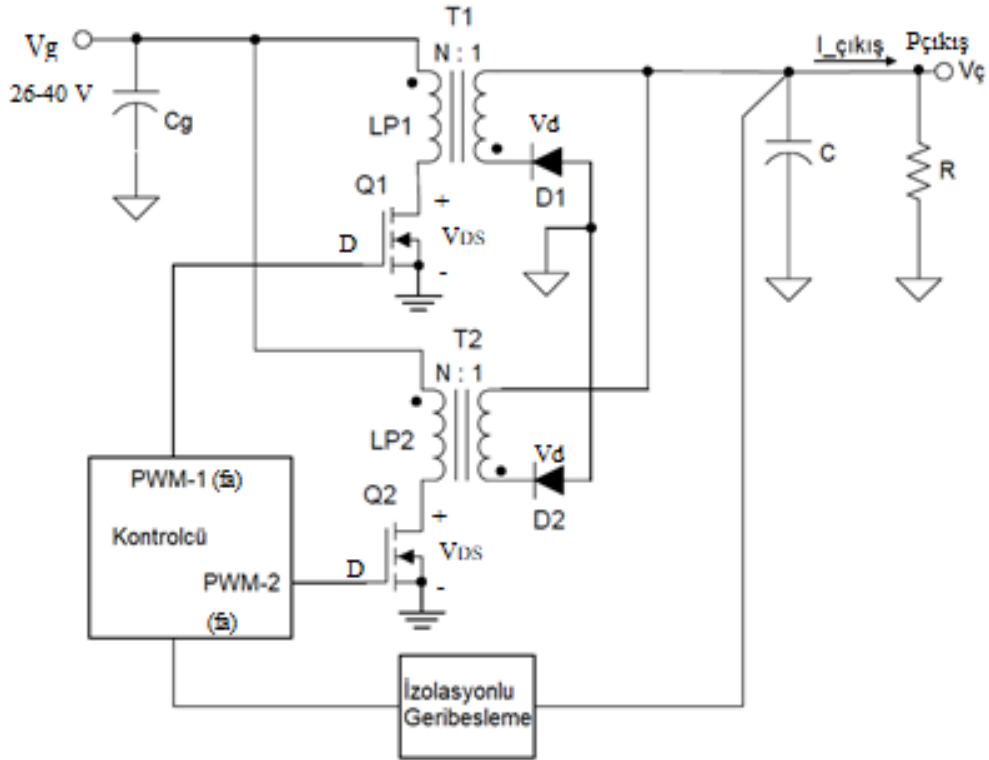
3. SİSTEM TASARIMI

3.1. DA-DA Çevirgeç Tasarımı

3.1.1. Maksimum Akım ve Gerilim Hesaplaması

Alçak gerilim doğru akım sistem yapısında DA-DA çevirgeçler 400 VDA barasına paralel olarak bağlanacaktır. Tek bir Çapraz çevirgeç gücü 120 W olarak tasarlanması hedeflenmiştir. Çevirgecin giriş gerilimi olarak 26- 40 VDA çıkış gerilimi olarak 390-410 VDA gerilimleri arasında ve %90 verim ile çalışabilmesi ana tasarım isterleri olarak yer almaktadır. Yapılan benzetim çalışmalarında verim hedefinin tutturulabilmesi için anahtarlama frekansının seçilebileceği maksimum değerin 88-90 kHz olduğu tespit edilmiştir. Çünkü 90 kHz üzerinde anahtarlama kayıpları artarken 88 kHz altında trafo boyutları artmaktadır. DA-DA çevirgeç güç yoğunluğunun da olabildiğince yüksek olması hedeflendiği için anahtarlama frekansının 89 kHz seçilmiştir.

Çapraz çevirgecin bütün güç aralıklarında süreksiz iletim modunda çalışması hedeflenmiştir. Çevirgecin çalışma modu birincil endüktans değerine ve yük akımına göre değişmektedir. Çizelge 3.1’de bahsedilen parametreler Bölüm 2’de anlatılan topoloji üzerinde Şekil 3.1’de gösterilmektedir.



Şekil.3.1. Faz kaymalı paralel Çapraz Çevirgeç Topolojisi

Serpiştirmeli yapıdaki DA-DA çevirgecinin tasarım hesaplarını sadeleştirmek için yarı güçte tek bir Çapraz çevirgeç tasarımı olarak düşünülebilir. Çapraz çevirgeç için gerekli olan isterler Çizelge 3.1’de gösterilmiştir. Birimlerin değer hesaplaması sırasında referans alınan kaynak [38]’de verilmiştir.

Çizelge 3.1. Çapraz Çevirgeç Tasarım İsterleri.

Çıkış Gücü (P_{ζ})	120 W
Verim (η)	%90
Anahtarlama Frekansı (f_a)	89 kHz
Çıkış Gerilimi (V_{ζ})	400 VDA
Çıkış Akımı (I_{ζ})	0.313
Maksimum Görev Döngüsü (D_{maks})	0,46
Diyot Gerilimi (V_d)	1,5 V
Minimum Giriş Gerilimi ($V_{g,min}$)	26 V
Maksimum Giriş Gerilimi ($V_{g,maks}$)	40 V
Çıkış Gerilim Dalgalanması	10 V
Maksimum Çıkış Gücü ($P_{\zeta,maks}$)	125 W

Maksimum giriş akımı, $I_{G,maks}$:

$$I_{G,maks} = \frac{P_{\zeta}}{\eta \times V_{g,min}} = \frac{120}{0.9 \times 26} = 5.13 \text{ A} \quad (3.1)$$

Birincil akım tepesi, $I_{Bir,Tepe}$:

$$I_{Bir,Tepe} = \frac{2P_{\zeta} \times T_a}{\eta \times V_{g,min} \times D_{maks} \times T_a} = \frac{2 \times 120}{0.9 \times 26 \times 0.46} = 21.32 \text{ A} \quad (3.2)$$

Birincil etkin akım değer, $I_{Bir,etkin}$:

$$I_{Bir,etkin} = I_{Bir,Tepe} \times \sqrt{\frac{D_{maks}}{3}} = 21.32 \times \sqrt{\frac{0.46}{3}} = 8.35 \text{ A} \quad (3.3)$$

İkincil akım tepesi, $I_{iki,Tepe}$:

$$I_{iki,Tepe} = \frac{2I_{\zeta}}{(1 - D_{maks} - D_{boş})} = \frac{2 \times 0.313}{(1 - 0.46 - 0.2)} = 1.84 \text{ A} \quad (3.4)$$

İkincil etkin akım değeri, $I_{iki,etkin}$:

$$I_{iki,etkin} = I_{iki,Tepe} \sqrt{\frac{(1 - D_{maks} - D_{boş})}{3}} = 1.84 \sqrt{\frac{(1 - 0.46 - 0.2)}{3}} = 0.62 \text{ A} \quad (3.5)$$

3.1.2. Giriş Kapasitör Seçimi

Çapraz çevirgecinin giriş kapasitörü süreksiz birincil akımı nedeniyle yüksek etkin akım değerine maruz kalmaktadır. Kapasitörler üzerinde yüksek geçici gerilimleri önlemek amacıyla giriş kapasitörü düşük ESD değerine sahip kapasitör tipinden seçilmesi gerekmektedir. Süreksiz operasyonda giriş kapasitöründen geçecek olan birincil etkin akım değeri, $I_{G,Kap,etkin}$ Denklem 3.6 'de belirtilmiştir.

$$I_{G,Kap,etkin} \geq \frac{P_{\zeta}}{\eta \times V_{g,min}} \times \sqrt{\frac{4 - (3D_{maks})}{3D_{maks}}} \quad (3.6)$$

$$I_{G,Kap,etkin} \geq \frac{120}{0.9 \times 26} \times \sqrt{\frac{4 - (3 \times 0.46)}{3 \times 0.46}} = 7.07 \text{ A}$$

DA-DA çevirgeç uygulamaları için, X7R seramik kapasitörler, çalışma sıcaklığı aralığına göre kararlılıkları nedeniyle tercih sebebidir. Seramik kapasitör tipine ait etkin seri direnç (ESD) ve etkin seri endüktans (ESE) diğer yapıdaki kapasitör tiplerine göre nispeten düşüktür. Bu nedenle dalgalanma gerilimi kapasitif bileşen tarafından baskılanır. Belirtilen bir giriş anahtarlama dalgasındaki dalgalanmalar için giriş kapasitörü Denklem 3.7'de hesaplanan değere eşit veya bu değerden yüksek olması gerekmektedir [39].

Giriş kapasitör değeri, C_G :

$$C_G = \frac{D_{maks} \times I_{Bir,Tepe} \times [1 - (0.5 \times D_{maks})]^2}{2 \times f_{sw} \times V_{G,kırp}} \quad (3.7)$$

$$= \frac{0.46 \times 22.3 \times [1 - (0.5 \times 0.46)]^2}{2 \times 89 \times 1} = 55 \mu F$$

Çapraz çevirgeçteki giriş kapasitörü iki farklı tip kapasitör paralel çalışabilecek şekilde seçilmiştir. Çevirgeçlerin enerji ihtiyacını çok hızlı karşılayabilmek için Çapraz çevirgeçlerine yakın paralel dört adet 100 V 10 μF değerinde kapasitör yerleştirilmiştir. Diğer giriş kapasitörü olarak ise 100 V 'luk 470 μF değerinde alüminyum kapasitör tercih edilmiştir.

3.1.3. DA-DA Çevirgeç Anahtar Seçimi

Çapraz çevirgeç yapılarında seçilecek olan MOSFET gerilim değeri ve Savak-Kaynak arasındaki sığa değerinin düşük olması süreksiz iletim durumunda çalışma hali için çevirgeç performansı etkilemektedir.

MOSFET üzerindeki maksimum gerilim zorlaması, giriş geriliminin trafonun birincil sargılarında oluşan yansıyan gerilim ve sızma endüktansının sebep olduğu ani gürültü geriliminin toplamından oluşmaktadır. Sızma endüktansının sebep olduğu ani gürültü gerilimi için MOSFET, Denklem 3.8 'de bulunan değerinin %30 fazlası alınarak bu etkiden kurtulduğu kabul edilebilir [40].

MOSFET Maksimum Drain-Source gerilimi, $V_{DS,maks}$:

$$V_{DS,maks} = 1.3 \times \left[V_{G,maks} + \left[\left(\frac{V_C + V_D}{N} \right) \times 1.5 \right] \right] \quad (3.8)$$

$$V_{DS,maks} = 1.3 \times \left[50 + \left[\left(\frac{400 + 1.5}{12} \right) \times 1.5 \right] \right] = 130 V$$

Giriş etkin akım değeri, Denklem 4.3'te hesaplanan $I_{Bir,etkin} = 8.73 A$, MOSFET akım dayanımının olması gereken minimum değeridir. Ayrıca, MOSFET üzerindeki anahtarlama ve iletim kayıplarının minimum olabilmesi için mevcut gerilim ve akım dayanımlarında, en düşük savak-kaynak dirence ve en düşük Q_{gs} değere sahip olması MOSFET'in kayıplarını azaltacaktır. Bütün bu kriterler ve maliyet bilgisi dikkate alındığında IXYS firmasının Trench Gate 150 V Power MOSFET'i en uygun değere sahip olduğu belirlenmiştir. Çizelge 3.2'de teknik özellikleri verilmiştir. Ayrıntılı teknik bilgi notu EK-1 bulunmaktadır.

Çizelge 3.2. IXQT90N15T MOSFET Teknik Özellikleri.

V _{DD}	I _{D25}	R _{DS,ON}	Q _{gs}	C _{rss}	t _{rr}	R _{thJC}	R _{thCH}
150 V	90 A	20 mΩ	20 nC	92 pF	110 ns	0.33 °C/W	0.25 °C/W

Çapraz çevirgeç MOSFET'i tarafından tüketilen güç, P_{MOSFET} :

$$P_{MOSFET} = I_{Bir,etkin}^2 \times R_{DS,ON} + V_{DS,maks}^2 \times I_{L,maks} \times C_{RSS} \times \left(\frac{f}{1A}\right) \quad (3.9)$$

$$P_{MOSFET} = 8.73^2 \times 0.020 + 100^2 \times 22,3 \times 92 \text{ pF} \times \left(\frac{89kHz}{1A}\right) = 3.12 \text{ W}$$

MOSFET'e ait teknik bilgi notunda yer alan güç tüketimine göre MOSFET'in birleşme yerinde sıcaklık değişimi denklem 3.10'da belirtilmiştir. Hesaplama sonucuna göre MOSFET ısı yayımı bakımından herhangi bir zorlanma yaşamamaktadır. T_A ortam sıcaklığını $R_{th,JC}$ ve $R_{th,CH}$ ise MOSFET içerisindeki sıcaklık direnç değerleridir. Junction (Bağlantı) sıcaklığı hesaplaması aşağıda verilmiştir, T_J :

$$T_J = T_A + P_{mosfet} \times (R_{th,JC} + R_{th,CH}) \quad (3.10)$$

$$T_J = 25 + 3.12 \times (0.33 + 0.25) = 26.8 \text{ °C}$$

3.1.4. Yüksek Frekanslı Trafo Tasarımı

Çapraz çevirgeçlerde enerjinin izole bir şekilde çıkışa aktarılması için yüksek frekanslı trafolar kullanılmaktadır. Trafoya ait değerler farklı yollardan hesaplanabilmektedir. Gerekli olan endüktans değerinden ya da trafonun çekirdek geometrisinin taşıyabileceği güç değerinden ilerleyerek hesaplama yöntemleri bulunmaktadır. Bu çalışmadaki yüksek frekanslı trafo tasarımı çekirdek geometrisinden yola çıkılarak yapılmıştır. Tasarım sırasında çekirdek kayıpları, sargı direnç kayıpları, parazitik sığalar ve sızma endüktans değerleri en az olacak şekilde malzeme seçimleri yapılmıştır. Trafonun çalışma frekansı 89 kHz ve süreksiz iletim durumunda kalacak şekilde tasarlanmıştır [41].

Birincil ve İkincil Endüktans Değerlerinin Hesaplanması

Eşdeğer giriş direnci, R_G , eş:

$$R_{G,eş} = \frac{P_{g,max}}{(V_{G,min})^2} = \frac{120}{(26)^2 \times \eta} = 5,07 \Omega \quad (3.11)$$

Gerekli olan birincil endüktansı, L_B :

$$L_B = \frac{R_{G,eş} \times T \times (D_{maks})^2}{2} = \frac{5,07 \times 11.23 \mu s \times (0.46)^2}{2} = 6 \mu H \quad (3.12)$$

3.1.4.2 Trafo Çekirdek Seçimi

Enerji kotarma yetisi W-saniye olarak:

$$Enerji = \frac{L_B \times (I_{G,tepe})^2}{2} = \frac{6 \mu H \times (22.3)^2}{2} = 0.0015 W.s \quad (3.13)$$

Elektriksel şartların hesaplanması, K_e :

$$K_e = 0.145 \times P_{\zeta} \times B_{maks}^2 \times 10^{-4} \quad (3.14)$$

$$K_e = 0.145 \times 120 \times 0.2^2 \times 10^{-4} = 6,96 \times 10^{-5}$$

Çekirdek geometrisi, K_g :

$$K_g = \frac{(Enerji)^2}{K_e \times \alpha} \quad (3.15)$$

$$K_g = \frac{(1.5 \times 10^{-3})^2}{6,96 \times 10^{-5} \times 1} = 0.0322 cm^5$$

Bu enerjiyi taşıyabilecek çekirdekler ETD 29 ve daha büyük hacimli ETD çekirdekleridir. Çekirdek kayıplarının daha az olması ve sargı katlarını azaltmak için daha hacimli olan ETD 39 çekirdeği seçilmiştir. Ferroxcube marka ETD39 çekirdeğine ait teknik bilgiler çizelge 3.3'te belirtilmiştir. Ayrıntılı teknik bilgi notu EK-2'de yer almaktadır.

Çizelge 3.3. Ferroxcube ETD 39 Çekirdek Teknik Özellikler.

Marka	Ferroxcube
Malzeme	3C97
MLP (Manyetik yol uzunluğu)	9.22 cm
MLT (Bir turun ortalama uzunluğu)	8.3 cm
B _{maks}	0.21 T
A _e (Etkili Alan)	125 mm ²
V _e (Etkili Hacim)	11500 mm ³
A _L (Endüktans Faktörü)	3650 nH/turns ²
A _t (Yüzey Alanı)	69,9 cm ²
A _p (Alan Çarpımı)	2.933 cm ⁴
K _g (Çekirdek Geometrisi)	0,1767 cm ⁵
W _a (Çerçeve Alanı)	2.343 cm ²
W _{tfe} (Çekirdek Ağırlığı)	60 g
m _e (Manyetik Geçirgenlik)	2000
G (Sargı Katmanı Uzunluğu)	2.84 cm

3.1.4.3 Trafo Tur Oranlarının Hesaplanması

Enerji değeri Denklem 3.13'te hesaplanmıştır. Çerçeve dolun sabiti yardımıyla akım yoğunluğunun hesaplanması:

$$J = \frac{2 \times (Enerji) \times 10^4}{B_{maks} \times A_p \times K_u} \quad (3.16)$$

$$J = \frac{2 \times 0.0015 \times 10^4}{0.2 \times 2.933 \times 0.29} = 176 \text{ A/cm}^2$$

Birincil sargı bakır alanı A_{b,a}:

$$A_{b,a} = \frac{I_{Bir,etkin}}{J} = \frac{8.73}{176} = 0.0496 \text{ cm}^2 \quad (3.17)$$

Birincil Sargı sayısı, N_b:

$$N_b = \frac{K_u \times W_a}{2 \times A_{b,a}} = \frac{0.29 \times 2.343}{2 \times 0.0496} \cong 8 \text{ tur} \quad (3.18)$$

Gerekli olan trafo boşluğu l_g :

$$l_g = \frac{0,4\pi N^2 A_c 10^{-8}}{L} - \frac{MLP}{\mu_m} \quad (3.19)$$

$$l_g = \frac{0,4\pi \times 8^2 \times 1,252 \times 10^{-8}}{0,000006} - \frac{9,22}{2500} = 0,1 \text{ cm}$$

Akı ateşleme faktörü, F:

$$F = 1 + \frac{l_g/2}{\sqrt{A_c}} \ln \left(\frac{2G}{l_g/2} \right) \quad (3.20)$$

$$F = 1 + \frac{0,05}{\sqrt{1,252}} \ln \left(\frac{2 \times 2,84}{0,05} \right) = 1,21$$

Yeni birincil sargı tur sayısı, $N_{b,y}$:

$$N_{b,y} = \sqrt{\frac{l_g L_b}{0,4\pi A_c F 10^{-8}}} \quad (3.21)$$

$$N_{b,y} = \sqrt{\frac{0,05 \times 6}{0,4\pi \times 1,252 \times 1,21 \times 10^{-2}}} \cong 6 \text{ tur}$$

İkincil sargı tur sayısının hesaplanması, N_i :

$$N_i = \frac{N_{b,y}(V_c + V_d)(1 - D_{maks} - D_{boş, min})}{V_G D_{maks}} \quad (3.22)$$

$$N_i = \frac{6(400 + 1,5)(1 - 0,46 - 0,1)}{26 \times 0,46} = 88 \text{ tur}$$

Trafo tur oranı, N:

$$N = \frac{N_{b,y}}{N_i} = \frac{6}{88} = 0,068 \quad (3.23)$$

3.1.4.4 Birincil ve İkincil Sargı Kesitlerinin ve Dirençlerinin Belirlenmesi

Tasarlanan Çapraz çevirgeçte farklı frekans değerlerinde de çalıştırılarak sonuçların karşılaştırılması amaçlandığı için anahtarlama frekansı 89 kHz değerlerine çıkılabilecek şekilde sargı tasarımları yapılmıştır.

Deri derinliđi kayıpları, süreksiz iletim modunda alıřan apraz evirgeler iin nlemi alınmaz ise byk kayıplar oluřturabilmektedir. nk sreksiz iletim modunda akım trnde alıřan apraz evirgelerde akı, alternatif akım řeklinindedir. Bu yzden, seilecek olan kablonun AA direnci ve DA direnci arasındaki iliřki $R_{aa}/R_{da} = 1$ olacak biimde seim yapılır [41].

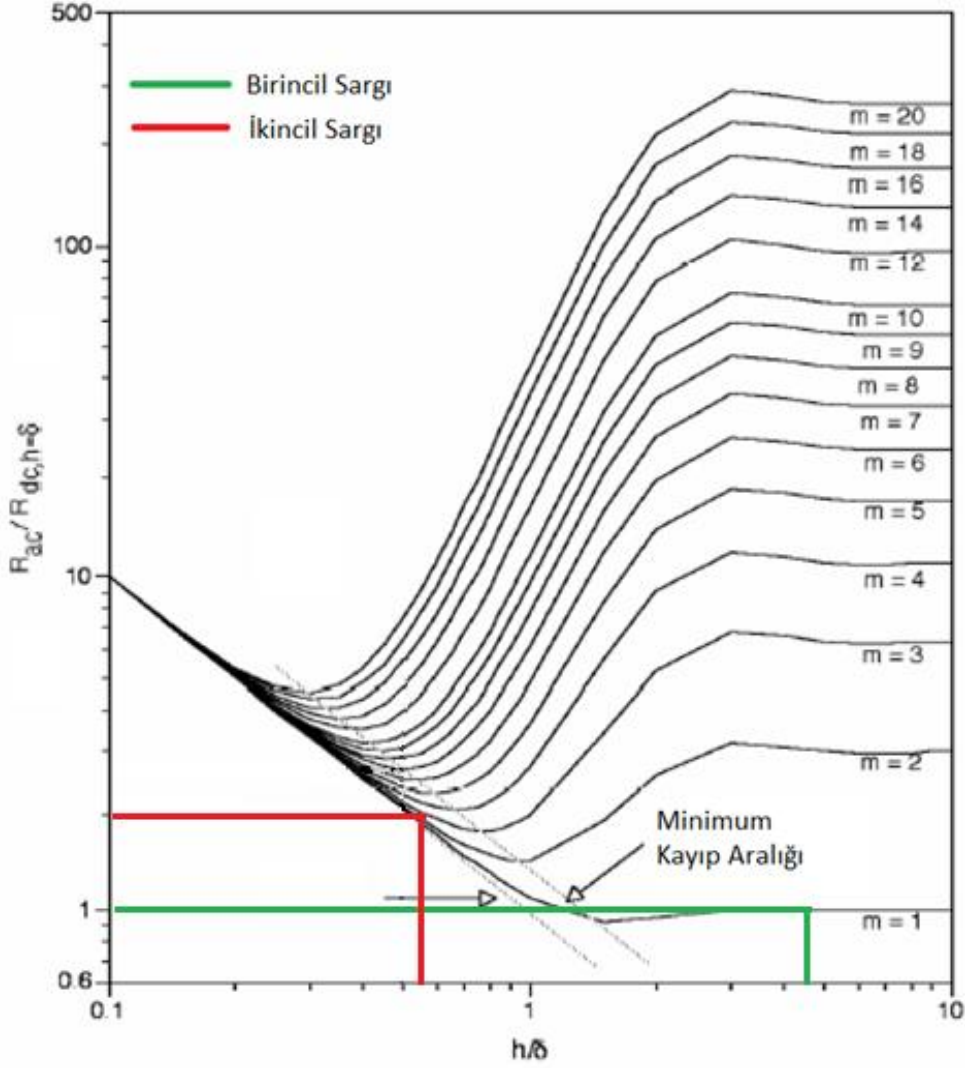
Deri derinliđi hesaplaması, ε :

$$\varepsilon = \frac{6.62}{\sqrt{f}} = \frac{6.62}{\sqrt{89000}} = 0.022 \text{ cm} \quad (3.24)$$

Birincil sargı bakır alanı Denklem 4.16'da $A_{b,a} = 0.0496 \text{ cm}^2$ olarak hesaplanmıřtır. Maksimum deri derinliđi de 0.22 mm'dir. Birincil sargıdan yksek tepe deđerine sahip etkin deđer 8.73 A olan akımlar geeceđi iin 0.3 mm apında 7 paralel bakır tel demet haline getirilmiřtir. Birincil sargının tur sayısı da Denklem 3.21'de 6 tur olarak hesaplanmıřtır. Denklem 3.25'te birincil sargının dřk frekans diren deđer bulunmuřtur. Bu durumda birincil sargıda oluřacak olan R_{ac} řekil 3.2'teki Dowell eđrisi yardımı ile Denklem 3.26'te hesaplanmıřtır [41].

Birincil sargı dođru akım direnci, $R_{b,DA}$:

$$R_{b,DA} = \rho \times \frac{MLT \times N_{b,y}}{A} = 2.3 \times 10^{-6} \times \frac{8.3 \times 6}{0.124} \cong 0.01 \Omega \quad (3.25)$$



Şekil 3.2. Dowell Eğrisi Üzerinde Birincil ve İkincil Sargı Kayıpları [41]

Birincil sargı alternatif akım direnci, $R_{b,AA}$:

$$R_{b,AA} = 1 \times R_{b,DA} \cong 0.01 \Omega \quad (3.26)$$

İkincil sargı bakır alanı $A_{i,a}$:

$$A_{i,a} = \frac{I_{i,etkin}}{J} = \frac{0.62}{166.7} = 0.004 \text{ cm}^2 \quad (3.27)$$

İkincil sargıda deri derinliği etkisini düşürebilmek amacıyla Litz teli tercih edilmiştir. Bu, yarı çapı 0.1 mm olan 20 adet bakır telden oluşan bir demettir. İkincil telde oluşacak olan düşük frekans direnci Denklem 3.28’da hesaplanmıştır.

İkincil sargı doğru akım direnci, $R_{i,DA}$ ve ikincil sargı alternatif akım direnci, $R_{i,AA}$:

$$R_{i,DA} = \rho \times \frac{MLT \times N_i}{A} = 2.3 \times 10^{-6} \times \frac{8.3 \times 88}{0.00157} \cong 1,07 \Omega \quad (3.28)$$

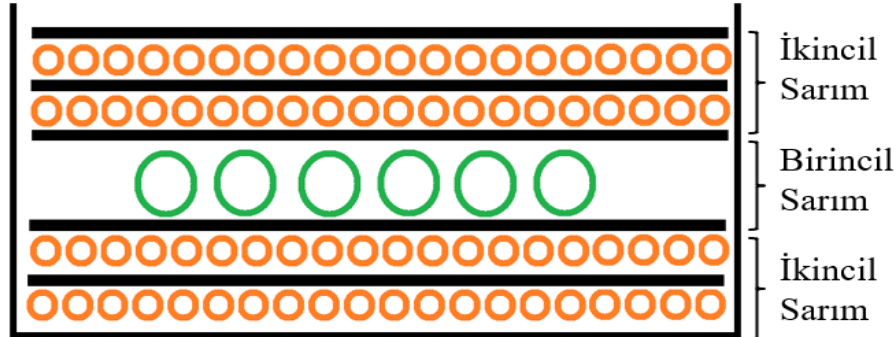
$$R_{b,AA} = 2 \times R_{b,DA} \cong 2,14 \Omega \quad (3.29)$$

Trafodaki bırakılacak olan boşluk, çekirdeğin sadece orta bacağı yerine tüm bacalarda hesaplanan değerinin yarısı olacak şekilde bırakılacaktır. Çekirdeğin manyetik akısının oluşturacağı ateşleme alanı küçüleceği için Eddy akımlarından kaynaklanan kayıplar azalacaktır. Diğer taraftan açıkta olan dış bacaktaki akı ateşleme alanı kaçak akı oluşturacaktır.

Çizelge 3.4. Transformator Teknik Özellikleri.

Çekirdek	Ferroxcube ETD39 3C97
Tur Oranı	1/14.7
Hava Aralığı	1 mm
Birincil Sarım Sayısı	6
Birincil Sargı Tel Çapı	7x0.15 mm Bakır tel
İkincil Sargı Sarım Sayısı	88
İkincil Sargı Tel Çapı	Litz Teli 20x0.1mm

Trafonun sandviç yapısındaki sarımı Şekil 3.3'te gösterilmiştir. Bu sayede kaçak endüktans değeri düşülmeye çalışılmıştır. Birincil taraf yeşil olarak gösterilen orta bölümdeki tek sıra sargıdır. İkincil taraf ise 44-44 olacak şekilde alt ve üst katmanlarda yer almaktadır.



Şekil 3.3. Trafo Sandviç Sarım Gösterimi

3.1.5 Çıkış Kapasitör Seçimi

Çapraz çevirgeçlerde çıkışta doğrultucu diyot ve kapasitör arasında endüktif enerji depolama alanı olmadığı için uygun çıkış kapasitör seçimi son derece önemlidir. Çıkış kapasitörü etkin akım değeri, eşdeğer seri direnç ve uygun sığa değerlerini karşılaması gerekmektedir.

Minimum kapasitör sığa değeri, $C_{\zeta,min}$, izin verilen tepe dalgalanma gerilim değerine bağlıdır:

$$C_{\zeta,min} = \frac{I_{\zeta,maks} \times D_{maks}}{\Delta V_{maks} \times f_a} = \frac{0.63 \times 0.44}{10 \times 89000} = 0.4 \mu F \quad (3.30)$$

Çıkış kapasitörü minimum etkin akım, $I_{c,\zeta,etkin}$:

$$I_{c,\zeta,etkin} = \sqrt{I_{iki,etkin}^2 - I_{\zeta}^2} = \sqrt{0.64^2 - 0.32^2} = 0.55 A \quad (3.31)$$

Yüksek anahtarlama frekansında Çapraz çevirgeç çıkış kapasitörü eşdeğer seri direnç değeri ile orantılı şekilde çıkış gerilim dalgalanması üretecektir. Bu yüzden isterlerde belirtilmiş olan çıkış gerilim değişim değerinin aşılmaması için denklem 3.32 deki ESD (etkin seri direnç) değerinden, ESD_{maks} , küçük seçilmelidir.

$$ESD_{maks} = \frac{\Delta V_{maks}}{I_{\zeta,tepe}} = \frac{1}{1.84} = 0.54 \Omega \quad (3.32)$$

Devrede 450 VDA, MKP, 2 μF Faratronic marka çıkış kapasitörü olarak seçilmiştir. Detaylı teknik bilgi notu EK-3'te yer almaktadır.

3.1.6 Çıkış Diyotunun Seçilmesi

Çıkıştaki doğrultucu diyotun seçilmesi taşıması gereken maksimum akım, ters geri kazanım için ayrılan süre ve gerilim dayanım değerine dayanmaktadır. Diyot üzerindeki gerilim dayanımı, çıkış gerimi ve giriş geriliminin yansımalarının toplamından fazla olmalıdır.

$$V_{\zeta,diyot} = 1.25 \times (N \times V_{g,maks} + V_{\zeta}) \cong 1.25 \times (14 \times 40 + 400) = 1375 V \quad (3.33)$$

İkincil diyotun akım değeri bağlantı sıcaklığının sınırları içinde kalmasını sağlayacak şekilde seçilmelidir. Ultra hızlı diyotun seçilmesi sistem verimliliği açısından faydalı olacaktır. Çizelge 3.5'te seçilmiş olan çıkış diyotunun bazı teknik verileri gösterilmiştir. Daha ayrıntılı bilgi Ek-4'te bulunabilir.

Çizelge 3.5 Çıkış Diyotu Teknik Özellikleri

V_{RRM} (V)	1800
I_F (A)	10
t_{RR} (ns)	300

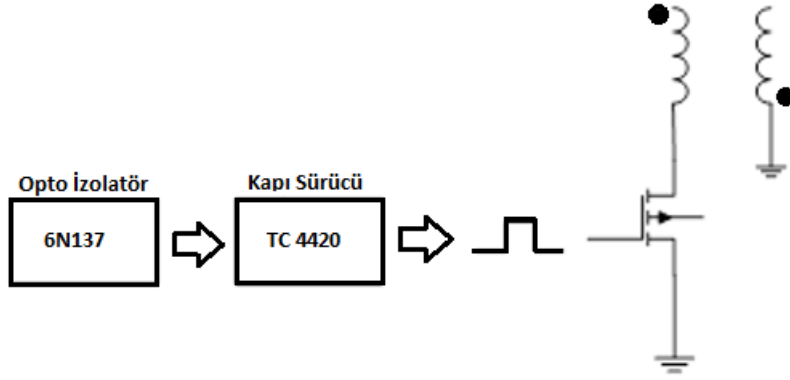
3.1.7 İzolasyonlu Toprakların Bağlantısı

Çapraz çevirgeçler gibi anahtarlamalı devrelerde yüksek dV/dt 'den dolayı parazit kapasitörlerden akım akacaktır. Özellikle transformatördeki birincil ve ikincil sargılar arasındaki parazitik kapasitörler etkili olur. Böyle bir durum parazit akımlar için bir yol belirlenmediği zamanlarda gerçekleşir. Ayrıca, oluşan parazit akımların döngü alanı büyüdükçe daha fazla elektromanyetik yayılımına sebep olacaktır. Kapasitörler parazit akımlar için kısa yol sunar. Fakat kapasitörün bu amaçla kullanılabilmesi için Y2 güvenli olması gerekmektedir.

Parazitik akımlar dirençli ve reaktif yollarla devre ölçüm noktalarında potansiyel farklılıklara sebep olabilir. Örneğin, devrenin geri besleme ünitesinde gerilim farklılıkları yaratabilir. Seçilecek olan kapasitör değeri nF civarında olmalıdır. Çünkü parazitik akımlar yalıtım bariyeri boyunca kolaylıkla belirlenen yoldan akabilmez ve bu akımın değeri yaklaşık 75 mA değerlerindedir. Bu yüzden 2.2 nF değerinde X1Y2 seramik kapasitör seçilmiştir.

3.1.8 Çapraz Çevirgeç MOSFET Sürücü Devresi Seçimi

Denetim kartı çapraz çevirgecin ikincil tarafında konumlandırılmıştır. Bu sebeple, her ne kadar yalıtımları kapasitör yardımıyla birleştirilse de çapraz çevirgeçlerin birincil tarafından anahtarlama komutları izole bir şekilde iletilmesi sağlanması gerekmektedir. Bundan dolayı Şekil 3.4'te belirtildiği gibi izoleli bir yapı oluşturulmuştur.



Şekil 3.4. Çapraz Çevirgeç Kapı Sürücü Entegreleri

Opto izolatör olarak 6N137 entegresi tercih edilmiştir. 6N137'nin çıkışında bir kare dalganın yükseliş gecikmesi maksimum 50 ns, dalganın düşüş noktasındaki gecikmesi ise maksimum 30 ns'dir. Anahtarlama periyodunun 11 μ s olduğu düşünülünce gecikmeler kabul edilebilir mertebededir. Ayrıca TC4420 entegresi yüksek hızlı MOSFET sürücüsüdür. Anlık akım değeri 6A'e kadar sağlanabilmektedir. Bir kare dalganın yükseliş ve düşüş noktalarındaki gecikmesi 25 ns civarlarındadır. Toplam oluşabilecek gecikmeler 10 ns'nin altında gerçekleşmektedir.

Bu tezde denetimin gerçekleştirildiği geliştirme kartı devrenin birincil tarafından izoleli ikinci tarafta ortak topraklanmış şekilde kullanılmaktadır. Süreksiz iletim modunda giriş akımının gürültüsünden korunmak amacıyla bu şekilde bir yol izlenmiştir [41].

3.1.9 DA Bağ Gerilimi Ölçülmesi

DA bağ gerilimi 400 VDA değerinde olduğu için elektriksel izolasyonun dikkatli yapılması mikro denetleyicinin zarar görmeden çalışabilmesi için önemlidir. Bu kapsamda gerilim bölücü devresinden yardımıyla 400 VDA gerilimi 0-3,3 VDA aralığına indirgenmektedir. Gerilim bölücü devresi 4 x 475 k Ω ve 10 k Ω 'dan oluşmaktadır. 400 VDA yaklaşık 2.1 VDA olarak geliştirme kartına iletilmektedir. Çıkışta yüke paralel olarak 1,91 M Ω 'luk toplam direnci oluşturmaktadır. Tam yükte geliştirme kartına 2,36 μ A karta gidebilecek maksimum akımdır. Bu şekilde akım çıkış sınırlandırılmaktadır.

3.1.10 Birincil Tarafta Yardımcı Güç Besleme Üniteleri

Çapraz çevirgecin birincil ve ikincil tarafları birbirinden izole oldukları için iki tarafın da güç besleme birimleri farklı olmak zorundadır. Bu nedenle çapraz çevirgecin birincil tarafında güneş paneli geriliminden 12 V'luk çıkış gerilimi elde eden DA-DA alçaltıcı tip

çevirgeç tasarlanmıştır. Bu çevirgecin giriş gerilim değeri 25 V-55 V arasında değişebilmektedir. Birincil tarafta bulunan MOSFET kapı sürücüsü, opto izolatör ve giriş gerilim entegresinin beslemesi bu ünite üzerinden yapılmaktadır [41].

3.1.11 Çapraz Çevirgeç Çalışma Frekansının Belirlenmesi

400 VDA çıkışlı 110 W güç aktarımı yapabilecek çapraz çevirgecin çalışabileceği optimum anahtarlama yöntemi için farklı frekanslarda verim hesaplaması gerçekleştirilmiştir. Benzetim çalışmaları LT Spice programı kullanılmıştır. Şekil 3.5'te erişilen maksimum verim sonucu 89 kHz'te %93,5 olarak verilmiştir. Çalışma frekansı 89 kHz olarak seçilmiştir.

--- Verim Raporu ---

Verim : 93.5%

Giriş: 118W @ 26V
Çıkış: 110W @ 400V

Ref.	Irms	Itepe	Enerji Kaybı
C1	361mA	1355mA	0mW
C2	0mA	0mA	0mW
C3	44mA	1069mA	0mW
C4	0mA	0mA	0mW
C5	571mA	12042mA	0mW
D1	454mA	1631mA	1715mW
D2	572mA	12063mA	212mW
L1	7544mA	18698mA	0mW
L2	454mA	1631mA	2mW
Q1	7512mA	18689mA	4069mW
R1	0mA	0mA	9µW
R2	1mA	1mA	853µW
R3	1mA	1mA	213mW
R4	0mA	0mA	0µW
R6	0mA	0mA	2µW
R7	7506mA	18659mA	225mW
R8	23mA	45mA	1144mW
U1	81mA	1310mA	109mW

Şekil 3.5. Erişilen Maksimum Verim Sonucu

3.2 DA-AA EVİRİCİ TASARIMI

İki seviyeli 3-faz evirgecin 400 VDA barasından çıkışında 220 V AA'da çift yönlü aktif ve reaktif güç denetimi yapabilen bir yapı olması amaçlanmıştır. Uygulamalarda anahtarlama frekansının maksimum 20 kHz seçildiği görülmüştür [42-47]. Bu sebep ile evirgeç anahtarlama frekansı 20 kHz seçilmiştir. Benzer Çizelge 3.6'da evirgece ait tasarım hedeflerine yer verilmiştir.

Çizelge 3.6. İki Seviyeli 3-Faz Evirgeç Tasarım Hedefleri.

Çıkış Gücü ($P_{\text{ç}}$)	5000 VA
Verim	>%90
Anahtarlama Frekansı (f_a)	20 kHz
Giriş Gerilimi ($V_{DA, \text{Bağ.}}$)	400 VDA
Çıkış Gerilimi ($V_{\text{ç}}$)	220 V AA
Filtre yapısı	RL
Maksimum Reaktif Gücü ($P_{\text{reaktif, maks}}$)	< P_{aktif}

3.2.1 Evirgeç Anahtar Seçimi

Bu çalışma kapsamında evirgecin gerçekleşmesi durumunda anahtar seçiminin nasıl yapılması gerektiğine dair literatür çalışması da gerçekleştirilmiştir. Evirgeç için seçilen tam köprü topolojisinin en büyük dezavantajı anahtarlama elemanına ters yönde paralellenmiş yapısal diyotlardır. Ters diyotların geri kazanım süreleri uzun olmaktadır. Bundan dolayı ters diyotların yüksek anahtarlama frekanslarındaki verimlilikleri düşmektedir [48].

Ters diyotlarda yüksek anahtarlama frekanslarında yüksek verim elde edebilmek için yarı iletken ters diyot teknolojisi olarak süper birleşim ile üretilmiş Silisyum tabanlı MOSFET'ler, SiC (Silisyum Karbür) MOSFET'ler, GaN HEMT (Galyum Nitrat Yüksek Elektron Hareketli Transistör) ve SiC ters Schottky diyotlu IGBT'ler kullanılabilir. Geniş Bant boşluklu yarı iletkenler, GaN ve SiC düşük geri kazanım süreleri ve geliştirilmiş anahtarlama karakteristikleri ile geri kazanım süresi bakımında öne geçmektedirler [48]. Dezavantajları ise yüksek maliyetlere sahip olmalarıdır [48]. IGBT'ler ise yüksek anahtarlama frekanslarında iletim kayıpları çok fazladır. Ancak IGBT kullanımı çok yüksek gerilimlerde zorunlu hale gelmektedir. İletim kayıplarını azaltmak için ise IGBT'lerin paralel kullanımı ya da çok seviyeli çevirgeç topolojileri seçilerek daha düşük anahtarlama frekanslarında yüksek performans elde edilebilmektedir [49]. Ya da Infineon firmasının yeni geliştirmiş olduğu Trenchstop 5 IGBT yapısı sayesinde yüksek katkılı hendek içerisinde kayma alanı oluşturulduğu için iletim kayıpları azaltılmaya çalışılmaktadır [50]. Ayrıca SiC paralel Schottky diyotlu tasarımlar da düşük geri kazanım süreleri ile daha verimli IGBT'lerin üretilmesine imkân sağlamaktadır [51]. Çizelge 3.7'da muhtemel tercih edilebilecek yarı iletkenler verilmiştir.

Çizelge 3.7. Evirgeç için Yarı-iletkenler.

Yarıiletken Teknolojisi	Model	V _{DSS} (V)	R _{DS(on)} (mΩ)	t _{d(on)} (ns)	t _r (ns)	t _{d(off)} (ns)	t _f (ns)
SiC	SCT2120AF	650	120	22	31	60	19
GaN HEMT	TPH3208PS	650	130	33	8	46	7
Si IGBT	AOT15B60D	600	-	21	19	73	10
Si CoolMOS	IPB65R310CFD	700	310	11	7.5	45	7
Si PowerMESH	STGP19NC60KD	600	-	30	8	105	85
GenX3/SiC Diode	IXGP30N60C3C 1	600	-	17	20	42	47

3.2.2 DA Kapasitör Değerinin Hesaplanması

Tam köprü evirgecin doğası gereği şebeke gerilim frekansının iki katına sahip bir dalga DA bağ geriliminde gözükcektir. Denetleyicinin düzgün çalışabilmesi için bu dalganın belirli bir değer arasında limitlenmesi gerekir. Dalgalanmanın belirli bir aralıkta tutulması DA kapasitörü ile sağlanmaktadır.

Şebeke gerilimi ve şebeke akımı:

$$v_g(t) = \widehat{V}_g \cos(\omega_g t) \quad (3.34)$$

$$i_g(t) = \widehat{I}_g \cos(\omega_g t - \varphi) \quad (3.35)$$

Anlık çıkış gücü:

$$\begin{aligned} P_{out}(t) &= \widehat{V}_g \widehat{I}_g \cos(\omega_g t) \cos(\omega_g t - \varphi) \\ &= V_g^{rms} I_g^{rms} \cos(\varphi) + V_g^{rms} I_g^{rms} \cos(2\omega_g t - \varphi) \\ &= S \cos(\varphi) + S \cos(2\omega_g t - \varphi) \end{aligned} \quad (3.36)$$

Çıkış gücü içerisindeki frekansı şebeke frekansının iki katı olan bileşen DA bağ gerilimindeki dalgalanmaya sebep olan bileşendir. Denklemdaki S, görünür gücü belirtmektedir. Maksimum izin verilebilecek DA bağ dalgalanması $V_{DA,dalg}^{maks}$ ile gösterilmiştir.

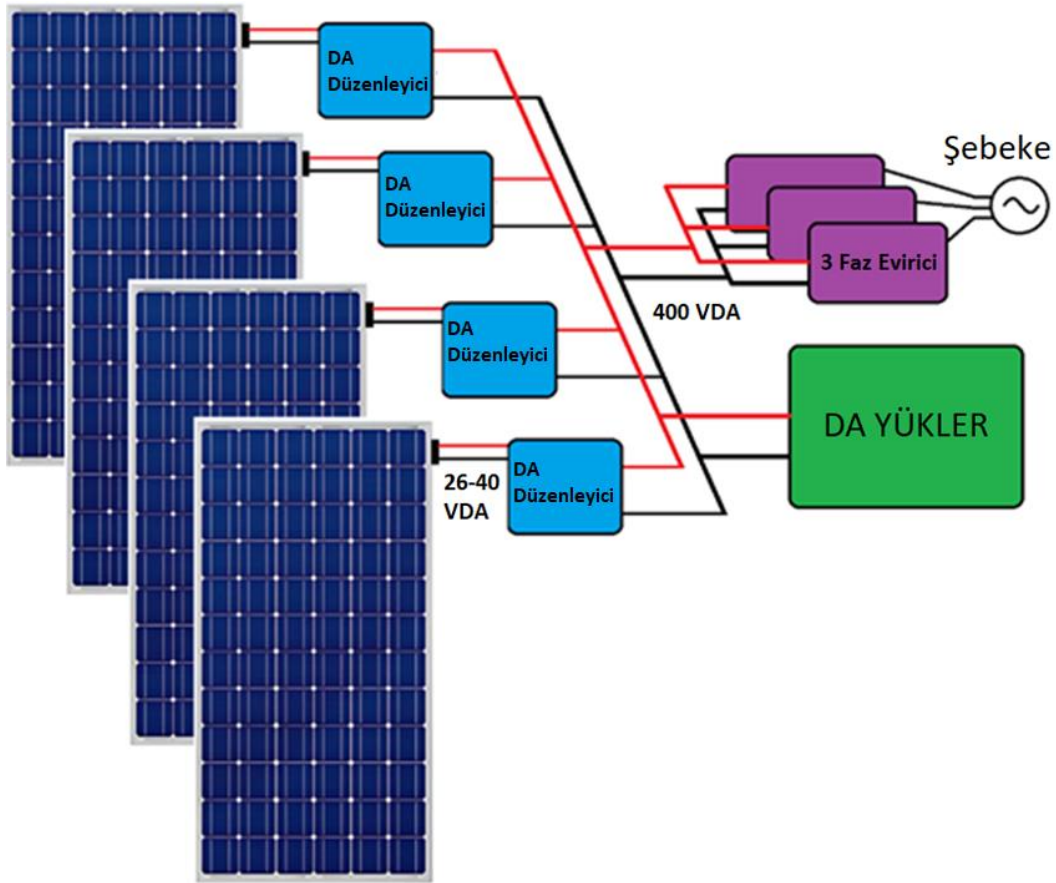
DA bađ kapasitör deđeri, $C_{DA-bađ}$:

$$C_{DA-bađ} = \frac{\hat{I}_{DA,dalg}}{2\omega_g V_{DA,dalg}^{maks}} = \frac{S}{2\omega_g V_{DA}^n V_{DA,dalg}^{maks}} = \frac{5000VA}{2 * 314 * 400 * 10} \quad (3.37)$$
$$\cong 2000 \mu F$$

Sonuca göre DA-Bađ kapasitörü olarak 2x1000 μF Kendeil 450 VDA alüminyum kapasitör kullanılabilir.

4. SİSTEM ALGORİTMALARI

Hedeflenen mikro şebeke mimarisi, fotovoltaik paneller, DA Düzenleyiciler, reaktif güç desteği verebilen 3 Faz DA-AA evirgeç ve yükten oluşmaktadır. Şekil 4.1’de sistem mimarisi gösterilmektedir. Ortak bara olan DA barasına yükler, DA Düzenleyiciler ve şebeke bağlantılı DA-AA evirgeç bağlanmıştır. DA-AA evirgeç yapısı şebeke ile sistem arasındaki çift yönlü güç akışını sağlamaktadır. Ortak DA baraya bağlı üretilen ve tüketilen güç farkı olması durumunda şebekeden güç çekilmesi veya şebekeye fazla gücün aktarılması olayı çift yönlü güç akışı olarak adlandırılır [63]. Şekil 4.1’de gösterildiği üzere ortak doğru akım barası kırmızı (pozitif kutup) ve siyah (negatif kutup) olarak betimlenmiştir. Yeşil kutu mikro şebekedeki yükleri, mor renkli kutular ise 3 fazı temsilen şebekeye bağlı evirgeci, mavi kutular ise fotovoltaik panellere bağlı olan DA Düzenleyiciyi göstermektedir. Sistem Algoritmaları bölümü iki ana başlıktan oluşmaktadır. Bölüm 4.1’de DA Düzenleyici modeli ve denetim yöntemleri, Bölüm 4.2’de evirgeç yapısı ve denetim blokları irdelenecektir.



Şekil 4.1. Mikro Şebeke Mimarisi (DA Düzenleyici (DC Optimizer) + 3 Faz Reaktif Güç Desteği Verebilen DA-AA Evirgeç)

4.1 DA Düzenleyici

Bu bölümde DA Düzenleyicinin bir anahtarlama periyodundaki davranışı üzerinden durum uzay denklemi ve transfer fonksiyonu elde edilecektir. Bir sonraki kısımda DA Düzenleyici için uygulanabilecek kayan kipli denetim ve oransal tümlevsel (OT) denetim yöntemleri incelenmiştir.

4.1.1 DA Düzenleyici Sistem Modeli

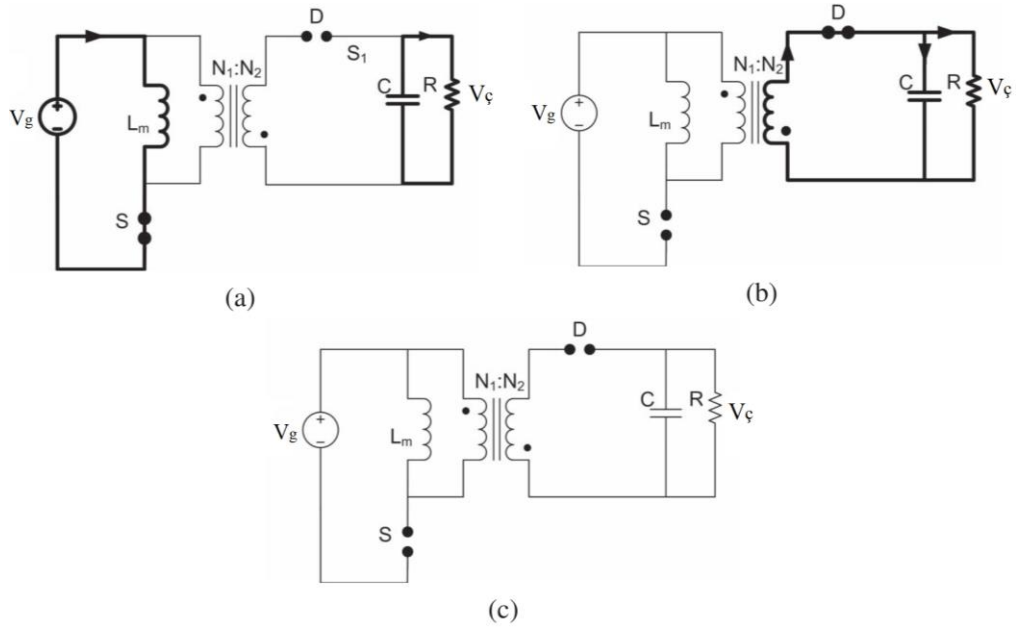
DA Düzenleyici topolojisi Bölüm 2.2 de belirtildiği üzere Faz kaymalı paralel çapraz çevirgeç olarak seçilmiştir. Bu bölümde Faz kaymalı paralel Çapraz çevirgeç yapısını sadeleştirilmiş olarak tek bir çapraz çevirgeç yapısı üzerinden incelenmiştir. Çapraz Çevirgeç süreksiz iletim modunda bir anahtarlama periyodunda 3 farklı davranış sergiler [63]. Bu 3 durumdaki akım geçen yollar devre üzerinde siyah ile vurgulanmış olarak Şekil 4.2'de verilmiştir [63]. Şekil 4.2'de giriş gerilimi V_g , anahtarlama elemanı S, birincil taraftaki trafo endüktans L_m , trafo sarım oranı $N_1:N_2(n)$, diyot D, çıkış kapasitörü C çıkış yükü R ve çıkış gerilimi V_c olarak gösterilmektedir [63]. Şekil 4.3'te i_s anahtarlama elemanı (S) akım değerini, i_D diyot üzerinden geçen akım değerini V_{Lm} trafonun birincil tarafındaki gerilimi göstermektedir. T_s , periyot değerini, D_1T_s , D_2T_s ve D_3T_s zaman aralıkları, periyot ve görev döngü sürelerinin çarpımı olarak ifade edilmiştir. V_{Lm} grafiğindeki maksimum gerilim değeri, giriş gerilimi (V_g) kadar olurken minimum gerilim değeri ise çıkış geriliminin trafo oranının oranlanmış değeri ($-(N_1:N_2) V_c$) kadar olmaktadır [63].

1. Zaman aralığında Şekil 4.2-a'da gösterildiği üzere S kapalı konumdadır. Şekil 4.3'te ilk grafik (V_g)'dir. V_g , 1. Zaman aralığında giriş kaynak gerilimi kadar beslenmektedir. Bu sırada trafo enerji depolamaktadır. Trafo ve S üzerindeki akım aynı olup akımın zaman ile yükselişi Şekil 4.3 i_s grafiğinde görülmektedir. Giriş akımı kaynaktan trafonun birincil tarafına ilerler ve S üzerinden giriş kaynağın negatif kutbuna ilerlemektedir. Bu sırada trafonun ikincil tarafında yük, çıkış kapasitörü tarafından beslenmektedir [63].

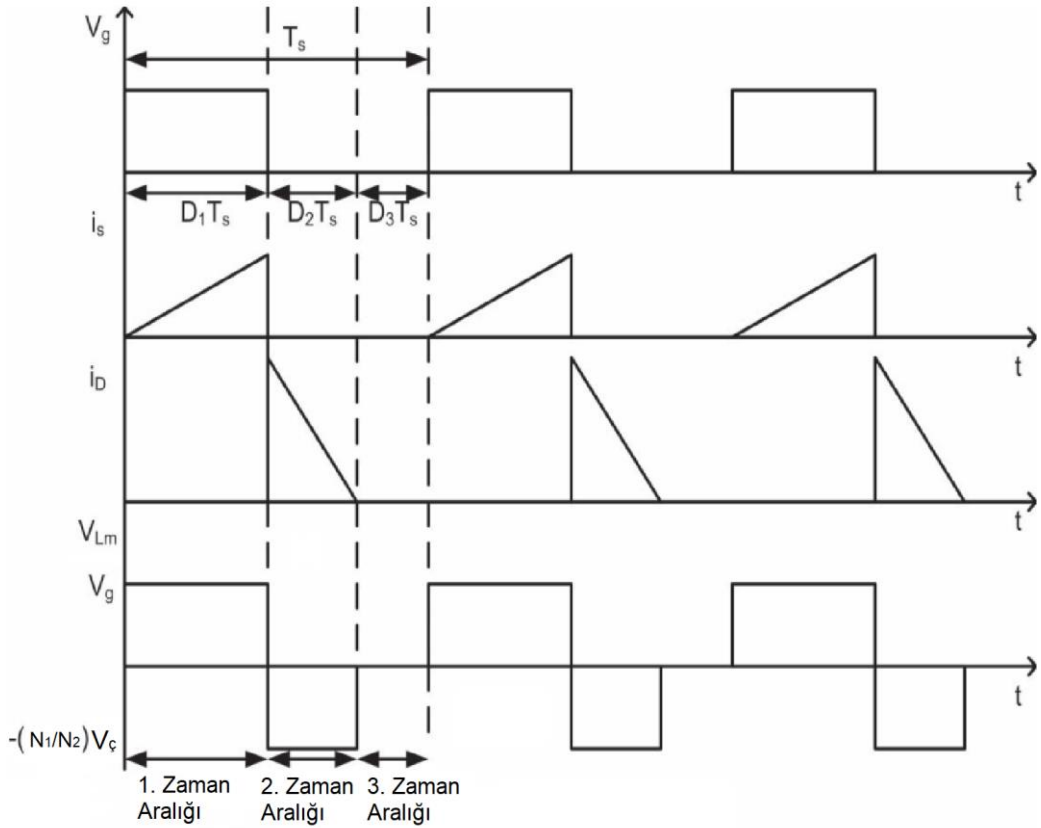
2. zaman aralığı Şekil 4.2-b'de S açık konumuna gelmektedir. Trafonun birincil tarafındaki enerji trafonun ikincil tarafına aktarılmış ve diyot üzerinden çıkış kapasitörü ve yük beslenmektedir. Şekil 4.3 i_D grafiğinde trafonun ikincil tarafından gelen diyot üzerindeki akım değişimi gözlenmektedir.

3. zaman aralığında S ve D açık konumdadır. Şekil 4.2-c'de gösterildiği üzere devrede enerji akışı ve akım değişimi bulunmamaktadır.

Şekil 4.3'te giriş kaynağın gerilim zaman grafiği değişimi,



Şekil 4.2. Anahtarlama Periyodundaki Zaman Aralıkları a)1. Zaman Aralığı b) 2. Zaman Aralığı c) 3. Zaman Aralığı [63]



Şekil 4.3. Süreksiz İletim Modunda V_g Gerilim, I_s Akım, I_d Akım Ve V_{Lm} Gerilim Değişimleri [63]

Durum Uzay (State Space) Denklemleri

Çapraz Çevirgeç için durum uzay denklemleri tanımlamak için Şekil 4.2 ve Şekil 4.3'te gösterilen zaman aralıkları kullanılır [63]. Endüktansın gerilim-saniye eşitliği Denklem 4.1'de verilmiştir. Bu denklemden Denklem 4.2 belirtilmiş olan eşitlik ile elde edilmektedir [63].

$$\frac{1}{T_s} (V_g D_1 T_s - \frac{V_c}{n} D_2 T_s) = 0 \quad (4.1)$$

$$\frac{V_c}{V_g} = \frac{n D_1}{D_2} \quad (4.2)$$

Kapasitör yük denge eşitliğinden de Denklem 4.3'te

$$\frac{V_c}{R} = \frac{V_g D_1 D_2 T_s}{L_s} \quad (4.3)$$

$$V_c = \frac{D_1}{\sqrt{\frac{2L_i}{RT_s}}} V_g \quad (4.4)$$

Ayrıca giriş, endüktans, kapasitör ve çıkış gerilimleri ve akımları arasındaki ilişki aşağıda verilmiştir.

$$i_c(t) = -\frac{v_c(t)}{R + R_{C,esr}} \quad (4.5)$$

$$i_L(t) = i_g(t) \quad (4.6)$$

$$v_L(t) = v_g(t) \quad (4.7)$$

$$n = N_1/N_2 \quad (4.8)$$

$$V_c(t) = -v_c(t) \quad (4.9)$$

1. zaman aralığında

$$\frac{di_L}{dt} = \frac{V_g}{L_m} \quad (4.10)$$

$$\frac{dv_c}{dt} = \frac{v_c}{RC} \quad (4.11)$$

$$\dot{x} = A_1 x + B_1 x \quad (4.12)$$

$$\begin{bmatrix} \frac{di_L}{dt} \\ \frac{dv_c}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & \frac{-1}{RC} \end{bmatrix} \begin{bmatrix} i_L(t) \\ v_c(t) \end{bmatrix} + \begin{bmatrix} \frac{1}{L_m} \\ 0 \end{bmatrix} [V_g(t)] \quad (4.13)$$

2. Zaman aralığında

$$\frac{di_L}{dt} = \frac{-nv_c}{L_m} \quad (4.14)$$

$$\frac{dv_c}{dt} = \frac{ni_L}{C} - \frac{v_c}{RC} \quad (4.15)$$

$$\dot{x} = A_2x + B_2x \quad (4.16)$$

$$\begin{bmatrix} \frac{di_L}{dt} \\ \frac{dv_c}{dt} \end{bmatrix} = \begin{bmatrix} 0 & \frac{-n}{L_m} \\ \frac{n}{C} & \frac{-1}{RC} \end{bmatrix} \begin{bmatrix} i_L(t) \\ v_c(t) \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} [V_g(t)] \quad (4.17)$$

3. Zaman aralığında

$$\frac{di_L}{dt} = 0 \quad (4.18)$$

$$\frac{dv_c}{dt} = \frac{-v_c}{RC} \quad (4.19)$$

$$\dot{x} = A_3x + B_3x \quad (4.20)$$

$$\begin{bmatrix} \frac{di_L}{dt} \\ \frac{dv_c}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & \frac{-1}{RC} \end{bmatrix} \begin{bmatrix} i_L(t) \\ v_c(t) \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} [V_g(t)] \quad (4.21)$$

Tek bir periyotta durum uzay ortalaması

$$A = A_1D_1 + A_2D_2 + A_3D_3 \quad (4.22)$$

$$\begin{bmatrix} \frac{di_L}{dt} \\ \frac{dv_c}{dt} \end{bmatrix} = \begin{bmatrix} 0 & \frac{nD_2}{L_m} \\ \frac{nD_2}{C} & \frac{-1}{RC} \end{bmatrix} \begin{bmatrix} i_L(t) \\ v_c(t) \end{bmatrix} + \begin{bmatrix} \frac{D_1}{L_m} \\ 0 \end{bmatrix} [V_g(t)] \quad (4.23)$$

Transfer Fonksiyonu

Çapraz çevirgecin süreksiz iletim modundaki çıkış transfer fonksiyonunu Denklem 4.24'te verilmiştir. İlgili transfer fonksiyonunun hesaplanması üzerine birçok çalışma bulunmaktadır. Kamath ve arkadaşlarının üzerine çalıştığı çıkış gerilimi ve görev döngü süresi arasındaki ilişki transfer fonksiyon referansı olarak kullanılmıştır [63]. Denklem 4.24'teki transfer fonksiyonunda R, yük direnci, L_s Sekonder endüktans değeri T_s anahtarlama periyodu $R_{C,esr}$ Çıkış kapasitör direnç değeri ve C çıkış kapasitörüdür.

$$G(s) = \frac{V_g}{\sqrt{\frac{2L_s}{RT_s}}} \left(\frac{1}{1 + \frac{sRC}{2}} \right) \quad (4.24)$$

$$K = \frac{V_g}{\sqrt{\frac{2L_s}{RT_s}}} = 72.28 \quad (4.25)$$

$$\frac{RC}{2} = 0,0013 \quad (4.26)$$

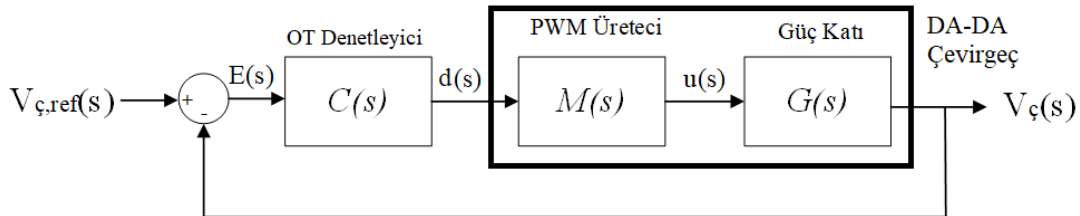
4.1.2 DA Düzenleyici Denetim Yöntemleri

DA Düzenleyici çıkış gerilimi ortak olan 400 VDA'a entegre olarak çalışması hedeflenmektedir. Bu yapıda kullanılacak denetim algoritmaları oransal tümlevsel denetim (OTD) ve kayan kipli denetim (KKD) teknikleridir. Bu bölümde her iki denetim tekniği irdelenmektedir.

Oransal Tümlevsel Denetim (OTD)

OTD tekniğinde çıkış gerilimi referans değer ile farkı alınarak hata değeri elde edilir. Hata değeri OT denetleyiciye girdi olur. OT denetleyici sonrasında oluşan sinyal, görev döngü süresini ifade etmektedir. OTD yapısı ve DA çevirgeç yapısının s-bölgesindeki (s-domain) kapalı döngü yapısı Şekil 4.4'te gösterilmiştir. E(s) hata sinyalini, C(s) OT denetleyiciyi, d(s) görev döngü sinyalini, M(s) anahtarlama sinyalini üreten PWM üretici, u(s) anahtarlama sinyalini ve G(s) güç katını göstermektedir.

DA Barasının 400 VDA değerinde tutulması gerektiği için çıkış gerilim referans değeri ($V_{\phi,ref}$) 400 olarak seçilmiştir. DA-DA çevirgeç çıkış gerilimi örneklenerek referans 400 değeri ile karşılaştırılmaktadır.



Şekil 4.4. OTD Yapısı

OT denetleyici Denklem 4.27'de verilmiştir. Denetleyiciye ait K_p ve K_i değerlerinin belirlenmesi için kutup yerleştirme tekniği kullanılmıştır. Kutup yerleştirme çözümünde 2.dereceden sistem transfer fonksiyonunda (Denklem 4.28) ξ söndürme oranı (damping ratio) w_n ise doğal frekansını ifade etmektedir. Söndürme oranından ve doğal frekansından sistemin maksimum hedef aşma yüzdesi (M_p) ve yerleşme süresi (t_s) elde edilebilmektedir. Denklem 4.29 ve 4.30'da gösterilmiştir.

Bunun için çevirgeç çıkışındaki hedef aşma (overshoot) yüzdesini ve yerleşme (settling) süresinin belirlenmesi gerekmektedir. Lema ve arkadaşlarının DA mikro şebeke yayınında gerilim değişimi %1 ve yerleşme zamanı 0.2 sn olarak alınmıştır [76]. Referanslar dikkate alınarak yaklaşık olarak hedef aşma yüzdesi %1,25 ve yerleşme süresi 0.1 saniye olarak seçilmiştir.

$$C(s) = K_p + \frac{K_i}{s} \quad (4.27)$$

$$G(s) = \frac{w_n^2}{s^2 + 2\xi w_n s + w_n^2} \quad (4.28)$$

$$M_p = 100\% \times e^{-\xi\pi/\sqrt{1-\xi^2}} \quad (4.29)$$

$$t_s = \frac{4}{\xi w_n} \quad (4.30)$$

$$\xi = 1.187 \quad (4.31)$$

$$w_n = 33.7 \text{ rad/s} \quad (4.32)$$

Kutup yerleştirme tekniğinde 1. Dereceden bir modelde OT denetleyici ile denetim edilmek istendiğinde ikinci derece kapalı döngü sistemi elde edilir. Kapalı döngü sonrası sistem transfer fonksiyonu aşağıdaki Denklem 4.33'te verilmiştir.

$$\begin{aligned} \frac{V_c(s)}{V_{c,ref}(s)} &= \frac{C(s)M(s)G(s)}{1 + C(s)M(s)G(s)} = \frac{\left(K_p + \frac{K_i}{s}\right)\left(\frac{K}{1 + bs}\right)}{1 + \left(K_p + \frac{K_i}{s}\right)\left(\frac{K}{1 + bs}\right)} \\ &= \frac{K(K_p s + K_i)}{bs^2 + (K_p K + 1)s + K_i K} \end{aligned} \quad (4.33)$$

Karakteristik denklem:

$$bs^2 + (K_p K + 1)s + K_i K = 0 \quad (4.34)$$

Ulaşılmak istenen kapalı döngü cevabı ξ ve w_n olarak Denklem 4.36 ve 4.37'deki gibi karakterize edilebilir.

$$s^2 + 2\xi w_n s + w_n^2 = s^2 + \frac{(K_p K + 1)}{b} s + \frac{K_i K}{b} \quad (4.35)$$

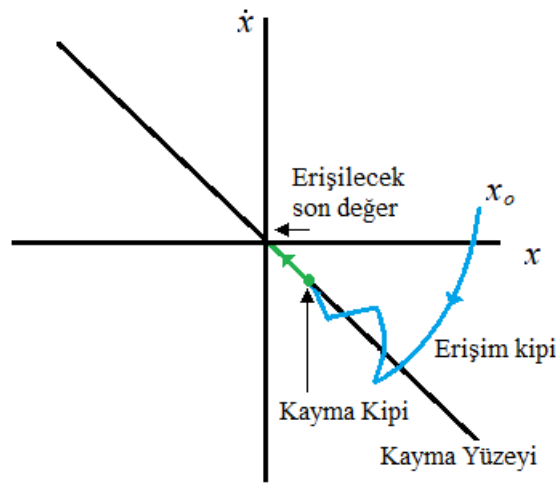
$$K_p = \frac{2\xi w_n b - 1}{K} = 0,02 \quad (4.36)$$

$$K_i = \frac{b w_n^2}{K} = 2,1 \quad (4.37)$$

OT denetim bloğu $K_p = 0,02$ ve $K_i = 2,1$ olarak çalıştırılmıştır. Bütün sistem testlerinde ilgili parametreler denemeler sonucu $K_p = 0,002$ ve $K_i = 1,2$ olarak seçilmiştir.

Kayan Kipli Denetim

Kayan kipli denetim, belirsiz, bozulmaların olduğu ve doğrusal olmayan durumlarda dinamik sistem davranışlarını denetim etmeyi amaçlayan denetim tekniğidir. Belirsiz durumlar karşısında sağlam, istikrarlı ve yapısal olarak basit bir denetim tekniğidir. Bu denetim tekniğinde sistem durumları belirlenmiş bir doğrultuda veya yüzey boyunca kaymaya zorlanmaktadır. Sistem belirlenmiş bu kayma yüzeyindeyken hata sıfır veya belirli bir sınır değer altındadır. Bu şekilde sistem davranışı kararlı tutulmaktadır [64]. Şekil 4.5'te kayan kipli denetimde kayma kipi hareketi grafik üzerinde gösterilmiştir.



Şekil 4.5. Kayan Kipli Denetim Kayma Kipi Hareketi [66]

Kayan kipli denetim yapılan çevirgeçler, süreksiz iletim modunda (DCM) çalışmada denetim tasarımı için kayan yüzeyin oluşturulmasında zorluk yaşanmaktadır. Çevirgeç yapıları süreksiz iletim modunda çalışması durumunda anahtarlama periyodunda ölü zaman aralığı olduğu için (3. Zaman aralığı) çıkış gerilim hatası üretirler. Genel çalışmalar sürekli iletim modunda (CCM) çalışan çevirgeçler üzerinedir. [66-68, 71-72].

Bu tez kapsamında tasarlanan çapraz çevirgeci süreksiz iletim modunda çalışacak şekilde tasarlanmıştır. Bu nedenle [72]'de önerildiği gibi çıkış gerilimini denetim etmek için kayan kipli denetimde, çıkış gerilimi ve referans gerilim değerinin yanında çıkış kapasitör akımı da denetim parametresi olarak kullanılmaktadır. Çapraz çevirgeç trafo tasarımında 89 kHz'te çalışabilecek şekilde nüve seçimi ateşleme boşluğu seçilmiştir. Trafo farklı frekanslarda daha verimsiz çalışacağı için kayan kipli denetim yönteminin 89 kHz'de anahtarlama frekansında çalışmasının garantiye alınması gereklidir [69]. Bunun için Tan ve arkadaşlarının yükselteç çevirgeçler için önerdikleri durum uzay denklemleri çapraz çevirgeç için uyarlanmıştır.

Tan ve arkadaşlarının yükselteç çevirgeçler için önerdiği histerisis modülasyon tekniği ile uygulanan kayan kipli denetim durum uzay denklemleri: [70]

$$x = \begin{bmatrix} x_1 \\ x_2 \\ x_3 \end{bmatrix} = \begin{bmatrix} V_{\zeta,ref} - V_{\zeta} \\ \frac{d(V_{\zeta,ref} - V_{\zeta})}{dt} \\ \int (V_{\zeta,ref} - V_{\zeta}) dt \end{bmatrix} \quad (4.38)$$

x_1 , x_2 ve x_3 Ölçeklendirilmiş gerilim hatalarıdır. Sürekli iletim modundaki durum uzay modelleri gerilim hatasının türev ve tümlevsel olarak nitelendirilmiştir [70].

$$\dot{x} = Ax + BU + D \quad (4.39)$$

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \\ \dot{x}_3 \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 0 & -1/RC & 0 \\ 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ x_3 \end{bmatrix} + \begin{bmatrix} 0 \\ -\beta V_g \\ LC \end{bmatrix} U + \begin{bmatrix} 0 \\ -\beta V_{\zeta} \\ LC \\ 0 \end{bmatrix} \quad (4.40)$$

Denklem 4.2?'den aşağıdaki çok katmanlı kayan kip formu (S) elde edilir [70]. İlgili S kayan kipli mod operasyonun devamlılığı için Denklem 4.42'de belirtilen şartı sağlaması gerekmektedir. α_1 , α_2 ve α_3 Katsayıları kayan kipli denetim operasyonunun devamlılığının garanti altına alınmasını amaçlanmaktadır. Ackermann fomülü yöntemiyle değerler belirlenmektedir.

$$S = \alpha_1 x_1 + \alpha_2 x_2 + \alpha_3 x_3 \quad (4.41)$$

$$\lim_{S \rightarrow 0} S \cdot \dot{S} < 0 \quad (4.42)$$

Bu kapsamda Tan ve arkadaşları [70] kayma kipli denetimi histerisis modülasyonu sabit frekanslı darbe genişlik modülasyonu denetimine evirmiştir. Bunu başarmak için anahtarlama denetim sinyali Denklem 4.43'deki gibi uyarlanmıştır [69-70]. Denklem (4.43)'nin görsel olarak sadeleştirilmiş hali Denklem (4.44)'de verilmiştir.

$$0 \leq d_{eq} = \left(LC \frac{\alpha_3}{\alpha_2} (V_{\zeta,ref} - V_{\zeta}) + \beta L \left(\frac{\alpha_1}{\alpha_2} - \frac{1}{r_L C} \right) I_{kap,\zeta} + V_{\zeta,ref} \right) P_3 < \beta (V_{\zeta} - V_{g,max}) \quad (4.43)$$

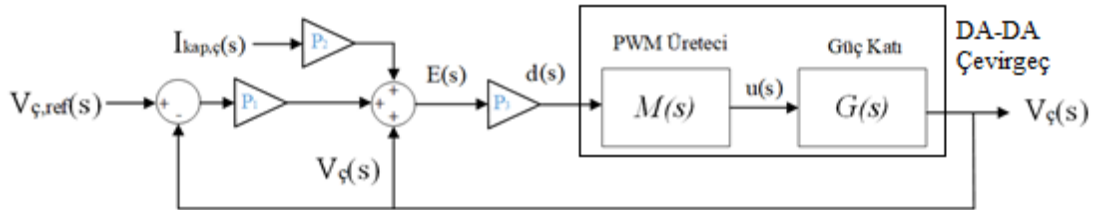
$$0 \leq d_{eq} = (P_1 (V_{\zeta,ref} - V_{\zeta}) - P_2 I_{kap,\zeta} + V_{\zeta,ref}) P_3 \leq 1 \quad (4.44)$$

$$\frac{\alpha_1}{\alpha_2} = \frac{10}{T_s} = 89 \times 10^4 \quad (4.45)$$

$$\frac{\alpha_3}{\alpha_2} = \frac{25}{\xi^2 T_s^2} = 2,9 \times 10^{11} \quad (4.46)$$

$$\xi = \frac{\left[\ln \left(\frac{M_p}{100} \right) \right]^2}{\sqrt{\pi^2 + \left[\ln \left(\frac{M_p}{100} \right) \right]^2}} = 0,826 \quad (4.47)$$

Denklem 4.43'deki katsayıların belirlenmesi için yazarlar [70] statik denetimci tasarımı için kullanılan Ackermann formülünden faydalanmışlar ve bu çözümlemenin sonucunda Denklem (4.45) ve Denklem (4.46)'i elde etmişlerdir [70]. Katsayılar %1'lik hedef aşma yüzdesine göre ve anahtarlama frekansına göre hesaplanmıştır. Daha sonra yazarların [70] önerdiği şekilde P_1 , P_2 ve P_3 değerleri hesaplanarak Şekil 4.6'te kayan kipli denetim bloğu oluşturulmuştur. Oluşturulan görev döngü sinyali çevirgeç anahtarlama sinyalleri üretim bloğuna iletilerek anahtarlama sinyalleri elde edilmiştir.



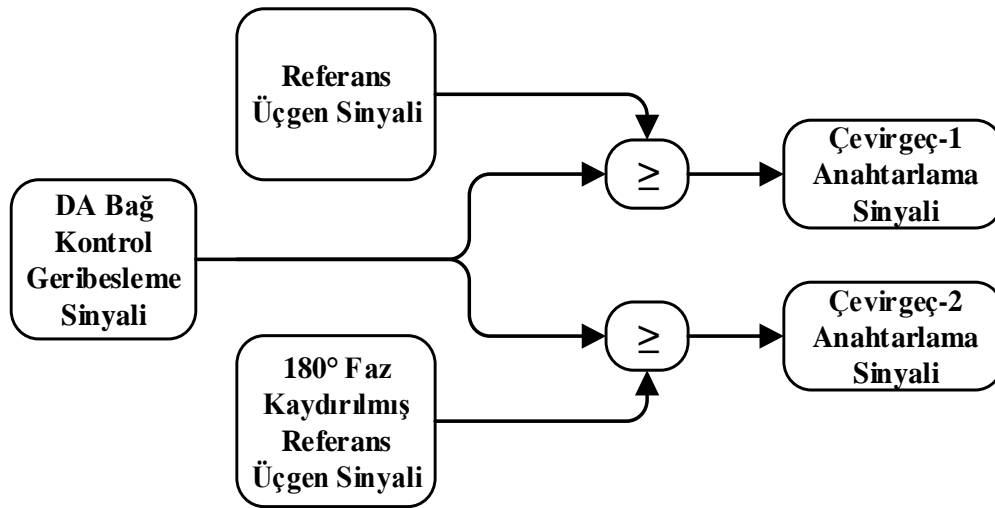
Şekil 4.6. Kayan Kipli Denetim Bloğu

Denetim de sadece çıkış gerilimi yerine çıkış kapasitör üzerindeki akım denetim döngüsüne katılmaktadır. Bu durumda devrede bir adet fazladan çıkış akım sensörü olmasını gerektirmektedir. Bu nedenle Kayan kipli denetim ve OTD benzetim çalışması üzerinden karşılaştırılmıştır. Fazladan sensör gerektirmesi sebebiyle gerçek devrede OTD uygulanmıştır.

4.1.3 DA-DA Çevirgeç Anahtarlama Sinyalleri Üretme

Serpiştirmeli DA-DA çevirgeç yapılarında MOSFET'ler aynı anda kapalı konumda olmaması gerekmektedir. Ancak, tasarlanması hedeflenen serpiştirmeli DA-DA yapısı süreksiz iletim modunda çalışacağı için görev süresi maksimum 0.5 olacak şekilde tasarlanmıştır [31]. Süreksiz iletim modunda sekonder tarafta enerjinin yüke aktarımı MOSFET 'in kapalı kalma süresinden daha düşük bir sürede gerçekleşmektedir. Ancak ilgili topolojinin doğası gereği anahtarlama sinyalleri arasında 180°'lik fark olması gerekmektedir.

MGNİ'den gelen DA Bağ denetim geri besleme sinyali, 89 kHz referans üçgen sinyali ve 180° faz kaydırılmış referans üçgen sinyali ile karşılaştırılarak çevirgeçlerdeki MOSFET'ler için anahtarlama sinyali üretilmektedir. Şekil 4.7'de anahtar sinyalleri üretim bloğu gösterilmiştir.



Şekil 4.7. DA-DA Çevirgeç Anahtarlama Sinyallerinin Üretim Bloğu

4.2 DA-AA EVİRİCİ DENETİM BLOKLARI

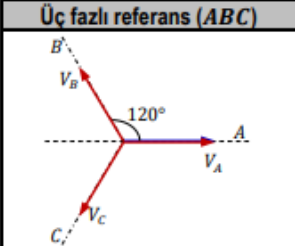
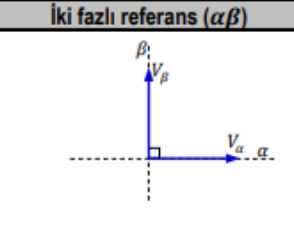
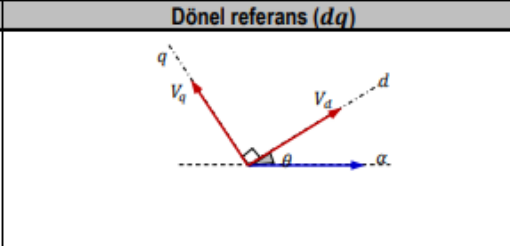
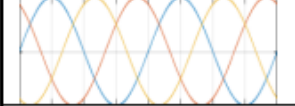
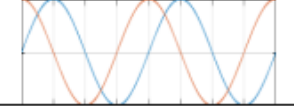
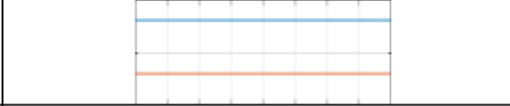
Bu bölümde DA-AA evirgeç denetim bloklarına yer verilmektedir. Faza kilitleme döngü tekniği, evirgeç anahtarlama tekniği, akım denetim algoritması ve reaktif güç denetim algoritması irdelenmiştir.

4.2.1 Faz Kilitlenme Döngü Tekniğinin Belirlenmesi

DA-AA evirgecin şebekeye güç aktarımı yapabilmesi için şebeke sinyalini hatasız şekilde takip etmesi gerekmektedir [55]. Faz kilitlenme döngü denetimi, evirgeç çıkış sinyalinin şebeke sinyaline eş zamanlı olmasını sağlamaktadır. Şebekede hata durumları ve şebekedeki ani değişimler nedeniyle hızlı ve doğru takip yapılması üzerine farklı faz kilitlenme döngü denetim yöntemleri geliştirilmiştir [55]. Bu algoritmalar; eşzaman referans çerçeve, ikinci derece genelleştirilmiş tümlevsel, geliştirilmiş ve dörtlü faz kilitleme döngü denetimleri olarak literatürde adlandırılmaktadır. Bu faz kilitleme döngü denetim tiplerinin ayrıntılı incelemeleri referanslarda yer almaktadır [56-58].

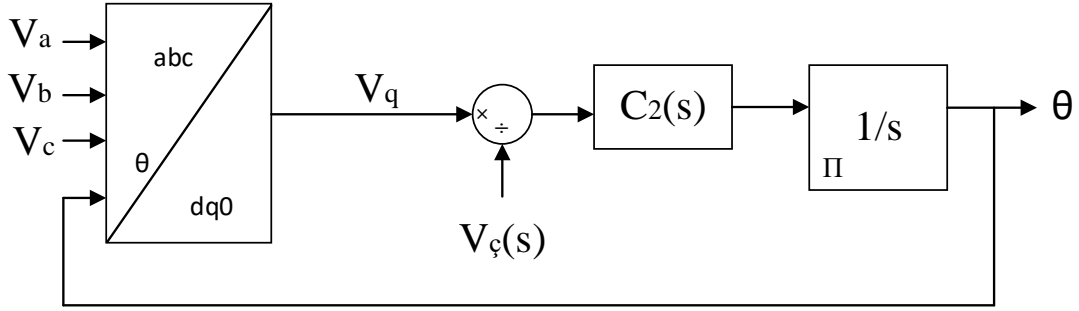
Bu çalışmada algoritma olarak sağlamlık ve yalnlık ile öne çıkan eşzaman referans çerçeve faz kilitleme döngü denetimi kullanılmıştır [58]. Tekniğin uygulamasında sinyallerin düzlemsel değişikliği gerekmektedir [58]. Bu noktada DQ dönüşümü referans düzlem değişikliği olarak kullanılmaktadır [59]. Senkron 120° faz üç farklı sinyal ilk önce α - β düzleminde sonrasında DQ düzleminde dönüştürülür. Dönüşüm formülleri Çizelge 4.1'de gösterilmiştir [77]. Dönüşüm sırasında kullanılan eşitlikler Çizelge 4.1'de gösterilmiştir.

Çizelge 4.1. ABC- $\alpha\beta$ - DQ Düzlem Dönüşümü [77]

Üç fazlı referans (ABC)	İki fazlı referans ($\alpha\beta$)	Dönel referans (dq)
		
		
$\begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix} = \begin{bmatrix} V_m \sin(\omega t) \\ V_m \sin(\omega t + 2\pi/3) \\ V_m \sin(\omega t - 2\pi/3) \end{bmatrix}$	$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix}$	$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\theta) & \cos(\theta - 2\pi/3) & \cos(\theta + 2\pi/3) \\ \sin(\theta) & \sin(\theta - 2\pi/3) & \sin(\theta + 2\pi/3) \end{bmatrix} \begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix}$
	$\begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ \frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix}$	$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \sin(\theta) \\ -\sin(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix}$
	$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \begin{bmatrix} \cos(\theta) & -\sin(\theta) \\ \sin(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} V_d \\ V_q \end{bmatrix}$	

DQ dönüşüm yardımıyla şebeke fazları ABC, V_d , V_q ve V_0 bileşenlerine ayrılır. V_d bileşeni 3 faz büyüklüğünü ifade ederken; V_q bileşeni ise faz hata bilgisini göstermektedir. Bu noktada elde edilen sinyal V_q , gerilim denetimli osilatör bloğuna

işlenerek θ açısı elde edilir. Ayrıca, elde edilen θ , açısı, abc-DQ dönüşüm bloklarında kullanılır. Şekil 4.8’de benzetim çalışmalarında hazırlanmış olan eşzaman referans çerçeve faz kilitleme döngü denetim bloğu yer almaktadır. Bu blokta kullanılan parametreler standartlaştığı ve özel şebeke durumları(ani gerilim düşümü, şebeke faz hataları gibi) incelenmeyeceği için MATLAB’da yer alan faz kilitleme döngü bloğu direkt olarak kullanılmıştır.



Şekil 4.8. Eşzaman Referans Çerçeve Faz Kilitleme Döngü Denetim Bloğu

4.2.2 Evirgeç Anahtarlama Tekniğinin Belirlenmesi

İki seviyeli 3 faz DA-AA evirgeç topolojisi; PCB tasarımının sadeliği, eleman sayısının diğer topolojilere göre daha az oluşu ve evirgeç için yazılım uygulanmasının kolay hazırlanabildiği için tam köprü topolojisi evirgeç topolojisi olarak karar verilmiştir. Tam köprü topolojisinde modülasyon tekniği olarak kare dalga, darbe genişlik ve uzay vektör modülasyon teknikleri kullanılabilir [60]. Bu tasarım için uygulama kolaylığından dolayı darbe genişlik modülasyon tekniği tercih edilmiştir [60].

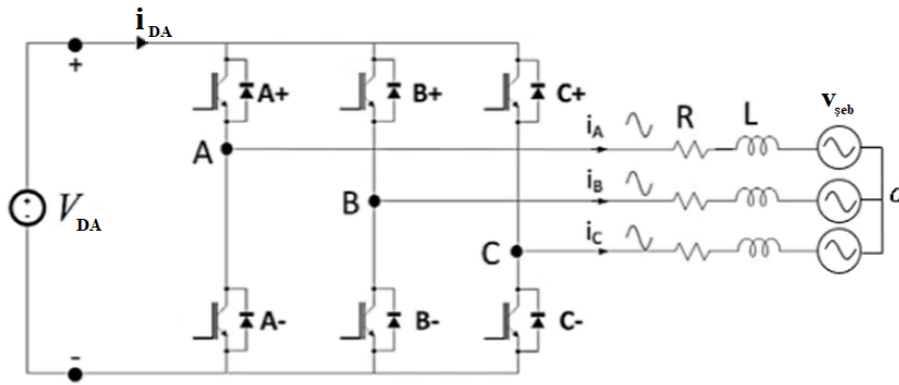
Darbe genişlik modülasyon tekniğinde denetim bloğundan gelen referans sinüs dalgası, anahtarlama frekansında oluşturulmuş üçgen dalga şekli ile karşılaştırılarak anahtarlama sinyalleri elde edilir ve anahtarlama elemanları denetim edilir. Darbe genişlik modülasyon tekniğinin avantajı düşük frekanslı harmoniklerin elimine edilmesi ve geriye kapasitör ve endüktans yardımıyla filtrelenebilecek yüksek frekanslı harmonikler kalmasıdır [60].

4.2.3 Akım Denetim Algoritması

İki seviyeli 3 faz evirgecin temel gösterimi Şekil 4.9’da yer almaktadır [13]. $V_{\text{şeb}}$ şebeke frekansını, V_{DA} DA bara gerilimini, i_{DA} evirgeçye giden DA bara akımını i_A , i_B ve i_C A, B ve C ise kollardaki AA akımlarını ve O orta noktaları ise şebeke toprağını gösterir. A+, B+ ve C+ üst koldaki anahtarlama elemanlarını, A-, B- ve C- alt koldaki anahtarlama

elemanlarını simgeler. Evirgeç denetimi akım denetim algoritması ile gerçekleştirilmektedir. Akım denetim algoritmasından üretilen anahtarlama sinyalleri ile anahtarlama elemanları DA barasından şebekeye doğru veya şebekeden DA baraya doğru çift yönlü güç akışını sağlamaktadır [62].

Akım denetim algoritmasının temeli A ve O noktaları arasındaki gerilim eşitliğini dayanır [62]. Denklem 4.48’de MOSFET’lerin ara noktasından faz üzerindeki R ve L gerilimleri ve şebeke kaynağı arasındaki gerilim eşitliğine yer verilmiştir. Bu eşitlik Denklem 4.49’deki eşitliğe çevrilir. Akım ile gerilim arasındaki transfer fonksiyonu elde edilmiş olur.



Şekil 4.9. İki Seviyeli 3-Fazlı Evirgeç Yapısı

$$v_{AO} = \frac{L di_A}{dt} + R \cdot i_A + v_{şeb,A}$$

$$v_{BO} = \frac{L di_B}{dt} + R \cdot i_B + v_{şeb,B} \quad (4.48)$$

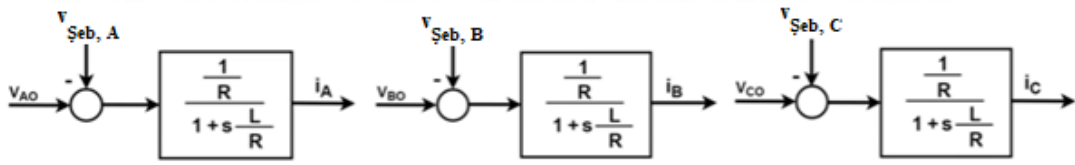
$$v_{CO} = \frac{L di_C}{dt} + R \cdot i_C + v_{şeb,C}$$

$$\frac{di_A}{dt} = -\frac{R}{L} \cdot i_A + \frac{1}{L} \cdot v_{AO} - v_{şeb,A}$$

$$\frac{di_B}{dt} = -\frac{R}{L} \cdot i_B + \frac{1}{L} \cdot v_{BO} - v_{şeb,B} \quad (4.49)$$

$$\frac{di_C}{dt} = -\frac{R}{L} \cdot i_C + \frac{1}{L} \cdot v_{CO} - v_{şeb,C}$$

Denklem 4.49'dan gerilimler üzerinde Şekil 4.10'da gösterilen gerilim akım dönüşümü elde edilir [61].

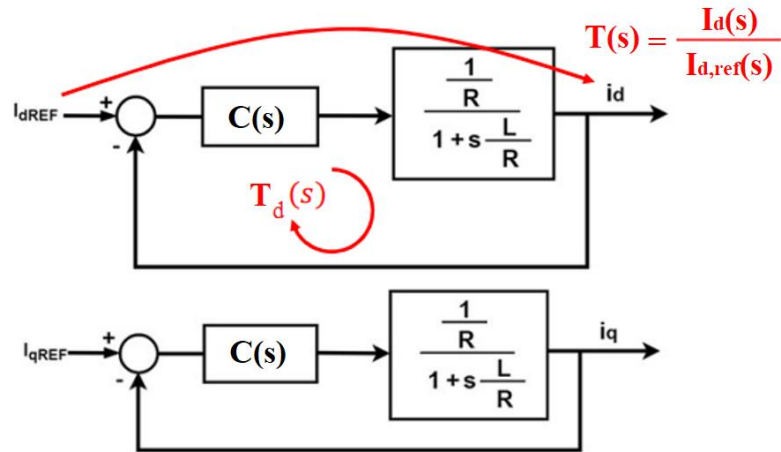


Şekil 4.10. Gerilim-Akım Dönüşümü

Gerilim akım dönüşümü, Şekil 4.10, sadeleştirilmiş olarak 2 seviyeli 3-faz evirgeç transfer fonksiyonunu temsil etmektedir.

Şekil 4.10'da gösterilen transfer fonksiyonu ve OT denetleyici ile Şekil 4.11'de gösterilen kapalı döngü elde edilebilmektedir. Bu kapalı döngü sayesinde Akım Denetim algoritmasındaki OT denetleyici parametreleri AA tarafındaki filtre değerleri ve sistem gecikmeleri yardımıyla hesaplanması için yöntemler geliştirilmiştir [78]. Bu çalışmada da referansta yer alan çalışma dikkate alınarak akım denetim algoritması OT denetleyici parametreleri hesaplanmıştır [78].

Referansımızda bahsedildiği üzere kapalı döngü transfer fonksiyonumuz birinci dereceden sisteme dönüştürülerek OT denetleyici parametreleri ve evirgeç çıkış filtresi R ve L arasında ilişki oluşturulmaktadır. [78].



Şekil 4.11. D ve Q Akım OTD

Evirgecin denetim döngüsü D ve Q akımları türünden OTD döngülerine Şekil 4.11.'de gösterildiği gibi dönüştürülmüştür [61]. Döngüde kullanılan OTD Denklem 4.50'de gösterilmiş ve C(s) olarak isimlendirilmiştir. Denklem 4.51'de gösterildiği gibi K(s) ve

gerilim akım dönüşümünden elde edilmiş evirgeç denklemi çarpımından $T_d(s)$ elde edilir. Wang ve arkadaşının önerisi kutup çıkarma tekniği bahsettiği gibi daha yüksek sistem kazanç elde edilebilecek kutup bırakılmaktadır [78]. Bu durumda Denklem 4.52'de gösterilen olan eşitliğe erişilir. Yeni $T_d(s)$ 'de Denklem 4.53'te gösterilmektedir.

$$C(s) = K_p + \frac{K_i}{s} \quad (4.50)$$

$$T_d(s) = \left(\frac{K_p}{Ls}\right) \frac{s + \frac{K_i}{K_p}}{s + \frac{R}{L}} \quad (4.51)$$

$$s + \frac{K_i}{K_p} = s + \frac{R}{L} \quad (4.52)$$

$$T_d(s) = \left(\frac{K_p}{Ls}\right) \quad (4.53)$$

OTD kapalı döngü eşitliği son durumu Denklem 4.53'te yer almaktadır. Kapalı döngü transfer fonksiyon 1. Dereceden bir fonksiyona dönüşür [78]. Denklem 4.54 ve Denklem 4.55 Birbirine eşitlendiğinde τ_i 'nin L/K_p eşit olduğu bulunur [78]. Bunun sonucunda K_p ve K_i R, L ve τ_i cinsinden elde edilir [78].

$$T(s) = \frac{I_d(s)}{I_{d,ref}(s)} = \frac{\left(\frac{K_p}{Ls}\right)}{1 + \left(\frac{K_p}{Ls}\right)} = \frac{1}{1 + \left(\frac{L}{K_p}s\right)} \quad (4.54)$$

$$T(s) = \frac{I_d(s)}{I_{d,ref}(s)} = \frac{1}{1 + (\tau_i s)} \quad (4.55)$$

$$s + \frac{K_i}{K_p} = s + \frac{L}{R} \quad (4.56)$$

$$K_p = \frac{L}{\tau_i}, K_i = \frac{R}{\tau_i} \quad (4.57)$$

Oluşacak ölçüm ve hesaplama gecikmeleri sebebiyle tasarım kuralı olarak τ_i anahtarlama periyodunun 10 katı kadar olmalıdır [78]. Evirgeç için anahtarlama frekansının 20 kHz olduğu düşünülürse $\tau_i = 0.0005'$ tir. $L = 1$ mH, ve $R = 10$ m Ω $K_p = 2$, $K_i = 20$ olarak elde edilir. Bu değerler Şekil 4.11'deki OT denetleyici katsayılarını oluşturmaktadır.

Çıkış akımın referans akımı takip edebilmesi için yukarıda bulunmuş olan OT akım denetim değerleri referans V_d ve V_q hesaplamasında kullanılır. Akım denetim algoritmasında referans $V_{d,ref}$ ve $V_{q,ref}$ gerilimleri için Denklem 4.48’de verilen, abc düzlemindeki gerilim akım eşitliği D-Q düzleminde dönüştürülür. Denklem 4.58’deki halini almaktadır.

$$v_d = L \cdot \frac{di_d}{dt} + R \cdot i_d - w \cdot L \cdot i_q \quad (d \text{ eksen}) \quad (4.58)$$

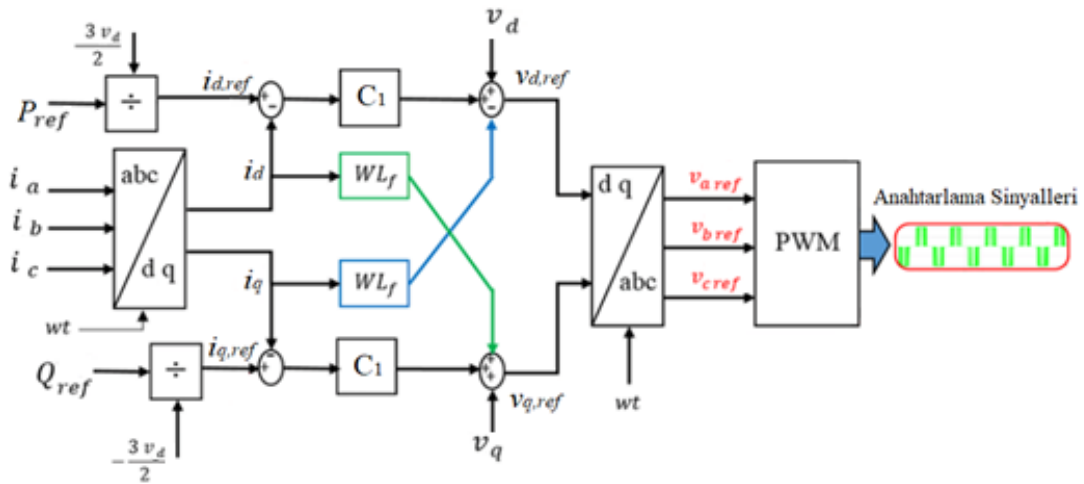
$$v_q = L \cdot \frac{di_q}{dt} + R \cdot i_q - w \cdot L \cdot i_d \quad (q \text{ eksen})$$

Aktif ve reaktif gücün çift yönlü olarak denetiminin yapılabilmesi için D-Q düzleminde aktif ve reaktif güç V_d , V_q , i_d ve i_q terimlerini kullanarak eşitliği oluşturulur [62]. Elde edilen aktif güç ve reaktif güç arasındaki ilişkiden $i_{d,ref}$ ve $i_{q,ref}$ elde edilir. Denklem 4.59 ve 4.60’da dönüşüm gösterilmiştir.

$$P(t) = \frac{3}{2} [V_d(t) \cdot i_d(t)] \quad (4.59)$$

$$Q(t) = \frac{3}{2} [-V_d(t) \cdot i_q(t)] \quad (4.60)$$

Bu yöntemde aktif güç denetimi gerilimlerin ve akımlarının d bileşeni ile yapılırken reaktif güç denetimi gerilimlerin ve akımların q bileşeni ile yapılmaktadır. Şekil 4.12’de MATLAB’da hazırlanmış ayrıştırılmış D-Q düzleminde aktif ve reaktif güç denetimi gösterilmiştir [73].



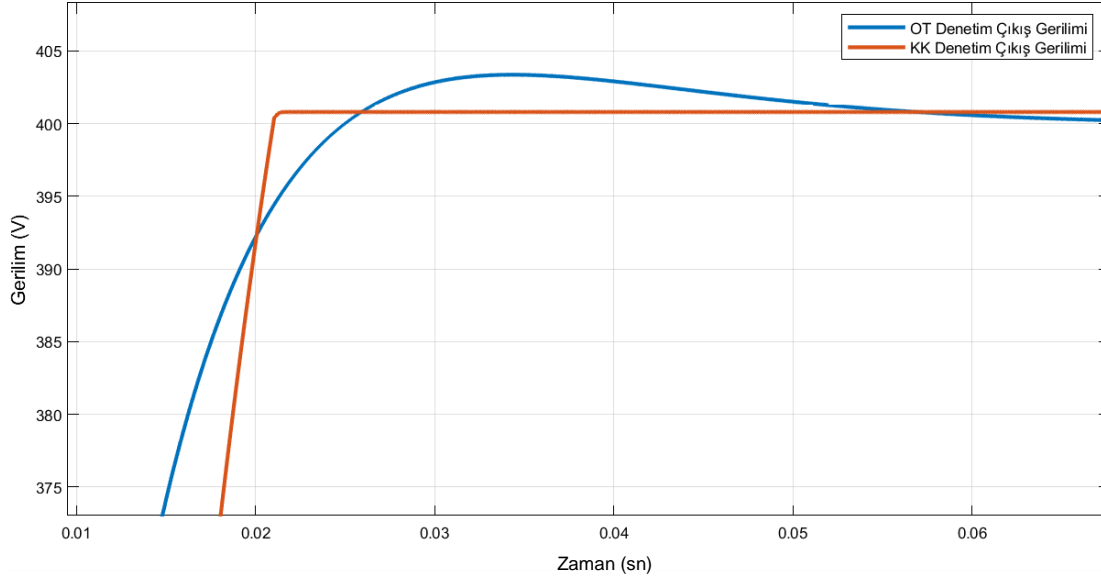
Şekil 4.12. D-Q Düzleminde Aktif ve Reaktif Güç Denetimi

Sistem tasarımı olarak DA Bağ gerilimi 400 VDA, ortak DA bara olması hedeflenmiştir. Güç akış dengesinin kurulması için DA Düzenleyiciden gelen güçler ve yüklerin farkı alınarak evirgecin P_{ref} değeri oluşturulmaktadır.

5. BENZETİM ÇALIŞMALARI

5.1 DA-DA ÇEVİRGEÇ DENETİM YÖNTEMLERİ

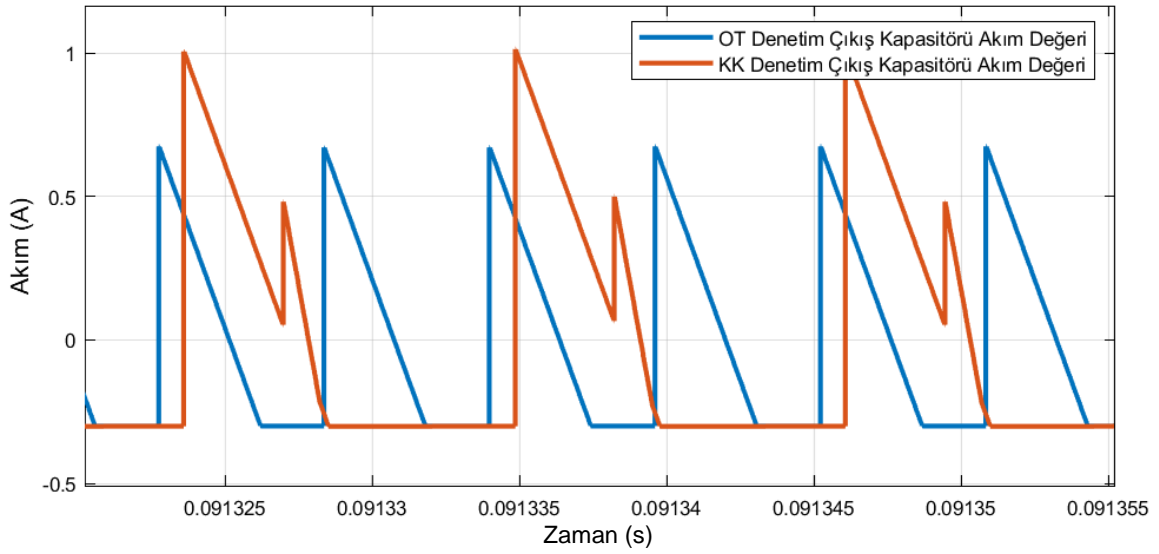
DA Düzenleyici tasarımında denetim tekniği olarak Kayan kipli ve OTD yapıları için Bölüm 4.1’de analizler ve hesaplamalar yapılmıştı. Elde edilen parametre değerlerine göre denetimlerin davranışları irdelenmektedir. Şekil. 5.1’de çıkış gerilim tepkileri ve durağan duruma geçme süreleri gösterilmiştir. OTD çıkış gerilimi yaklaşık %1’lik maksimum gerilim yükselmesi gerçekleştirerek yaklaşık 0,07 saniyede 400V değerine ulaşmaktadır. KKD ise herhangi bir gerilim yükselmesi gerçekleştirmeden 0,022 saniyede OTD’den çok daha hızlı bir sürede hedeflenen değere ulaşmaktadır. KKD’nin OTDe göre gerilim yükselmesi gerçekleştirmeden ve çok kısa sürede hedef değere ulaştığı belirlenmiştir. Şekil 5.1’de OT ve KKD için çıkış gerilimlerinin karşılaştırılması gösterilmiştir.



Şekil 5.1. DA Düzenleyici OTD ve KKD Çıkış Gerilimleri

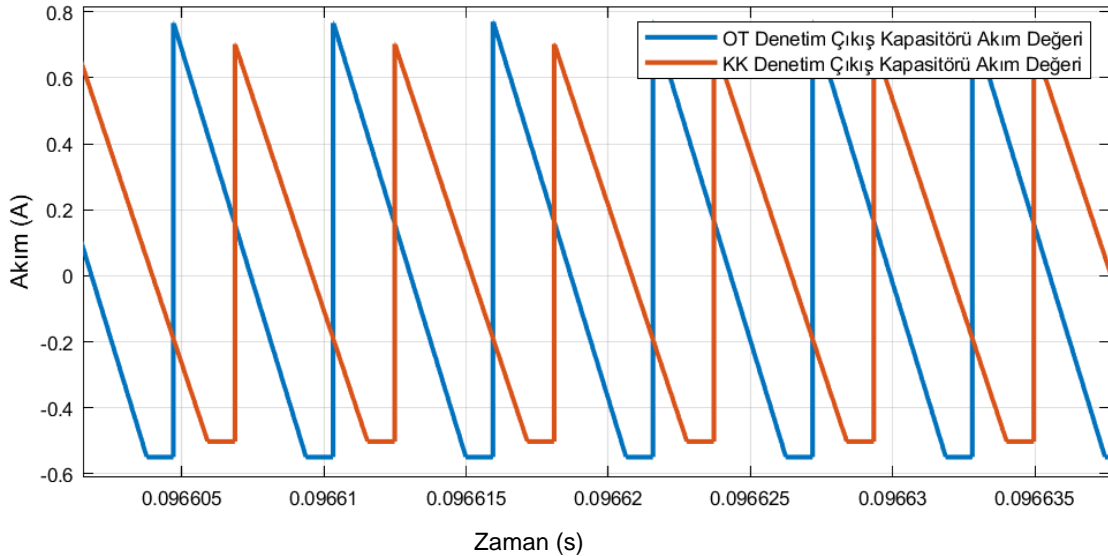
Bir diğer OTD ve KKD tekniklerini karşılaştırılabileceği davranış çıkış kapasitörü üzerinden geçen akım değeridir. Bölüm 3’te bahsedildiği üzere çıkış kapasitör seçiminde seçim parametrelerinden biri üzerinden geçen akım değeridir. Şekil 5.2’de görüleceği üzere DA akım maksimum değeri %50 yükte KKD’de artmış ve DA akım ortalama değeri OTD’ye göre daha yüksek ve bozuk bir yapıda olmuştur. Bu durum kapasitör akım değeri

daha yüksek kapasitör seçilmesini gerektireceği için maliyeti artırmaktadır. OT denetleyici için olumsuz bir sonuca dönüşmektedir.



Şekil 5.2. DA Düzenleyici %50 Yükte OT ve KKD Çıkış Kapasitörleri Üzerindeki Akımlar

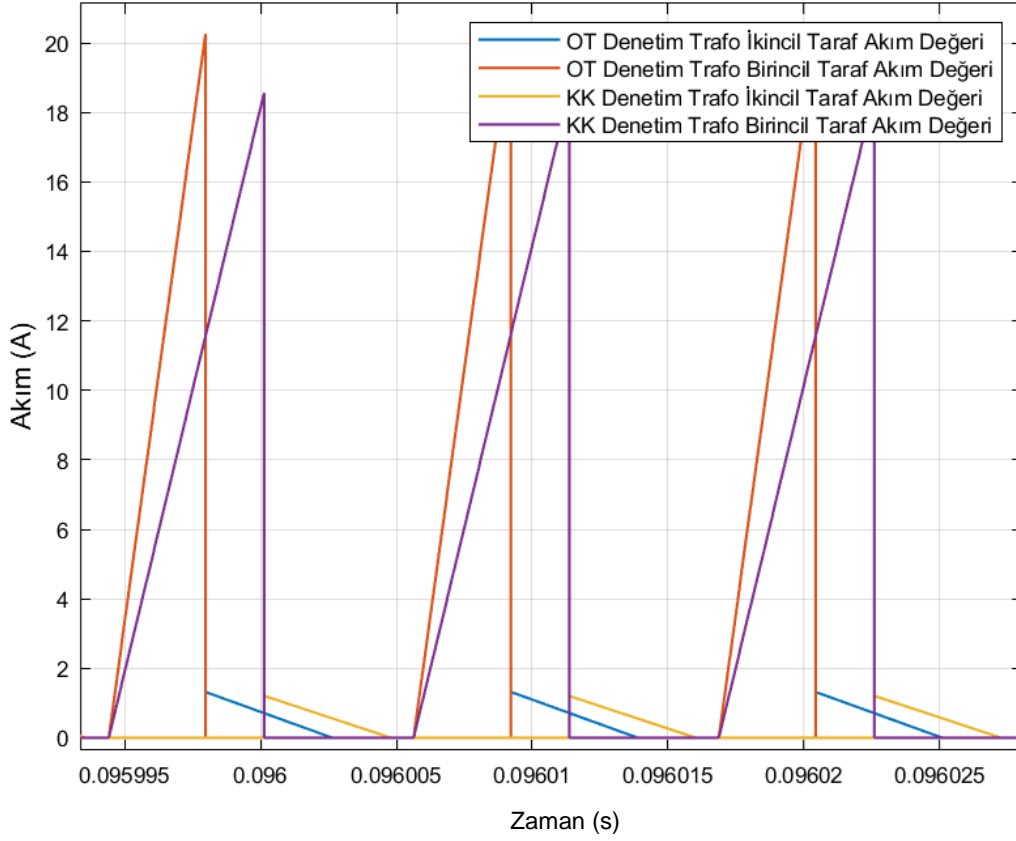
Tam yükte ise çıkış kapasitörlerden geçen akımlar KKD'de OTD'ye göre daha düşük tepe değere ulaşmaktadır. Şekil 5.3'te gösterilmiştir. Bu durum tam yükte KKD OTD'ye göre kapasitör seçiminde avantaj sağlar gibi gözükmesine rağmen düşük güçlerde daha kötü bir performans gösterdiği için OTD öne çıkmaktadır.



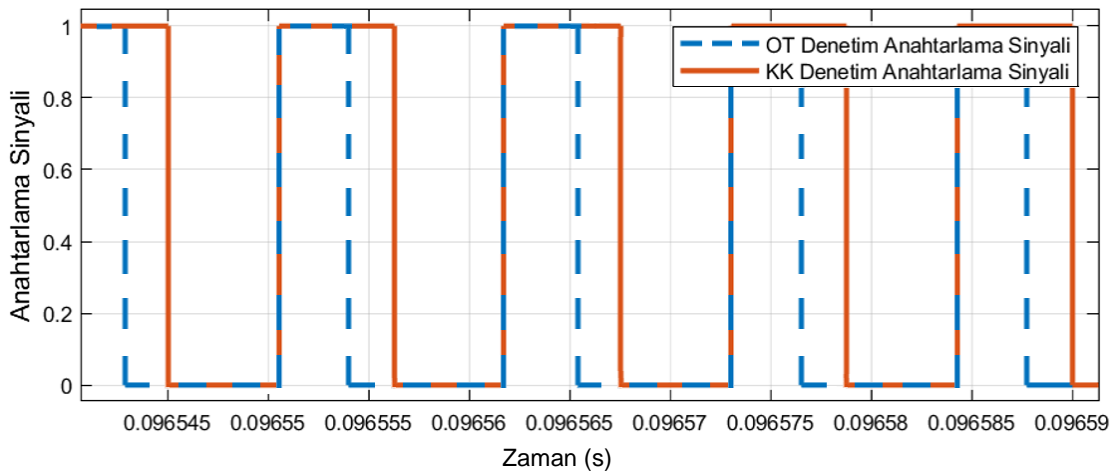
Şekil 5.3. DA Düzenleyici %100 Yükte OTD ve KKD Çıkış Kapasitörleri Üzerindeki Akımlar

Trafo üzerindeki birincil ve ikincil sargılar üzerinden geçen akımlar da Şekil 5.4'te karşılaştırılmıştır. OTD denetleyicinin KKD'e göre daha yüksek tepe noktalı akımlar ile

daha düşük görev döngü süreleri ile enerji aktarımını gerçekleştirdiği görülebilmektedir. Bunun sebebi Şekil 5.5'te görüleceği üzere OTDde görev döngü süresinin KKDe göre %20 daha düşük olmasından dolayıdır.



Şekil 5.4. DA Düzenleyici OTD ve KKD Trafo Birincil Taraf ve İkincil Taraf Üzerindeki Akımlar



Şekil 5.5. DA Düzenleyici OTD ve KKD Anahtarlama Sinyalleri

5.2 MİKRO ŞEBEKE SİSTEM MİMARİ BENZETİMLERİ

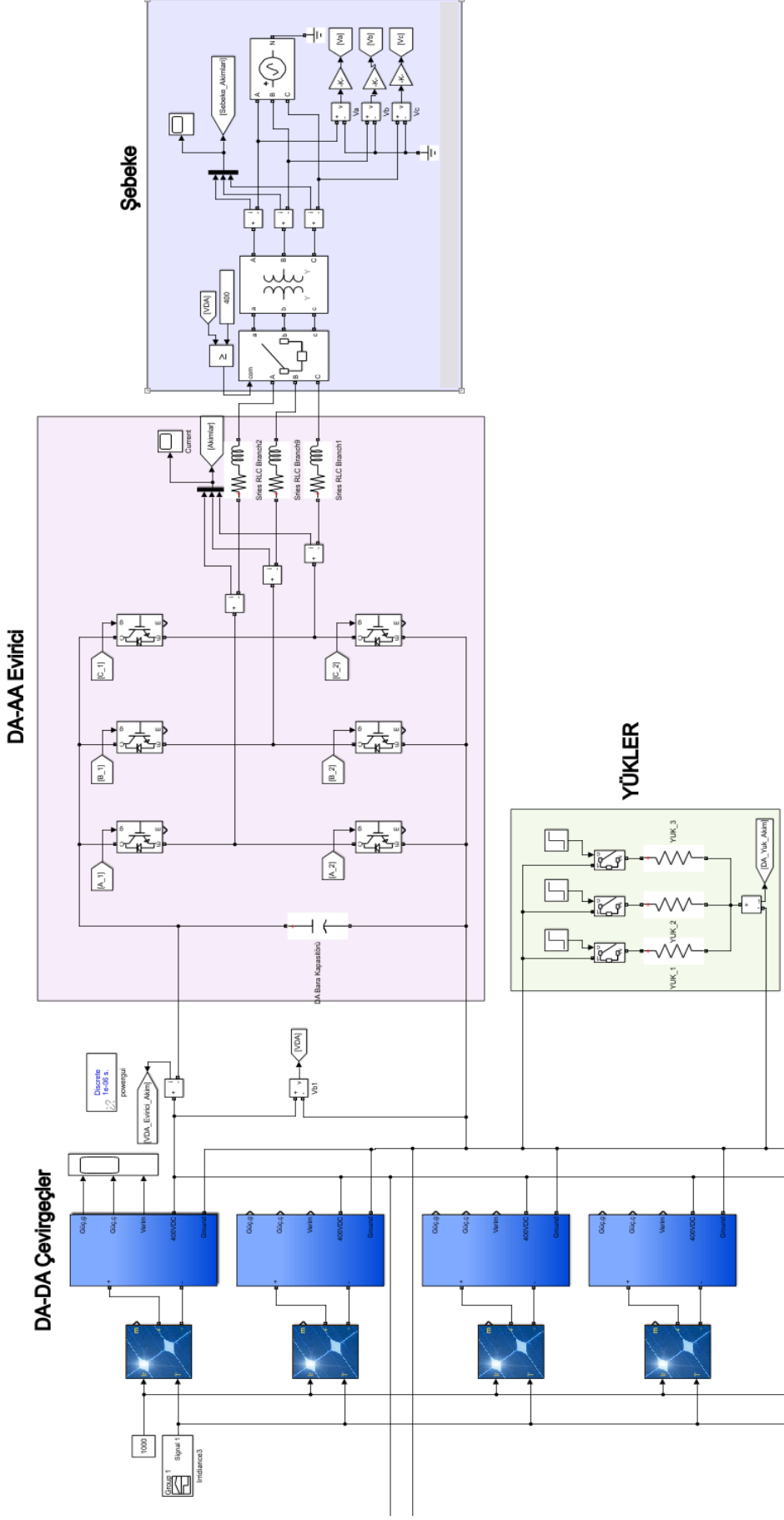
Mikro şebeke sistem mimarisi benzetim çalışmasında 20 adet 200W gücünde panel ve DA Düzenleyici kullanılmıştır. DA-AA evirgeci ayrıntıları ile gösterebilmek için sistem içerisindeki sadece 4 adet güneş pili ve DA Düzenleyici Şekil 5.6'te gösterilmiştir. MATLAB Simulink ortamında Şekil 5.6'te sistem mimarisinin son hali yer almaktadır. Kullanılan parametreler ve denetim blokları, Bölüm 4.1'de DA-DA denetim yapısı ve Bölüm 4.2'de ise DA-AA evirgeç denetim yapısında açıklanmıştır. Bu bölümde ise sistemin, güneş pilleri, DA barasında yer alan iç yükler ve şebeke ile bağlantısı sistem yapısı olarak nasıl davranış sergileyeceği gösterilmektedir. Sistem içerisindeki ve şebeke arasındaki güç akışları, gerilim ve akım değerleri Çizelge 5.1'de gösterilmektedir.

Fotovoltaik paneller MATLAB kütüphanesinden hazır olarak kullanılmıştır. Sıcaklık (25 C°) ve ışıma (900-1200 rad/m²) değerleri arasında dışarıdan verilmektedir. Her fotovoltaik panele seri olarak bağlanmış DA Düzenleyiciler (Mavi kutular) yer almaktadır. Yükler (Yeşil kutu) kesiciler yardımıyla bağlanan üç direncin paralel şekilde ortak DA barasına bağlanmıştır. Yük dirençlerinde farklı değerlere ulaşılabilmesi için üç kesici yardımıyla DA barıya bağlantıları gerçekleştirilmiştir.

Şebeke (mor kutu) ise 3 fazlı AA gerilim kaynağı, izolasyon trafosu ve kesicilerden oluşmaktadır. Şebeke bağlantısını DA barasında 400 VDA ulaşıldıktan sonra başlaması için kesici devresine mantık devresi eklenmiştir. Ayrıca evirgeç denetiminde kullanmak üzere örneklenen gerilimler şebeke tarafından alınmaktadır.

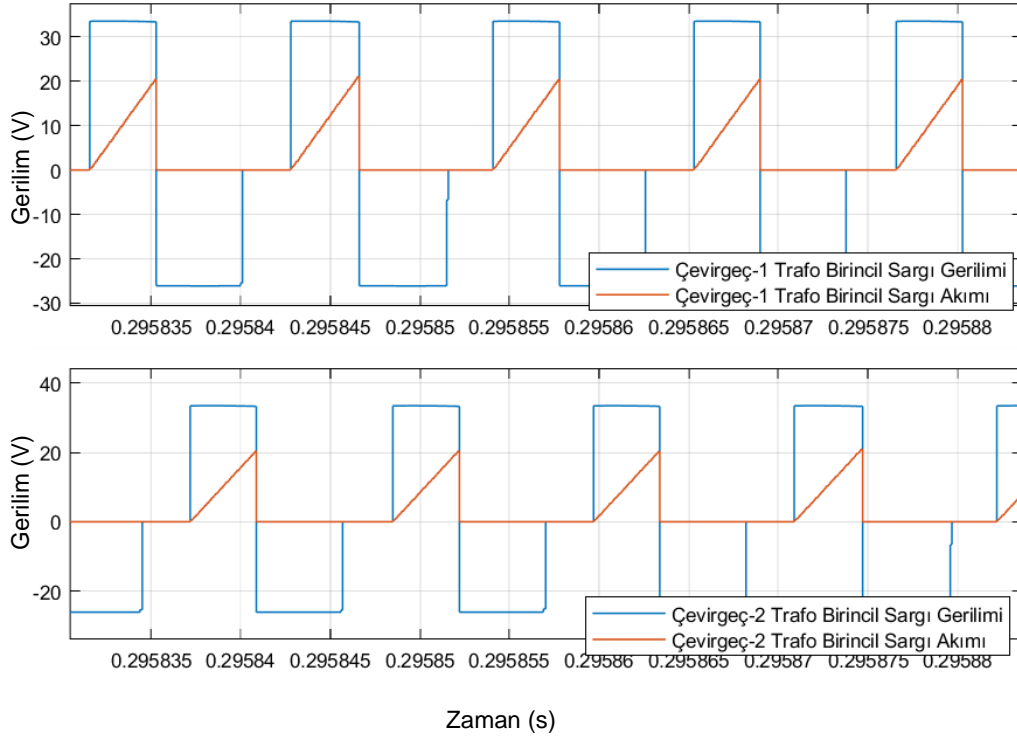
DA-AA evirgeç (Pembe kutu) tam köprü 3 faz evirgeç yapısı, AA taraftaki akım sensörleri ve RL filtre ve DA taraftaki DA bara kapasitöründen oluşmaktadır. DA-AA evirgeçteki anahtarlama elemanları genel olarak tercih edilen IGBT olarak seçilmiştir [73-78].

Ortak DA barası üzerinde ise DA-AA evirgece gelen ve yüklerden çıkan akımı ölçmek için akım sensörleri bulunmaktadır. Şekil 5.6'de sistem şemasına ayrıntılı olarak yer verilmiştir.



Şekil 5.6. MATLAB-Simulink'te Sistem Yapısı

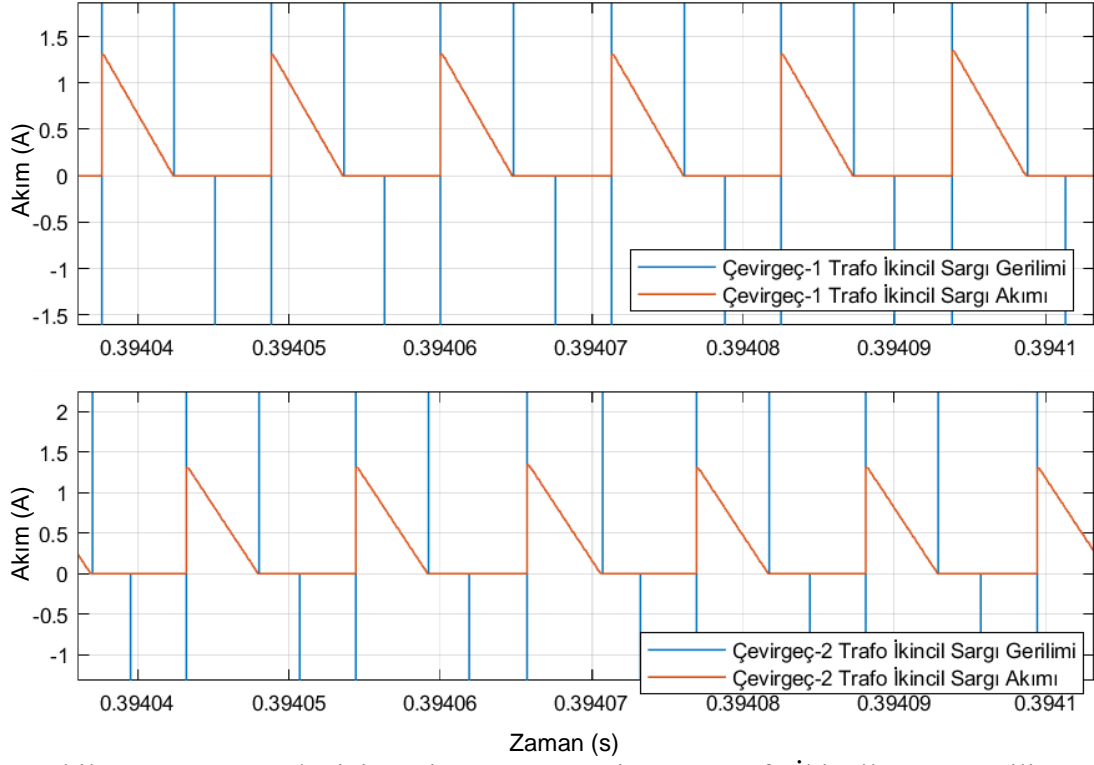
Faz kaymalı paralel yapıdaki DA-DA çevirgeçlere ait Çevirgeç-1 ve Çevirgeç-2 Trafo Birincil ve İkincil Taraf Gerilim ve Akım grafikleri Şekil 5.7’de ve 5.8’de gösterilmektedir. Faz kaymalı paralel yapısının getirmiş olduğu 180° faz farklı çalışma sonucunda çevirgeç-1 ve 2 ‘deki akımların farklı zamanlarda akım iletmediği görülebilmektedir.



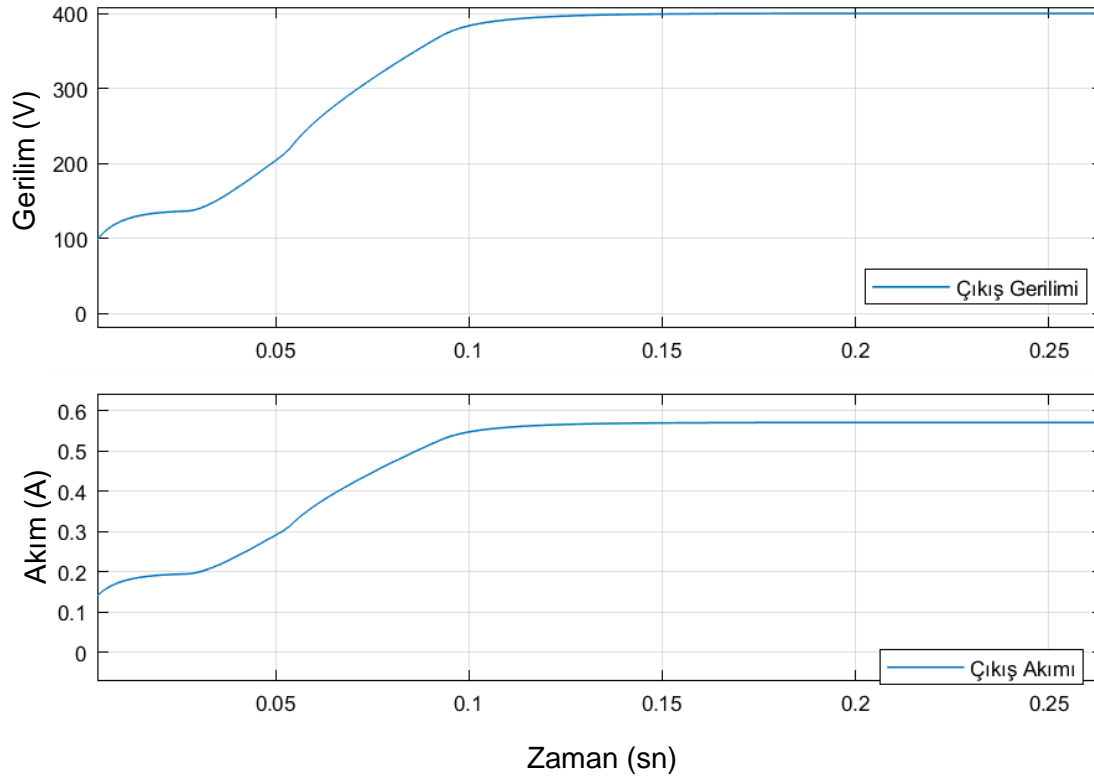
Şekil 5.7. DA Düzenleyici Çevirgeç-1 ve Çevirgeç-2 Trafo Birincil Taraf Gerilim ve Akım Grafikleri

Ayrıca, Çapraz çevirgeçlerin dik üçgen yapısındaki ve pasif görev süresinin olduğu akım grafiklerinden tam güçte süreksiz iletim modunda çalıştıkları anlaşılabilir. Bölüm-4 yapılan hesaplamalara göre tepe değerlerinin elde edildiği analiz edilebilir. Birincil sargı akım tepe değeri yaklaşık 20 A ikincil sargı tepe akım değeri yaklaşık 1,4 A olarak hesaplanmıştır. Grafiklerden hedeflenen değerlere ulaşıldığı anlaşılmaktadır.

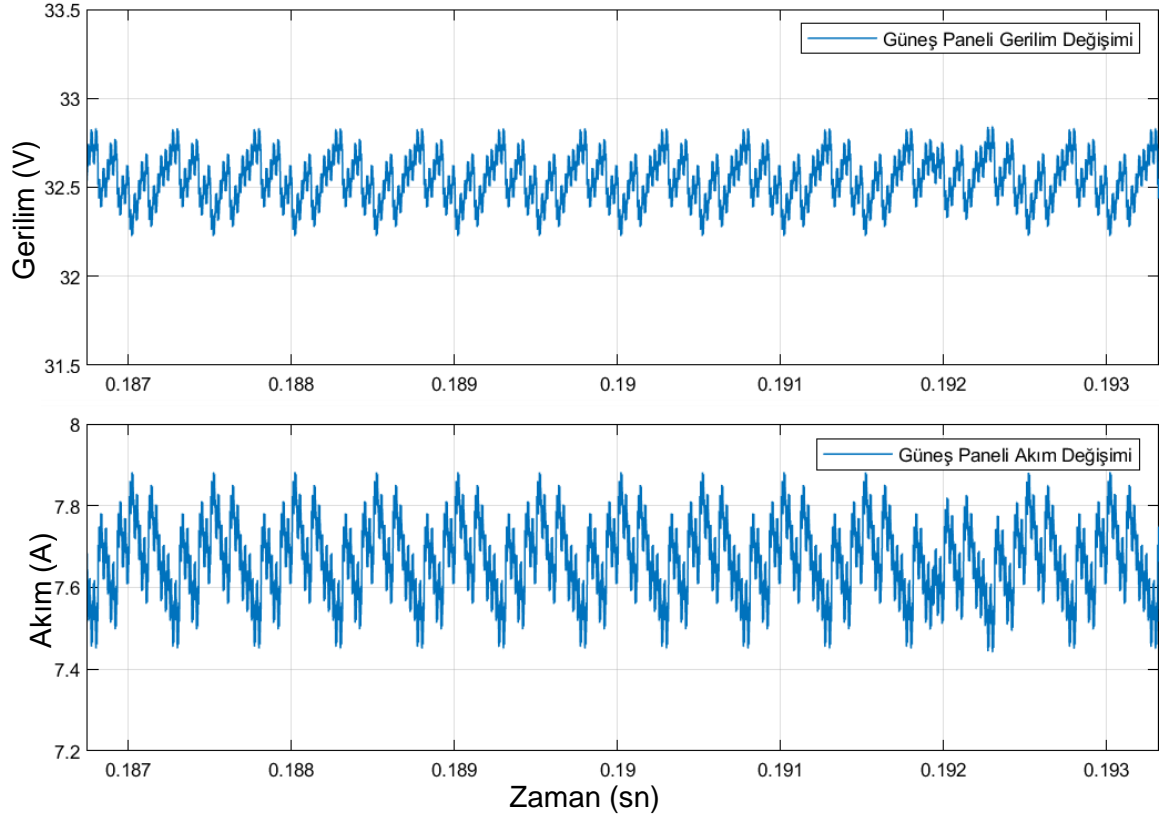
Şekil 5.9’da ise DA Düzenleyici çıkışının DA bağ geriliminin hedeflenen 400 VDA değerine Çıkış akımının da hedeflenen 0,58 A değerine geldiği görülmektedir.



Şekil 5.8. DA Düzenleyici Çevirgeç-1 ve Çevirgeç-2 Trafo İkincil Sargı Gerilim ve Akım Grafikleri



Şekil 5.9. DA Düzenleyici Çıkış Gerilim ve Akım Grafikleri



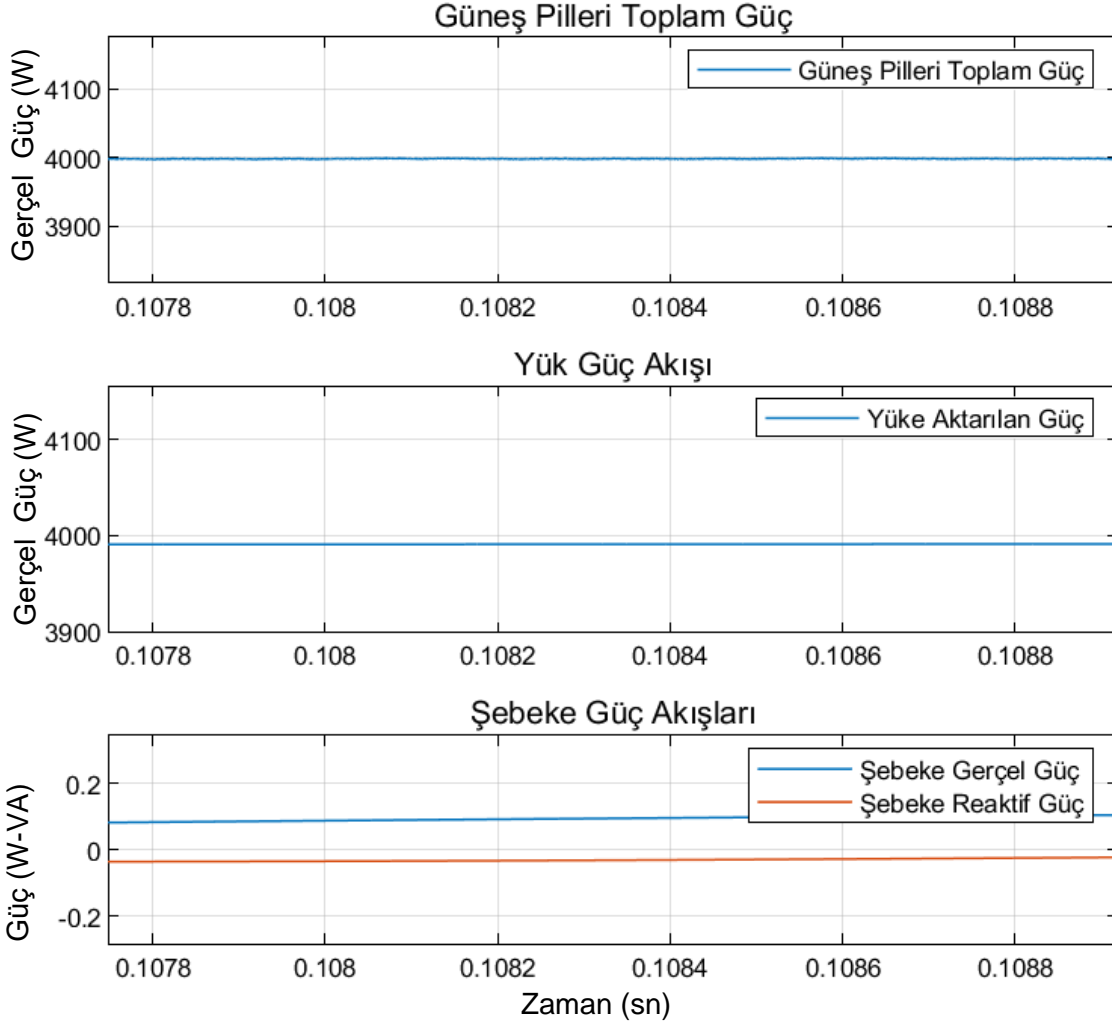
Şekil 5.10. DA Düzenleyici Giriş Gerilim ve Akım Grafikleri

DA Düzenleyiciye ait giriş gerilim ve akım değerlerinin değişimi Şekil 5.9'da gösterilmiştir.

Tasarlanan denetim bloklarına göre hedeflenen güç akışlarının sağlanmıştır. Çizelge 5.1'de benzetim çalışması sırasındaki güç akış değişimleri verilmiştir.

Çizelge 5.1 Çalışma Senaryolarındaki Güç Akış Değerleri.

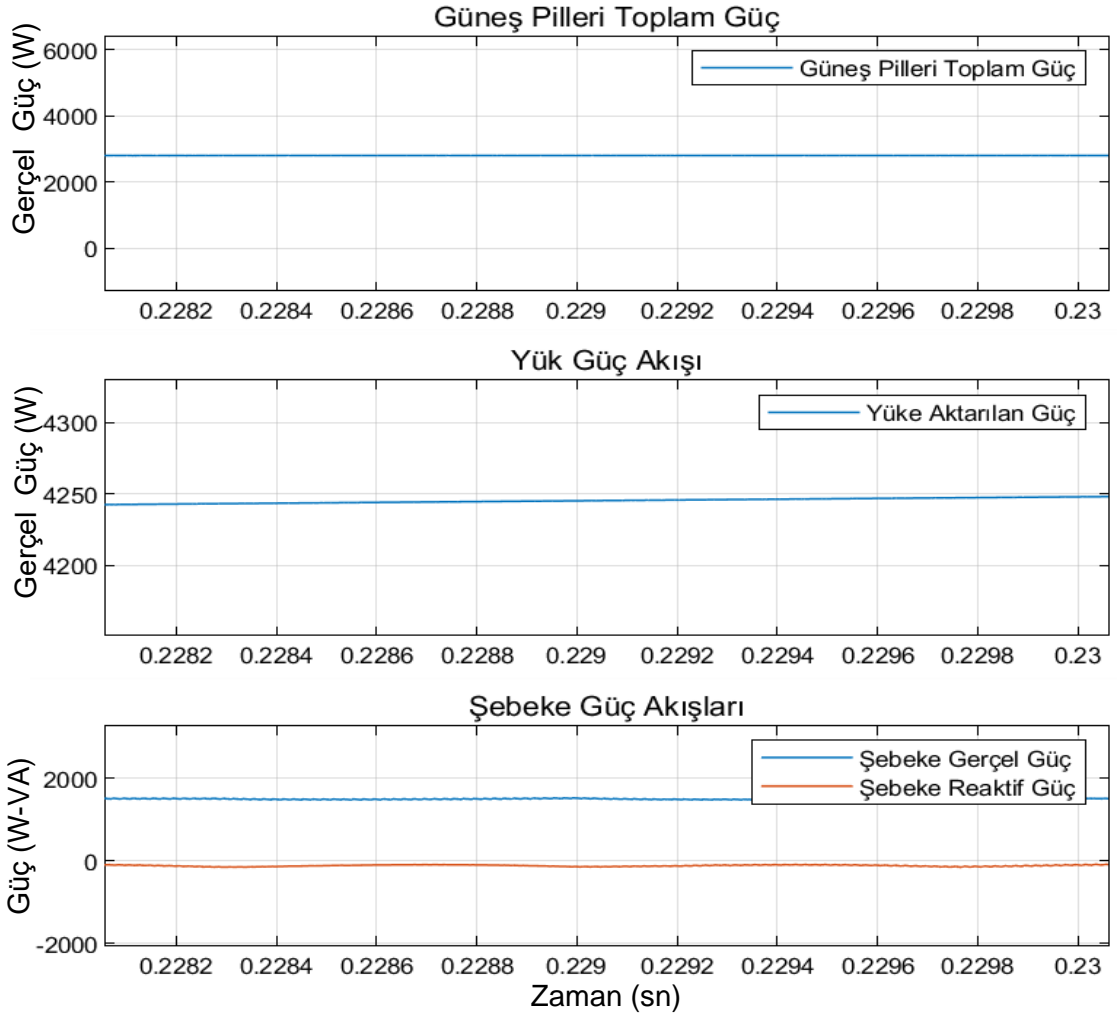
Senaryo No	Işıma Değeri (W/m ²)	Güneş Pili Toplam Güç (W)	DA Baraya bağlı Yükler (W)	Şebekeden Çekilen Güç	
				Gerçek Güç (P, W)	Reaktif Güç (Q, VAR)
Senaryo-1	1120	4000	0	0	0
Senaryo-2	900	1800	4240	2600	0



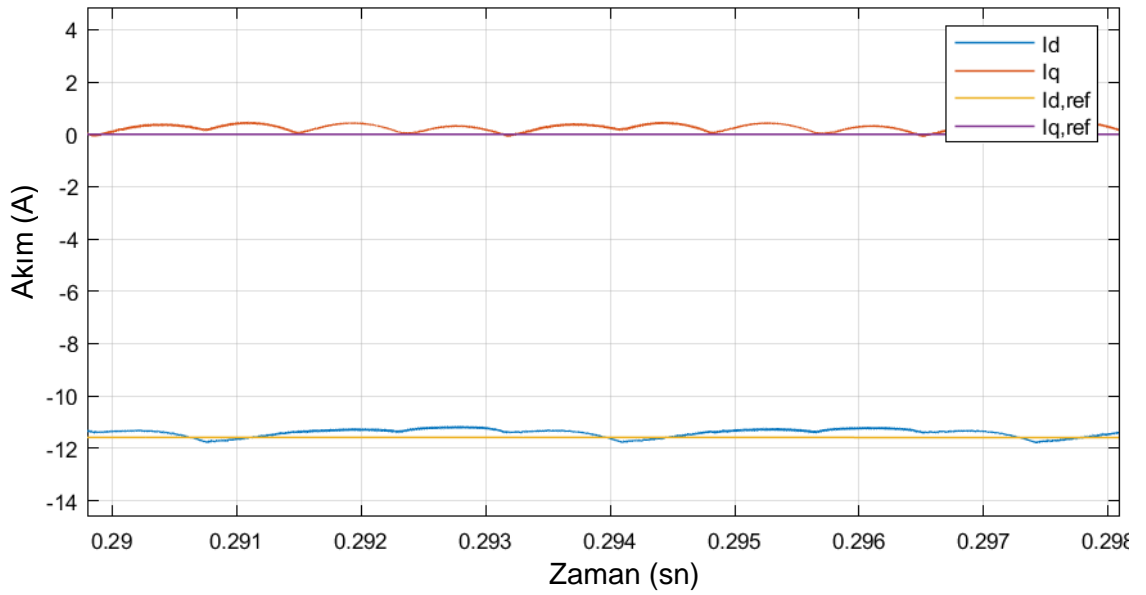
Şekil 5.11. Senaryo-1 Sistem Güç Akış Grafikleri

Senaryo-1 için yükün sadece DA Düzenleyici üzerinden beslendiği bir durum gerçekleşmektedir. Bu senaryoda güneş ışınımı 1120 w/m² 4 kW değerini sağlayabildiği için seçilmiştir. Şekil 5.11’de güç akış grafikleri verilmiştir.

Senaryo-2’de güneş ışınımı 900 W/m² değerine çekilerek fotovoltaik paneller düşük ışınım değerinde çalışmaya zorlanmıştır. Bu senaryoda yük için gerekli gücün bir bölümü güneş pillerinden sağlanırken kalan kısmı şebekeden sağlanmaktadır. Şebekeden 1.8 kW gerçel güç, güneş pillerinden de toplam 2.6 kW güç yüke aktarılmaktadır. Şekil 5.12’de senaryo-2 için güç akışları gösterilmektedir. Ayrıca Şekil 5.13’te Id ve Iq değerlerinin referans Id ve Iq ‘yu takip ettiği ve akım denetim yönetiminin başarılı olduğu görülebilmektedir.



Şekil 5.12. Senaryo-2 Sistem Güç Akış Grafikleri



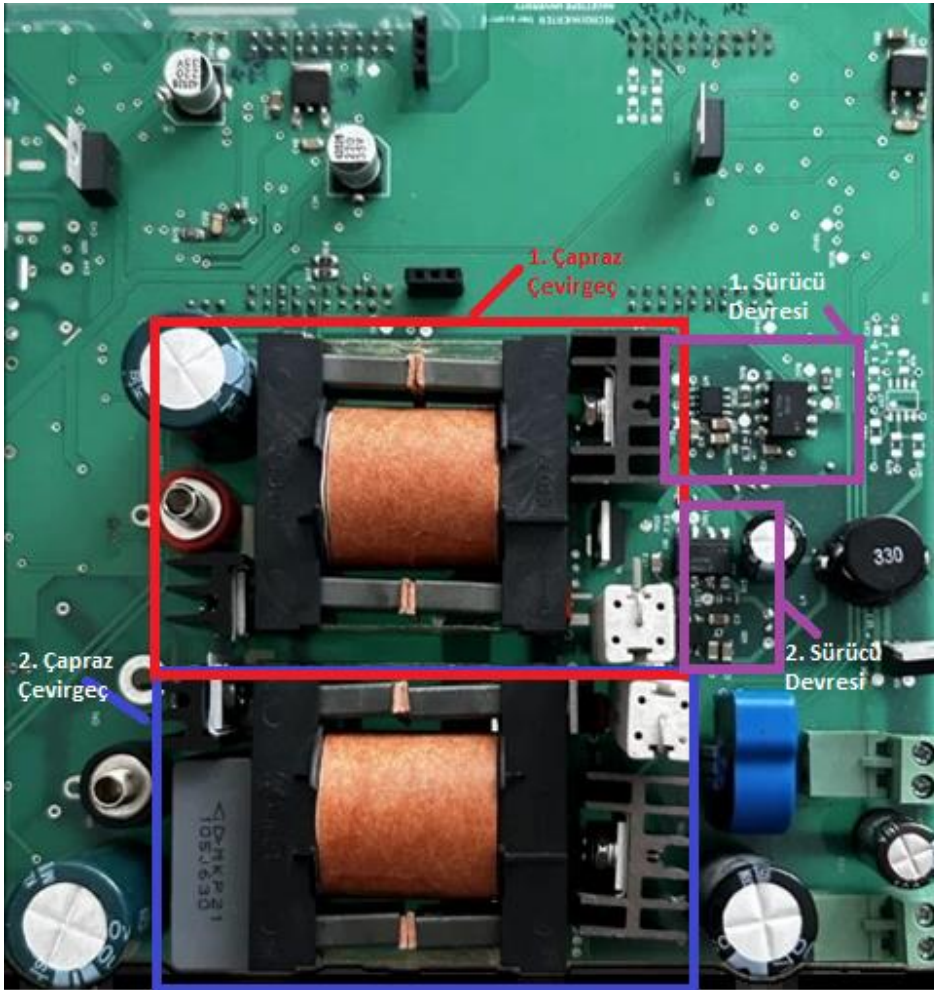
Şekil 5.13. Çıkış Gerilim ve Akım Grafikleri

6. DA DÜZENLEYİCİ GERÇEKLEME SONUÇLARI

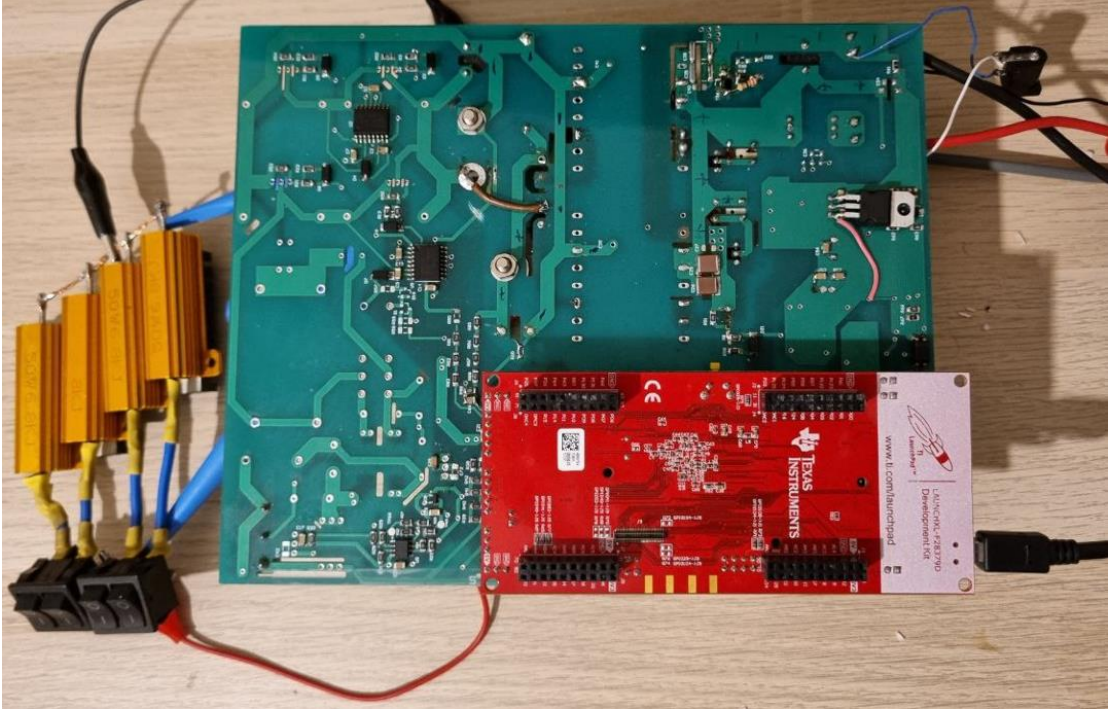
Bu bölümde LAUNCHXL-F28379D geliştirme kiti kullanılarak çıkış anma gücü 220 W olan çıkış gerilimi 400 V DA değerinde oransal tümlevsel denetim tekniği ile gerçekleştirilen Doğru Akım Düzenleyiciye ait deneysel sonuçlar verilmiştir. Benzetim çalışmalarındaki sonuçlar ve gerçekleştirme üzerinden alınan sonuçlar karşılaştırılmıştır.

6.1 GERÇEK SİSTEM DENEY DÜZENEĞİ

Faz kaymalı paralel çapraz çevirgeç denetim bloğu ve güç katı ayrı kartlarda bulunmaktadır. Şekil. 6.1'de gerçekleştirilen DA Düzenleyici kartının ön ve arka yüzü gösterilmiştir. Kartın ön yüzünde trafolar, kapasitörler, anahtarlama elemanları ve kapı sürücü devresi yer alırken arka yüzünde kırmızı baskı kartına sahip geliştirme kartı ve gerilim örnekleme için yer alan gerilim bölücü devresi vardır. Geliştirme kartı pinler ile direkt olarak DA düzenleyici kartına monte edilmektedir.



(a)



(b)

Şekil 6.1. a) DA Düzenleyici Kartı Ön Yüzü b) DA Düzenleyici Kartı Arka Yüzü

DA Düzenleyici güç katı, giriş ve çıkış katı olmak üzere iki bölümden oluşmaktadır. Çapraz çevirgeç topolojisi gereği trafo kullanıldığı için giriş ve çıkış katları birbirinden izole durumdadır. Mikro denetleyicinin bulunduğu geliştirme kartı toprağı çıkış katındaki topraklama ile ortaklanmıştır. Bundan dolayı anahtarlama sinyalleri giriş katına izoleli bir şekilde iletilmektedir. Bölüm 3.1.8’de MOSFET sürücü devresi hakkında ayrıntılı bilgi verilmiştir. Giriş katında 2 adet MOSFET ve giriş kapasitörleri yer alırken çıkış katında 2 adet diyot ve çıkış kapasitörleri bulunmaktadır. Trafolar çıkış ve giriş katlarının yalıtımını sağlamaktadır. Giriş katındaki sürücü devreleri alçaltıcı çevirgeç yardımıyla beslenmektedir. Alçaltıcı çevirgeç giriş geriliminden beslenmektedir.

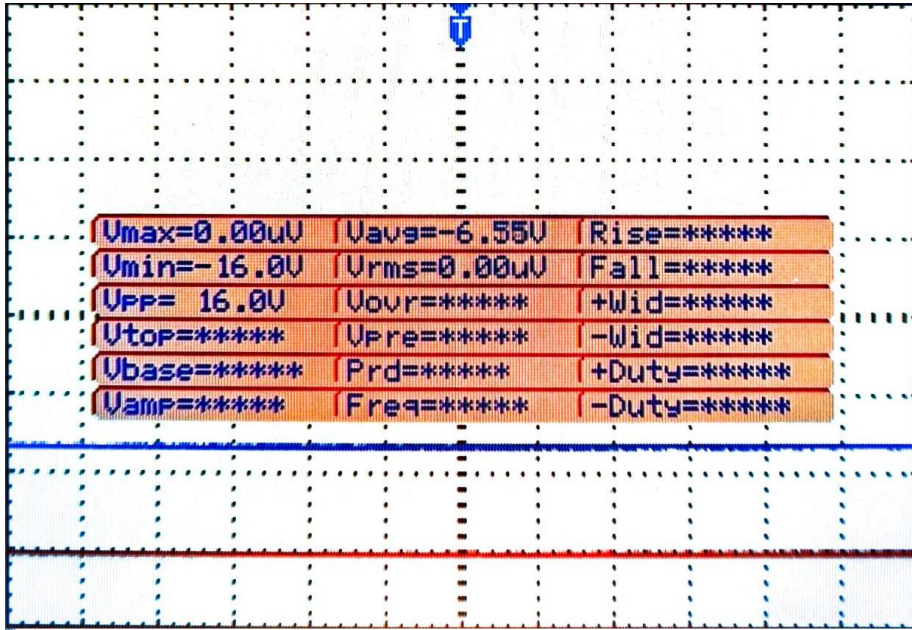
6.2 UYGULAMA SONUÇLARI

Uygulama çalışmaları LAUNCHXL-F28379D geliştirme kiti ile anahtarlama sinyallerinin istenilen frekansta %50 görev süresi üretilmesi ile başlamıştır. Bu gerçekleştirme sonrasında işlemci üzerinde 3,3 VDA gerilim ve ayarlanabilir direnç yardımıyla gerilim değişimleri örnekleme yapılarak dijital veriye çevrilmiştir. Anahtarlama sinyalleri üretim algoritması ve örnekleme algoritması birleştirilmiştir. Referans gerilimin ayarlanabilir direnç yardımıyla değiştirilmesi sonucu anahtarlama sinyalindeki görev süresinin farklı değerler alabilmesi sağlanmıştır.

Baskı devre üzerinde Faz kaymalı paralel çapraz çevirgeçlerden 1 adeti için devre elemanları dizilmiştir. Tam yükte (1680 Ω değerinde direnç) açık döngü testleri gerçekleştirilmiştir. DA güç kaynağının giriş gerilimi 26-40VDA aralığında çıkış geriliminin 400 DA değerine erişebildiği gözlenmiştir. Bu süreç boyunca tasarlanan trafonun doyuma ulaşmadan çalışabildiği görülmüştür.

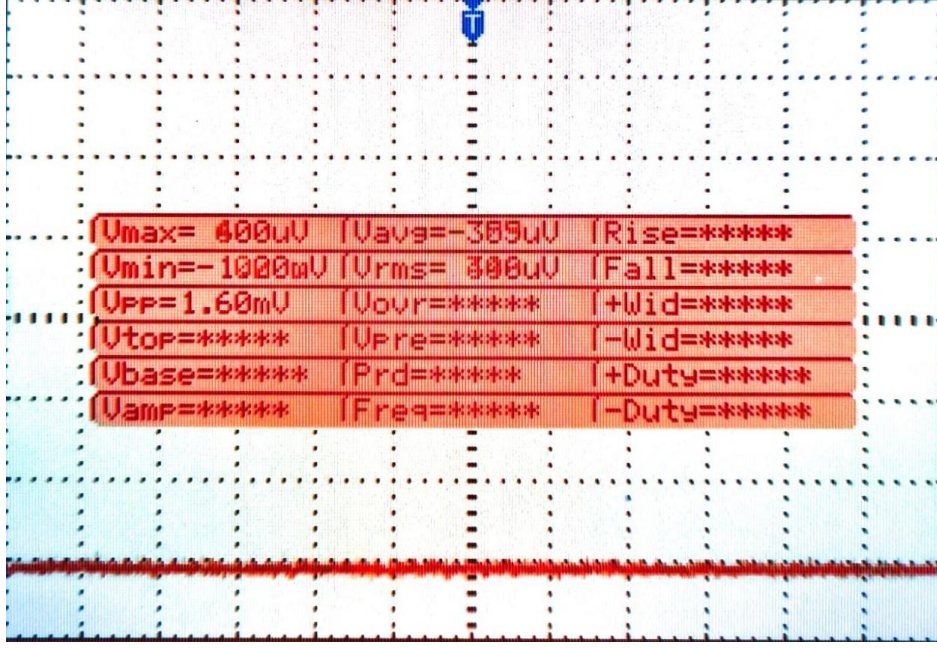
Devre elemanları üzerindeki sıcaklıklar UT300S model IR termometre ile ölçülmüş, MOSFET yüzey sıcaklığı 47°C çıkış diyotu yüzey sıcaklığı 36° C ve trafo üzerindeki sıcaklık ise 30 °C olarak tespit edilmiştir. Çalışmalar sırasında oda sıcaklığı 26 ° C olarak ölçülmüştür. Sonuçlara göre çevirgeç üzerinde 50°C üzeri insana zarar verebilecek bir temas noktasının olmadığı belirlenmiştir.

Ölçümler için P5122 Osiloskop Yüksek Gerilim Probu ve Fluke 80i-110s akım probu kullanılmıştır. Çıkış gerilimi 400 VDA seviyelerinde çıkış akımının da 600-200 mA değerleri arasında olacağı için propların enerjisiz iken gösterdiği kayıt altına alınmıştır.



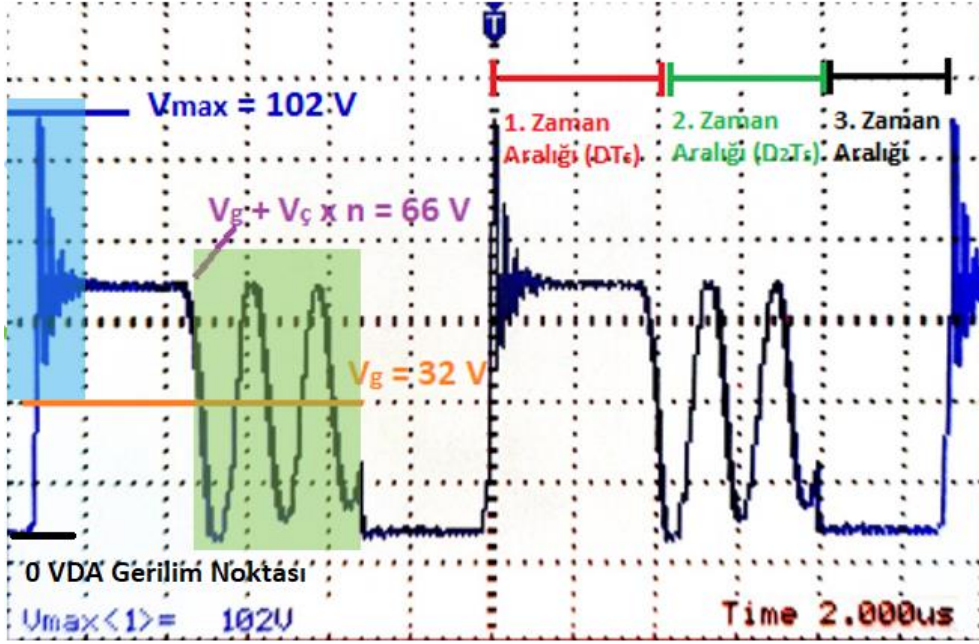
Şekil 6.2. P5122 Osiloskop Yüksek Gerilim Probu Boşta Tolerans Değerleri

Ölçümler öncesinde akım probu ve yüksek gerilim probunun enerjisiz durumundaki tolerans değerleri Şekil 6.2 ve Şekil 6.3'te gösterilmiştir. Gerilim probundaki tepe-tepe gerilim gürültüsü enerjisiz konumda iken 16 V olarak ölçülmektedir. Akım probundaki tepe-tepe akım gürültüsü ise enerjisizken 1.6mV (1.6mA) olarak gözlemlenmiştir. Ölçüm sonuçları değerlendirilirken bu tolerans değerleri de göz önünde bulundurulması gerekmektedir.



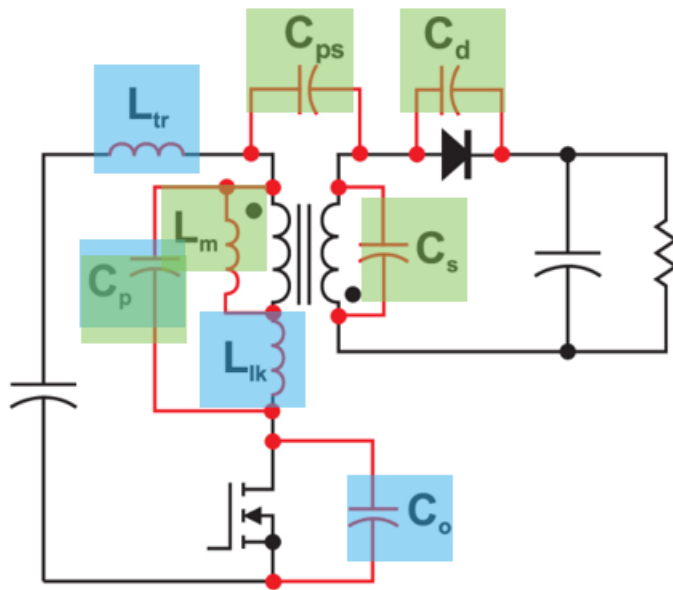
Şekil 6.3. Fluke Akım Probu Boşta Tolerans Değerleri

Çapraz çevirgeç MOSFET elemanı üzerindeki gerilim değeri osiloskop ile kaydedilmiştir. MOSFET üzerindeki gerilim değeri maksimum 130 VDA altında yaklaşık olarak 100 VDA olduğu görülmektedir. Maksimum gücün sağlanması için hedeflenen maksimum görev döngüsü süre yüzdesinin %46 değerinin yaklaşık olarak başarıldığı görülebilmektedir. Şekil 6.4'te MOSFET üzerindeki gerilim gösterilmiştir. Benzetim çalışmaları sonuçları ile gerçekleştirme sonuçlarının aynı olduğu ve başarılı bir şekilde çevirgeç yapısının sağlandığı görülebilmektedir.



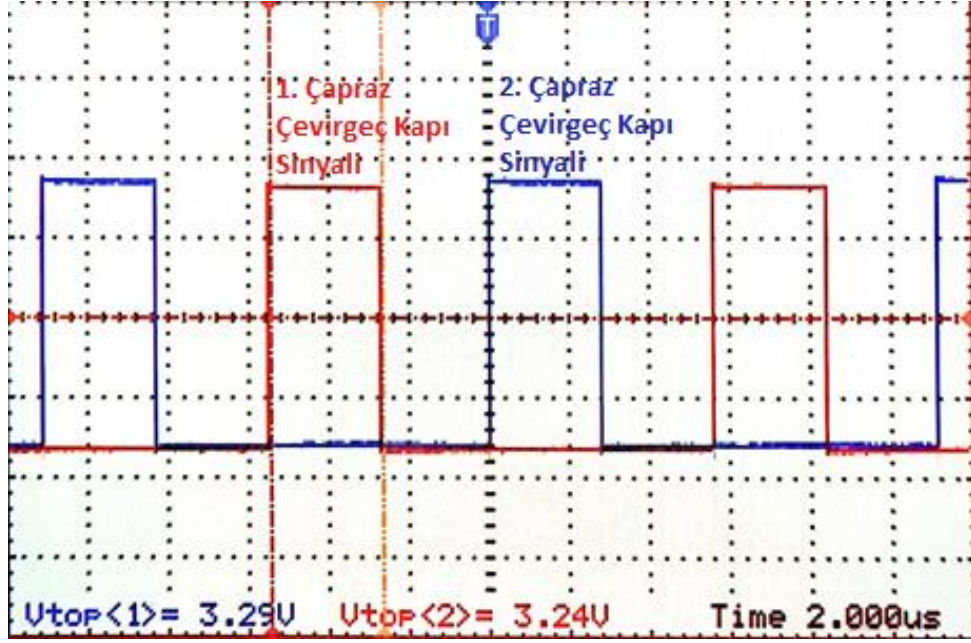
Şekil 6.4. MOSFET Gerilimi

Sürekli iletim modunda MOSFET üzerinde iki farklı osilasyon meydana gelmektedir. Şekil 6.4'te Mavi ve Yeşil bölge olarak gösterilmektedir. Mavi bölgedeki osilasyonun nedeni trafo kaçak endüktansının (L_{lk}), devre yolları kaynaklı endüktansının (L_{tr}), trafo kapasitansı (C_p) ve MOSFET çıkış kapasitansı (C_o) ile rezonansa girmesinden kaynaklıdır. Yeşil bölgedeki osilasyon ise Trafonun Manyetik endüktansının (L_m) devre parazit kapasitans (C_p , C_{ps} , C_s , C_d) ile rezonansa girmesinden dolayı oluşmaktadır. Şekil 6.5'te mavi ve yeşil bölgeler ile ilgili endüktans ve kapasitanslar gösterilmektedir.



Şekil 6.5. Çapraz Çevirgeçteki Kapasitansların ve Endüktansların Gösterimi

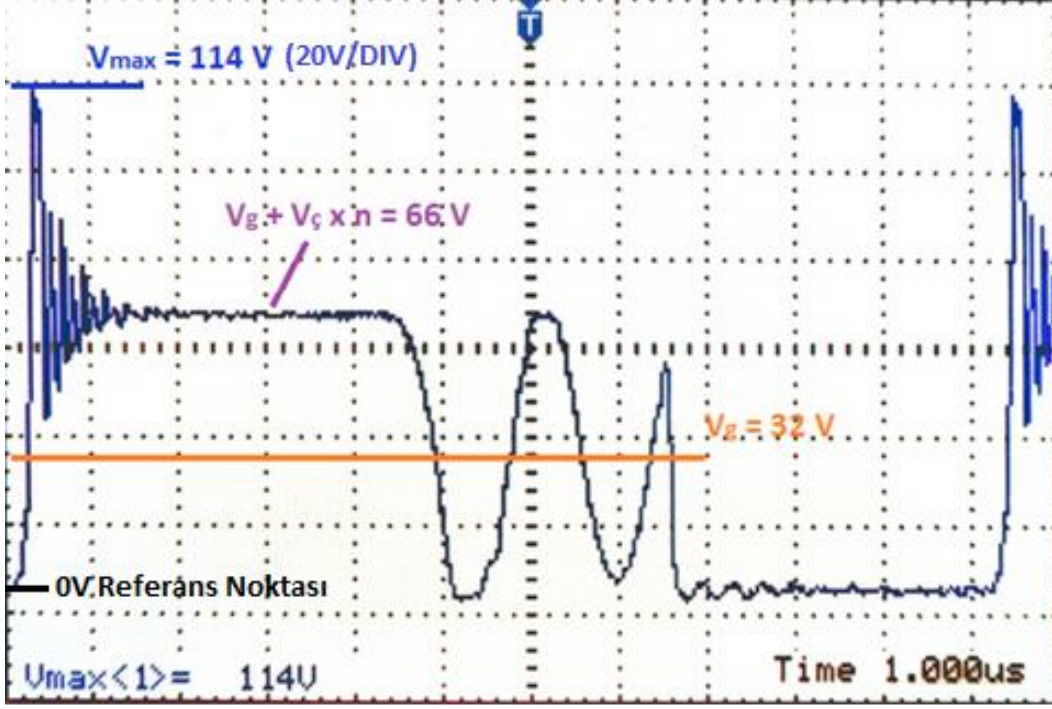
OTD algoritması mevcut koda eklenmiştir. Mikro denetleyicinin Farklı yüklerde 400 VDA çıkış gerilimini oluşturduğu görülmüştür. Faz kaymalı paralel çapraz çevirgeci oluşturmak için her iki çapraz çevirgeç elemanları da baskı devre üzerinde dizilmiştir. Algoritmada 180 derece faz farklı ikinci MOSFET anahtarlama sinyali oluşturulmuştur. Şekil 6.6'te MOSFET anahtarlama sinyalleri gösterilmiştir.



Şekil 6.6. MOSFET Anahtarlama Sinyalleri (1. Çapraz Çevirgeç Kapı Sinyali-Kırmızı, 2. Çapraz Çevirgeç Kapı Sinyali -Mavi)

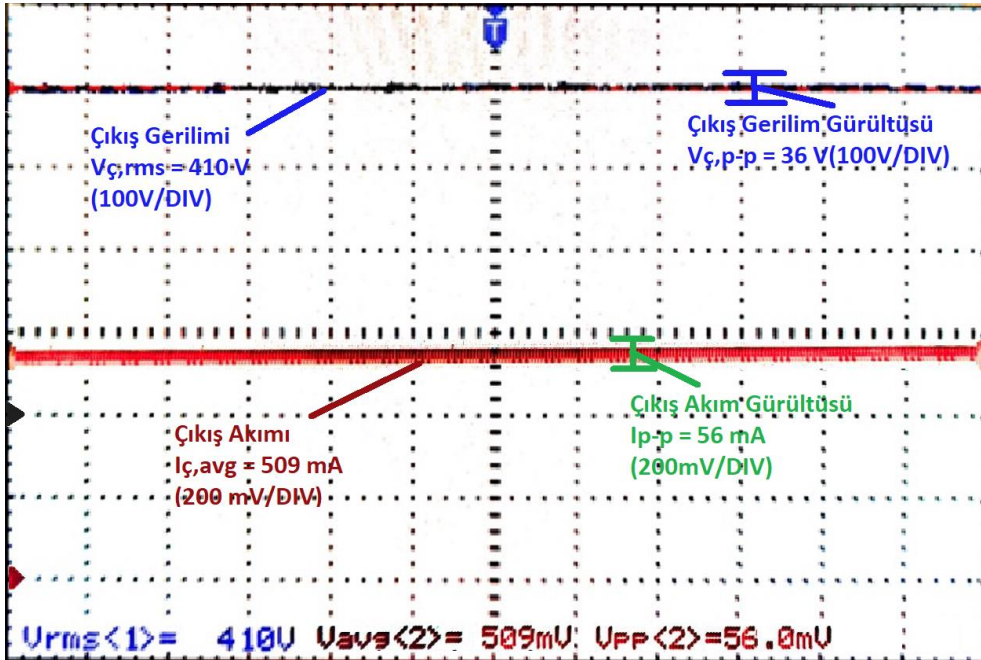
İkinci çapraz çevirgeç tam yükte doğrulama testleri de başarılı bir şekilde tamamlanmıştır. Faz kaymalı paralel yapı çalıştırılmış ve sistemin başarılı bir şekilde 400 VDA çıkış gerilimi oluşturabildiği görülmüştür. Ancak devre elemanlarının yüzey sıcaklıkları kontrol edildiğinde çıkış diyotlarındaki sıcaklığın 51°C'lere ulaştığı belirlenmiştir. Çıkış diyotlarındaki gerilimi düşürmek için ilgili farklı denemeler yapılmış ancak ilerleme sağlanamamıştır.

MOSFET üzerindeki gerilim Şekil.6.7'de verilmiştir. Şekilden de görüleceği üzere yansıyan gerilimde 12 V'luk bir artış gerçekleşmiştir. İkincil taraftan yansıyan gerilimde bir artış olmasının muhtemel olduğu bu durumda çıkış diyotu üzerindeki gerilimin artması ve kayıpların artarak yüzey sıcaklığının yükseldiği sonucu çıkarılmıştır. Konuyla ilgili ileri analizlerin yapılması gerekmektedir.



Şekil 6.7. Faz kaymalı paralel Çapraz Çevirgeç Yapısı MOSFET Gerilimi

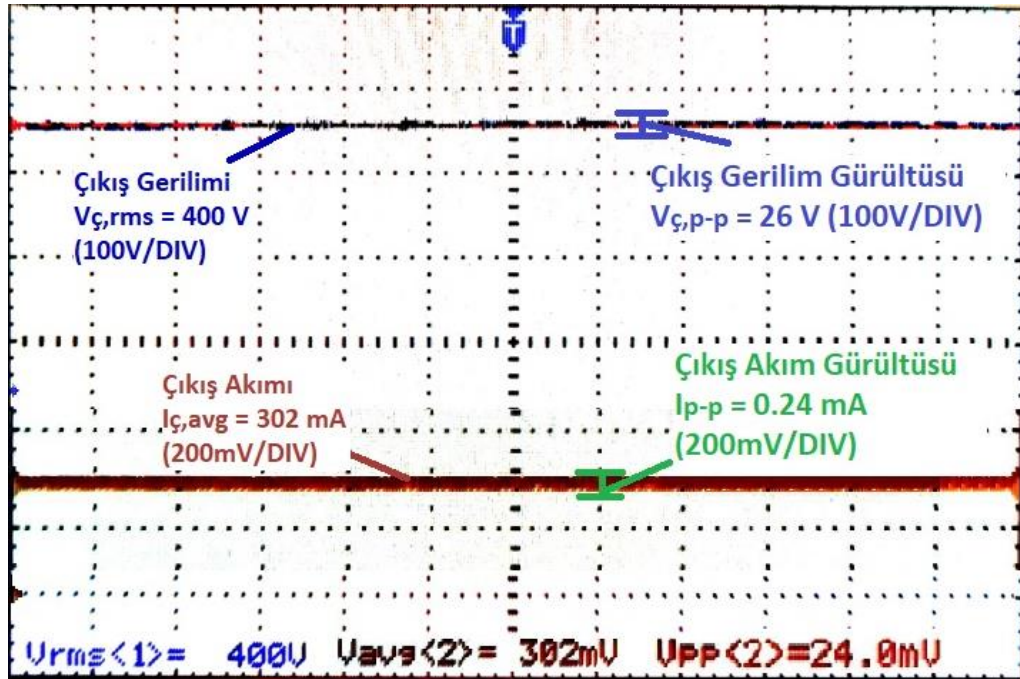
Bölüm 4.1.2’de çapraz çevirgeç için hesaplanmış olan ilk OT denetleyici parametreleri $K_p = 0,02$ ve $K_i = 2,1$ ’dir. Bu parametreler ile elde edilen çıkış gerilim ve akım gösterimi Şekil 6.8’dedir. Çıkış geriliminde 400 VDA erişilememiştir.



Şekil 6.8. Faz kaymalı paralel Çapraz Çevirgeç %100 Yükte Çıkış Gerilimi ve Akımı (OT denetleyici parametreleri $K_p = 0,02$ ve $K_i = 2,1$)

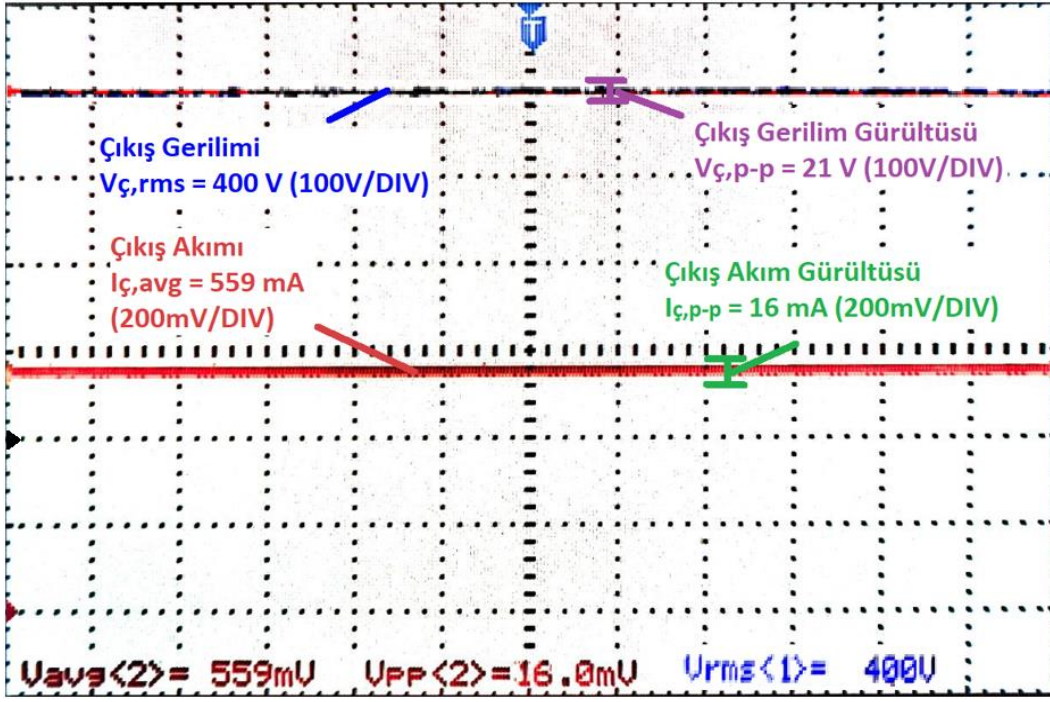
Gerçek devre üzerinde farklı OT denetleyici parametreleri denenerek Şekil 6.9'daki hedeflenen 400 VDA çıkışı elde edilmiştir. Devre üzerinde OT denetleyici parametreleri olarak $K_p = 0,002$ ve $K_i = 1,2$ kullanılmıştır.

Faz kaymalı paralel Çapraz Çevirgeç %50 yükte 200 us'lik çıkış gerilimi ve akımı Şekil 6.9'da verilmiştir. Çıkış gerilimin 400 VDA değerine eriştiği görülebilmektedir. Çıkış gerilimindeki gürültünün tepe-tepe gerilimi 26 V olarak ölçülmüştür. Gerilim probunun 16 V'luk toleransa da sahip olduğu da düşünülürse %2,5 luk gerilim gürültüsü olduğu belirlenmiştir. Hedef değer olan %1 çıkış gerilim regülasyonuna oldukça yakın bir başarımla elde edilmiştir. Çıkış akımı ortalaması 302 mA olarak ölçülmüş olup 0.24 mA gürültüye sahip olduğu görülmektedir.



Şekil 6.9. Faz kaymalı paralel Çapraz Çevirgeç %50 Yükte Çıkış Gerilimi ve Akımı(OT denetleyici parametreleri $K_p = 0,002$ ve $K_i = 1,2$)

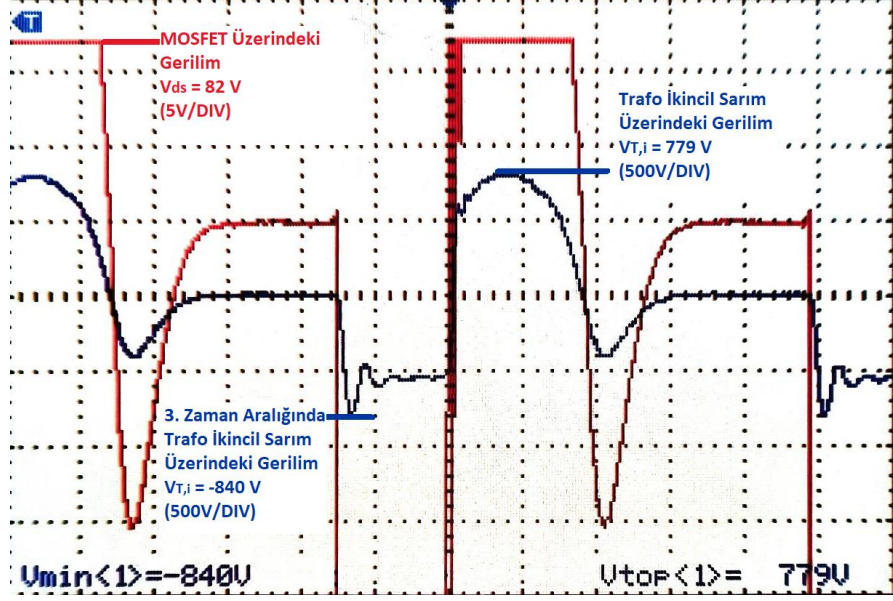
Tam yük testlerinde çıkış gerilim gürültüsü 21 V değerine akım gürültüsü ise 16 mA değerine düşmektedir. Çıkış akımı ortalaması 559 mA çıkış gerilimi rms değeri 400 V olarak ölçülmüştür. Şekil 6.10'da 200 us'lik sonuç gösterilmektedir.



Şekil 6.10. Faz kaymalı paralel Çapraz Çevirgeç %100 Yükte Çıkış Gerilimi ve Akımı
(OT denetleyici parametreleri $K_p = 0,002$ ve $K_i = 1,2$)

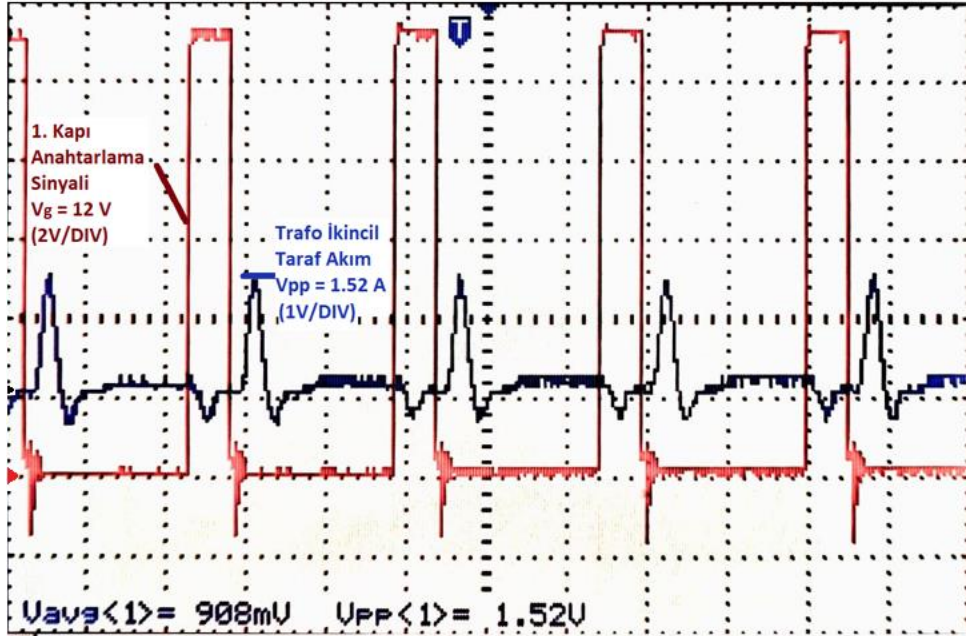
Çıkış gerilim değerleri incelendiğinde sonuçların tasarım hedeflerini karşıladığı ve benzetim sonuçları ile benzer çıktığı anlaşılmaktadır. Gerçekleme çalışmalarının hedef çevirgeç tasarımı konusunda başarımla sağladığı görülmektedir.

Çapraz çevirgece ait farklı gerilim ve akım değerlerinin ölçümü eklemek için tek bir çapraz çevirgeç yapısında trafo bacakları uzatılarak ölçümler alınmaya çalışılmıştır. Ancak trafo bacaklarının uzatılması çevirgeçteki birincil ve ikincil taraftaki döngü alanları büyüttüğü için kaçak endüktans ve kapasitans değerleri artmıştır. Çapraz çevirgecin MOSFET üzerindeki gerilim ve trafo ikincil sarım üzerindeki gerilim değerleri Şekil 6.11’de gösterilmiştir. MOSFET açık konumda iken ortalaması -450 V olan ancak tepe değeri -849 V olan gerilimler tespit edilmiştir. İkincil taraftaki gerilim tepeleri arttığı için kesim devresinin değerleri değiştirilmiş ve 82 V değerinde kesim yapılması sağlanmıştır. Bundan dolayı da kesim devresindeki kayıplarda artmıştır.



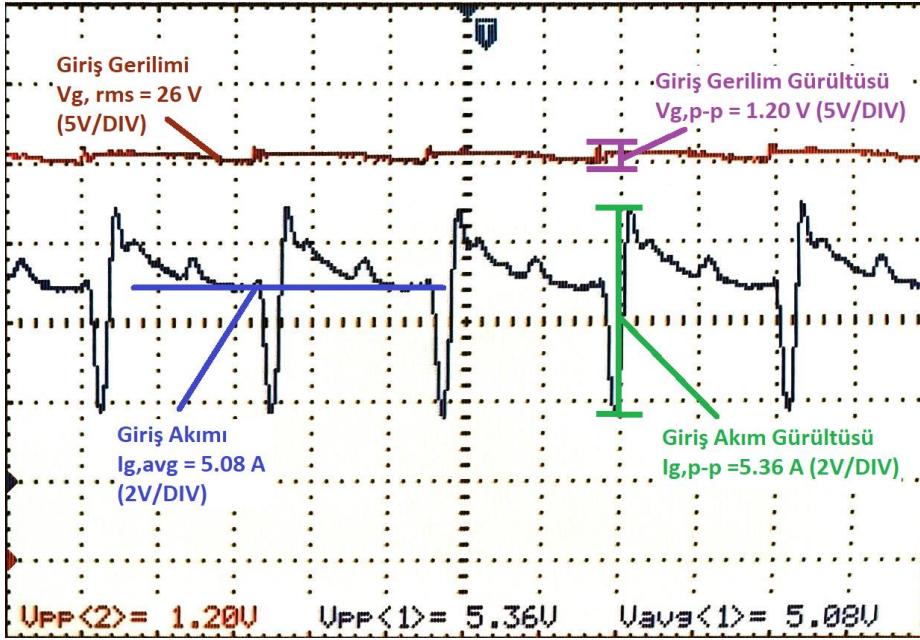
Şekil 6.11. MOSFET Üzerindeki Gerilim ve Trafo İkincil Sarım Üzerindeki Gerilim

Trafo İkincil Taraf Üzerindeki Akım ve 1. Kapı Anahtarlama Sinyaline göre davranışı da Şekil 6.12’de gösterilmiştir. MOSFET’in açık konuma gelmesi sonrası trafonun ikinci sargısında oluşan akım değeri gözlenebilmektedir. Tepe değeri 1.52 A olarak ortalama değeri ise 908 mA olarak ölçülmüştür.



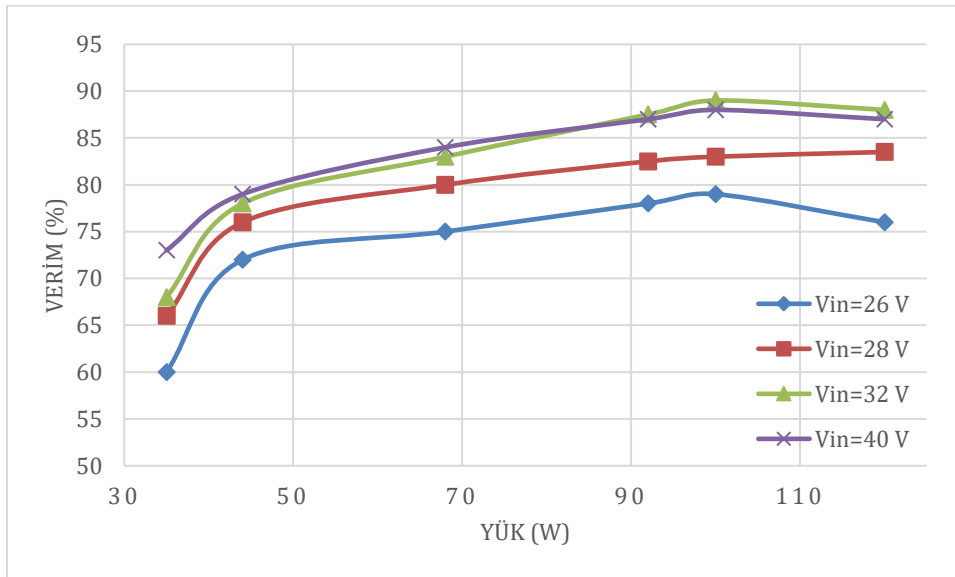
Şekil 6.12. Trafo İkincil Taraf Üzerindeki Akım ve 1. Kapı Anahtarlama Sinyali

Şekil 6.13'te Çapraz Çevirgeç %100 Yükte Giriş Gerilimi ve Akımı gösterilmiştir. Giriş geriliminin gürültüsü 1.2 V olarak ölçülürken akım değerinin hedeflenen değerden uzakta 5.36 A'lık aralıkta oynadığı görülmüştür. Bu durum üzerine daha ayrıntılı bir çalışma yapılması gerekmektedir.



Şekil 6.13. Çapraz Çevirgeç %100 Yükte Çıkış Gerilimi ve Akımı

Faz kaymalı paralel Çapraz çevirgecin çevirgeç başına düşen verim yüzdesi Şekil 6.14'de gösterilmiştir. 32 V ve üzeri giriş gerilimlerinde çevirgecin daha yüksek verimlilikte çalışabildiği görülmektedir.



Şekil 6.14. Çevirgeç Verim Yüzdesi, Yük ve Giriş Gerilimi

Verim performansı açısından gerekleme ve benzetim alıřmaları arasında farklılık mevcuttur. Benzetim alıřmasında daha yksek verim elde edilebilmektedir. Gereklemede ise benzetim alıřmasına eklenemediđi iin trafo kayıpları (sargılar ve ekirdek kayıpları) ayrıca kaak endktans ve kaak kapasitr kaynaklı enerji kayıpları olmaktadır. Bundan dolayı Blm 6'da gsterildiđi gibi verim deđeri %89'un altında olmaktadır.

7. SONUÇLAR

Bu çalışma mikro şebekelerde fotovoltaik panellerin doğru akım barasına paralel olarak bağlanabilmesini sağlayan DA Düzenleyici ve sistem mimarisi tasarlanmış ve benzetim çalışmaları gerçekleştirilmiştir. Ayrıca DA Düzenleyici modülü gerçekleştirilmiştir. DA Düzenleyici topolojisi olarak Faz kaymalı paralel çapraz çevirgeç seçilmiştir. Çapraz çevirgeç için gerekli olan elemanların değerleri, akım ve gerilim dayanımları hesaplanmıştır. Belirlenen devre elemanları ile benzetim çalışmaları yapılmıştır. Çapraz çevirgeç denetimi için OTD ve KKD yöntemleri irdelenmiş ve benzetim çalışması yapılarak davranışları karşılaştırılmıştır. Her iki yöntem için gereken sensör miktarları karşılaştırılmış ve DA gerçekleştirilmesinde OTD ile devam edilmiştir.

DA Düzenleyici 89 kHz anahtarlama frekansına sahip girişinde 30 VDA ile çıkışta ise 400 VDA gerilim değerinde 100 W anma gücü sağlayacak şekilde tasarlanmıştır. Ayrıca benzetim çalışmaları yapılmış ve gerçekleştirilmiştir.

Gerçekleme sırasında OTD yöntemi kullanılmıştır. İlgili denetim yöntemi LAUNCHXL-F28379D geliştirme kiti üzerinde koşulmuştur. Geliştirme kitinin beslemesi dışındaki ek besleme gerilimlerinin tümü dışarıdan bir gerilim kaynağına gerek duymayacak şekilde gerçekleştirilmiştir. Çalışmalarda tek bir çapraz çevirgeç tam güçte çalışırken %85 lik bir verim elde edilmiştir.

Yapının daha verimli çalışabilmesi için ileri çalışmalarda aktif anahtarlama elemanı olarak geniş bant boşluğuna sahip GaN tabanlı yarı iletkenler kullanılabilir. Ayrıca daha yüksek frekanslarda anahtarlama gerçekleştirilerek DA Düzenleyicinin daha küçük hacimlerde daha yüksek güç değerlerinde çalışması sağlanabilir. Bu şekilde trafo boyutları ve kapasitör boyutları küçültülmeye çalışılabilir. Ayrıca sıfır gerilim veya sıfır akım anahtarlama teknikleri (Quasi rezonans) anahtarlama teknikleri gibi denetim yapıları ile DA Düzenleyici verimini artırmaya yönelik çalışmalar yapılabilir.

Sistem mimarisi üzerinde DA barasındaki güç akışlarının ölçülmesi için fotovoltaik panellerin ürettiği gücü ölçmek, yüklerin kullandığı gücü ölçmek ve evirgeçten gereken gücü ölçmek için akım sensörleri kullanılmaktadır. Gerçek gücün hesaplanması için DA bara gerilimini evirgeç tarafından 400 VDA olarak tutmak için için gerçel güç referansı hesaplanması üzerine akım denetim algoritması geliştirilebilir.

DA D zenleyici kullanılarak sistem mimarisi de tasarlanmıř ve benzetim alıřması ile sistem dođrulaması yapılmıřtır. Y ke olan g  akıřı  ncelikli olarak fotovoltaik panellerden y ke ve yetersiz olduđu durumda evirge yardımıyla řebekeden y ke dođru g  desteđi olmaktadır. İleri alıřmalardan y k n kullanımından artan fazla fotovoltaik enerjinin evirge yardımıyla řebekeye aktarılması  zerine algoritma geliřtirilmesi alıřılabilir.

Ayrıca sistem mimarisine DA barasında depolama birimi (ak  blođu) ve elektrikli ara řarj istasyonu eklenerek yapı iin senaryolar geniřletilebilir.

Gelecek alıřmalar adına sistem mimarisinin gereklemesi yapılabilir. Mevcut sistem mimarisi mikro řebeke ihtiyacının g neř pillerinden temin edilemediđi durumda řebekeden gerekli g c n temini řeklindedir. Mikro řebekedeki fazla g c n řebekeye aktarılması  zerine DA-AA evirge denetim algoritmasının geliřtirilmesi  zerine alıřılabilir.

8. KAYNAKLAR

- [1] H. AbdEl-Gawad and V. K. Sood; “Overview of connection topologies for grid-connected PV systems,” in proc. IEEE Canadian conf. on Electrical and Computer Engineering, Toronto, ON, , pp. 1-8, **2014**.
- [2] C. Noeding, M. Kazanbas, S. Araujo and P. Zacharias, “Towards High Power Ratings: Prospects and Challenges of SiC Technology, ” in proc. Int. Exhib. and Conf. for Power Electron., Intelligent Motion, Renewable Energy and Energy Management, Nuremberg, Germany, pp. 1-6, **2015**.
- [3] Dragicevic, T., Vasquez, J. C., Guerrero, J. M., & Skrlec, D. “Advanced LVDC Electrical Power Architectures and Microgrids: A Step toward a New Generation of Power Distribution Networks”, IEEE Electrification Magazine, 2(1), 54-65, **2014**.
- [4] M. Liserre, T. Sauter, and J. Y. Hung, “Future Energy Systems: Integrating Renewable Energy Sources into the Smart Power Grid Through Industrial Electronics,” Industrial Electronics Magazine, IEEE, vol. 4, no. 1, pp. 18–37, Mar. **2010**.
- [5] Balog, Robert S., Wayne W. Weaver, and Philip T. Krein. "The load as an energy asset in a distributed DC smartgrid architecture." Smart Grid, IEEE Transactions on 3.1 (): 253-260, **2012**.
- [6] T. Dragicevic, J. Guerrero, J. Vasquez, and D. Skrlec, “Supervisory control of an adaptive-droop regulated DC microgrid with battery management capability,” Power Electronics, IEEE Transactions on, vol. 29, no. 2, pp. 695–706, **2014**.
- [7] Lubna Mariam, Malabika Basu, and Michael F. Conlon, “A Review of Existing Microgrid Architectures,” Journal of Engineering, pp.1-8, **2013**.
- [8] N.W.A. Lidula, A.D. Rajapakse, “Microgrids research: A review of experimental microgrids and test systems”, Renewable and Sustainable Energy Reviews, vol. 15, no. 1, pp. 186-202, January **2011**.
- [9] Taha Selim Ustun, Cagil Ozansoy, Aladin Zayegh, “Recent developments in microgrids and example cases around the world—A review”, Renewable and Sustainable Energy Reviews, vol. 15, no. 8, Pages 4030-4041, October **2011**.
- [10] Ritwik Majumder, “Some Aspects of Stability in Microgrids”, IEEE Transactions on Power Systems, vol. 28, no. 3, pp.3243,3252, Aug. **2013**.
- [11] Hossain, Eklas & Kabalcı, Ersan & Bayindir, R. & Perez, R.. (). A comprehensive study on microgrid technology. International Journal of Renewable Energy Research. 4. 1094-1104, **2014**.
- [12] Sudipta Chakraborty, Bill Kramer, Benjamin Kroposki, “A review of power electronics interfaces for distributed energy systems towards achieving low-

cost modular design”, Renewable and Sustainable Energy Reviews, vol 13, no. 9, Pages 2323-2335, December **2009**.

- [13] Guerrero, J.M., "Connecting renewable energy sources into the smartgrid," 2011 IEEE International Symposium on Industrial Electronics (ISIE), pp.2400- 2566, 27-30 June 2011 ISIE **2011**.
- [14] Katiraei, F.; Iravani, R.; Hatziargyriou, N.; Dimeas, A., "Microgrids management," IEEE Power and Energy Magazine, vol.6, no.3, pp.54,65, May-June **2008**.
- [15] Ming Ding; Yingyuan Zhang; Meiqin Mao, "Key technologies for microgrids -a review," International Conference on Sustainable Power Generation and Supply, 2009. SUPERGEN '09., pp.1,5, 6 -7 April **2009**.
- [16] J. Young-Hyok, J. Doo-Yong, K. Jun-Gu, K. Jae-Hyung, L. Tae-Won, and W. Chung-Yuen, "A real maximum power point tracking method for mismatching compensation in PV array under partially shaded conditions," IEEE Trans. Power Electron., vol. 26, no. 4, pp. 1001-1009, Apr. **2011**.
- [17] A. Stephen, R. K. P. and G. S, "Review on Non-isolated High Gain DC-DC Converters," 2022 Third International Conference on Intelligent Computing Instrumentation and Control Technologies (ICICICT), pp. 200-205, **2022**.
- [18] K. A. Mulani, R. J. Kadam and S. H. Pawar, "Comparison between Conventional Fly-back and Interleaved Fly-back Converter for Standalone PV Application," 2018 International Conference on Current Trends towards Converging Technologies (ICCTCT), pp. 1-5, **2018**.
- [19] N. Kim and B. Parkhideh, "Comparative Analysis of Non-Isolated and Isolated Type Partial-Power Optimizers for PV-Battery Series Inverter Architecture," 2018 IEEE Energy Conversion Congress and Exposition (ECCE), Portland, OR, USA, pp. 6207-6213, **2018**.
- [20] D. Thukaram, L. Jenkins, and K. Visakha, "Optimum allocation of reactive power for voltage stability improvement in ac-dc power systems," IEE Proc. Gener. Transm. Distrib., vol. 153, pp. 237-246, Mar. **2006**.
- [21] K. S. Phani Kiranmai and M. Veerachary, "PV Power Tracking Through Utility Connected Single-Stage Inverter," in Power Electronics, Drives and Energy Systems, 2006. PEDES '06. International Conference on, , pp. 1-6, **2006**.
- [22] N. Harrabi, M. Kharrat, M. Souissi and A. Aitouche, "Comparative study of fuzzy logic peak power trackers for a photovoltaic system," 2017 18th International Conference on Sciences and Techniques of Automatic Control and Computer Engineering (STA), Monastir, pp. 539-545, **2017**.
- [23] V. K. Viswambaran, A. Ghani and E. Zhou, "Modelling and simulation of maximum power point tracking algorithms & review of MPPT techniques for

- PV applications," *2016 5th International Conference on Electronic Devices, Systems and Applications (ICEDSA)*, Ras Al Khaimah, pp. 1-4 **2016**.
- [24] M. E. E. Telbany, A. Youssef and A. A. Zekry, "Intelligent Techniques for MPPT Control in Photovoltaic Systems: A Comprehensive Review," 2014 4th International Conference on Artificial Intelligence with Applications in Engineering and Technology, Kota Kinabalu, pp. 17-22 **2014**.
- [25] A. K. Gupta and R. Saxena, "Review on widely-used MPPT techniques for PV applications," *2016 International Conference on Innovation and Challenges in Cyber Security (ICICCS-INBUSH)*, Noida, pp. 270-273 **2016**.
- [26] Qian, Z. "OPTIMIZATION AND DESIGN OF PHOTOVOLTAIC MICRO-INVERTER", The requirements for the degree of Doctor of Philosophy, College of Engineering and Computer Science at the University of Central Florida Orlando, Florida, **2013**.
- [27] S. Öztürk, "Çapraz Fotovoltaik Mikro-Evirgecin Doğrudan Sayısal Sentez Tekniğini Kullanarak DSPIC Mikro Denetleyici ile Gerçekleştirilmesi" Master thesis for Electric and electronic Engineering in Hacettepe University, **2014**.
- [28] Yi-Ping H., Jiann-Fuh C., Tsorng-Juu L. Novel High Step-Up DC-DC Converter With Coupled-Inductor and Switched Capacitor Techniques, *IEEE Trans. on Industr. Electron.*; 59, 2: 998-1007, **2012**.
- [29] Qun-Zhao L. High-efficiency, high step-up dc–dc converters. *IEEE Trans. Power Electron.*; 18:1-9, **2003**.
- [30] L. Palma, "Single Stage Quasi-Z-Source Push-Pull based Microinverter for On-Grid PV Applications," 2019 International Conference on Clean Electrical Power (ICCEP), Otranto, Italy, pp. 433-437, **2019**.
- [31] A. Boyar and E. Kabalci, "Comparison of a Two-Phase Interleaved Boost Converter and Flyback Converter," 2018 IEEE 18th International Power Electronics and Motion Control Conference (PEMC), Budapest, Hungary, , pp. 352-356, **2018**.
- [32] A. A. Usmani, M. Shahrukh and A. Mustafa, "Comparison of different three phase inverter topologies: A review," 2017 International Conference on Innovations in Electrical, Electronics, Instrumentation and Media Technology (ICEEIMT), Coimbatore, India, pp. 19-24, **2017**.
- [33] R. Grinberg, F. Canales and M. Paakkinen, "Comparison study of full-bridge and reduced switch count three-phase voltage source inverters," 2011 7th International Conference-Workshop Compatibility and Power Electronics (CPE), Tallinn, Estonia, pp. 270-275, **2011**.
- [34] S. V. Araujo, P. Zacharias, and R. Mallwitz, "Highly efficient single-phase transformer-less inverters for grid-connected photovoltaic systems," *IEEE Trans. Power Electron.*, vol. 57, no. 9, Sept, pp. 3118-3128, **2010**.

- [35] **2017**, [online] Available:
<http://www.enphase.com/sites/default/files/M215DSEN60Hz.pdf>.
- [36] **2017**, [online] Available:
http://www.plurawatt.com/files/Modeller/ing/Plurawatt_AC_Panel_EN.pdf.
- [37] G. Gök and U. Baysal, "A proposed micro inverter performance test set-up under real-time operation," 2017 10th International Conference on Electrical and Electronics Engineering (ELECO), Bursa, Turkey, pp. 314-316, **2017**.
- [38] Mclyman, C. WM. T. Transformer and Inductor Design Handbook. Third Edition, 359-366, **2004**.
- [39] T. Shimizu, K. Wada, and N. Nakamura, 'A Flyback-Type Single-Phase Utility Interactive Inverter With Low Frequency Ripple Current Reduction on the DC Input for a Photovoltaic Module System', 33rd IEEE Power Electronics Specialists Conference, pp.1483-1488, PESC, **2002**.
- [40] Y-H. Ji, D-Y. Jung, J-H. Kim, C-Y. Won, and D-S. Oh, 'Dual Mode Switching Strategy of Flyback Inverter for Photovoltaic AC Modules', The 2010 International Power Electronics Conference, pp.2924-2929, IPEC, **2010**.
- [41] Hurley, W.G., and Wölfle, W.H. "Transformers and Inductors for Power Electronics: Theory, Design and Applications", John Wiley & Sons, **2013**.
- [42] Long, B. "Using the UCC28630EVM-572 User Guide (SLUUAX9)." TI User's Guide, **2015**.
- [43] TI Reference Book, "Design Guide: TIDA-01606 10-kW, Bidirectional Three-Phase Three-Level (T-type) Inverter and PFC Reference Design" September, **2022**.
- [44] K. Shenai, "Wide bandgap (WBG) semiconductor power converters for DC microgrid applications," 2015 IEEE First International Conference on DC Microgrids (ICDCM), **2015**.
- [45] Vinod Kumar Khanna, "IGBT Circuit Applications," in Insulated Gate Bipolar Transistor IGBT Theory and Design , IEEE, **2003**.
- [46] Hanju Cha; Trung-Kien Vu, "Comparative analysis of low-pass output filter for singlephase grid-connected Photovoltaic inverter," in Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE , vol., no., pp.1659-1665, 21-25 Feb. **2010**
- [47] Byoungwoo Ryu, Jaesik Kim, Jaeho Choi, & Changho Choi. (n.d.). Design and analysis of output filter for 3-phase UPS inverter. Proceedings of the Power Conversion Conference-Osaka **2002**.

- [48] K. Shenai, "Wide bandgap (WBG) semiconductor power converters for DC microgrid applications," 2015 IEEE First International Conference on DC Microgrids (ICDCM), **2015**.
- [49] Vinod Kumar Khanna, "IGBT Circuit Applications," in Insulated Gate Bipolar Transistor IGBT Theory and Design , IEEE, **2003**.
- [50] G. Gök, I. Alishar and D. Gökçen, "Structural Comparison of Wide Band-Gap Semiconductors with Silicon Semiconductors and Performance Oriented Comparison for a High Switching Frequency Flyback Converter," 2018 2nd International Symposium on Multidisciplinary Studies and Innovative Technologies (ISMSIT), **2018**.
- [51] M. Kong, B. Wang, H. Wu, J. Guo, K. Huang and B. Zhang, "SiC Trench MOSFET Merged Schottky Barrier Diode for Enhanced Reverse Recovery Performance," 2021 9th International Symposium on Next Generation Electronics (ISNE), **2021**.
- [52] Hanju Cha; Trung-Kien Vu, "Comparative analysis of low-pass output filter for singlephase grid-connected Photovoltaic inverter," in Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE , vol., no., pp.1659-1665, 21-25 Feb. **2010**
- [53] S. G. Parker, B. P. McGrath and D. G. Holmes, "Regions of Active Damping Control for LCL Filters," in IEEE Transactions on Industry Applications, vol. 50, no. 1, pp. 424-432, Jan.-Feb. **2006**.
- [54] B. Ryu, J. Kim, J. Choi, & C. Choi. (n.d.). Design and analysis of output filter for 3-phase UPS inverter. Proceedings of the Power Conversion Conference-Osaka **2006**.
- [55] M. M. de Carvalho, R. L. P. Medeiros, I. V. Bessa, F. A. C. Junior, K. E. Lucas and D. A. Vaca, "Comparison of the PLL Control techniques applied in Photovoltaic System," 2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC), **2006**.
- [56] A. Nicastrì, and A. Nagliero, "Comparison and evaluation of the PLL techniques for the design of the grid-connected inverter systems," pp. 3865–3870, July **2010**.
- [57] M. Karimi-Ghartemani, H. Karimi, and M. R. Iravani, "A Magnitude/Phase-Locked Loop System Based on Estimation of Frequency and In-Phase/Quadrature-Phase Amplitudes" IEEE Transactions on Industrial Electronics, .vol 51, no. 2, April **2004**.
- [58] XQ Guo, WY Wu, HR Gu, "Phase Locked Loop And Synchronization Methods For Grid-Interfaced Converters: A Review" Przegląd Elektrotechniczny, **2011**.

- [59] S. Kaya, İ. Alişar and G. Gök, "Advanced PLL structure for HVDC transmission under unbalanced grid conditions," 2018 6th International Istanbul Smart Grids and Cities Congress and Fair (ICSG), **2018**.
- [60] L. Malesani and P. Tomasin, "PWM current control techniques of voltage source converters—A survey," in Conf. Rec. IEEE IECON'93, Maui, HI, **1993**.
- [61] C. T. Rim, N. S. Choi, G. C. Cho, and G. H. Cho, "A complete DC and AC analysis of three-phase controlled-current PWM rectifier using circuit D-Q transformation," IEEE Trans. Power Electron., vol. 9, pp. 390–396, July **1994**.
- [62] S Tahir, J Wang, MH Baloch, GS Kaloi," Digital Control Techniques Based On Voltage Source Inverters In Renewable Energy Applications: A Review" Electronics, **2018**.
- [63] A. M. Kamath, K. G. Anjana and M. Barai, "Design and implementation of voltage mode digital controller for flyback converter operating in discontinuous conduction mode (DCM)," 2016 7th India International Conference on Power Electronics (IICPE), Patiala, India, **2016**, pp. 1-6, doi: 10.1109/IICPE.2016.8079477.
- [64] Yu, X., Feng, Y., & Man, Z. (2021). Terminal Sliding Mode Control – An Overview. IEEE Open Journal of the Industrial Electronics Society, 2, 36–52.
- [65] Zinober, A.S.I., ed. (1990). Deterministic control of uncertain systems. London: Peter Peregrinus Press. ISBN 978-0-86341-170-0.
- [66] H. -C. Lin and T. -Y. Chang, "Analysis and Design of a Sliding Mode Controller for Buck Converters Operating in DCM with Adaptive Hysteresis Band Control Scheme," 2007 7th International Conference on Power Electronics and Drive Systems, Bangkok, Thailand, **2007**, pp. 372-377, doi: 10.1109/PEDS.2007.4487726.
- [67] Pandey, A., Borkar, R., Kumbhar, S., Ghunke, P., & Jain, P. (2020). Comparison of Power Electronic Converters with Sliding Mode Control and Open Loop Control. **2020** International Conference on Convergence to Digital World - Quo Vadis (ICCDW).
- [68] Lin, H.-C., & Chang, T.-Y. (2007). Analysis and Design of a Sliding Mode Controller for Buck Converters Operating in DCM with Adaptive Hysteresis Band Control Scheme. **2007** 7th International Conference on Power Electronics and Drive Systems.
- [69] Joshi, P., & Seshagiri, S. (2020). Comparative Analysis of Sliding Mode Designs for DC-DC Converters. **2020** IEEE Transportation Electrification Conference & Expo (ITEC).

- [70] S.-C. Tan, Y. M. Lai, and C. K. Tse. General design issues of sliding mode controllers in DC-DC converters. *IEEE Transactions on Industrial Electronics*, 55(3):1160–1174, **2008**.
- [71] Lin, H.-C., & Chang, T.-Y. (2007). Analysis and Design of a Sliding Mode Controller for Buck Converters Operating in DCM with Adaptive Hysteresis Band Control Scheme. **2007** 7th International Conference on Power Electronics and Drive Systems.
- [72] Sreekumar C and V. Agarwal, "Hybrid Control of a Boost Converter Operating in Discontinuous Current Mode" in Proc. IEEE Power Electron. Specialists Conference (PESC), Jun. **2006**, pp. 1-6.
- [73] Mirzaie Banafsh Tappeh, Mohammad & Moghani, Javad & Khorsandi, Amir. (2019). Active and Reactive Power Control Strategy of the Modular Multilevel Converter for Grid-Connected Large Scale Photovoltaic Conversion Plants. 309-314.
- [74] Aboadla, Ezzidin & Khan, Sheroz & Habaebi, Mohamed & Gunawan, Teddy & Hamida, Belal & Yaacob, Mashkuri. (2016). Effect of modulation index of pulse width modulation inverter on Total Harmonic Distortion for Sinusoidal. 192-196.
- [75] Dolara, A., Faranda, R., and Leva, S. (2009). Energy Comparison of Seven MPPT Techniques for PV Systems. *J. Electromagn. Analysis Appl.* 01 (03), 152–162.
- [76] Lema, M., Pavon W., Ortiz L., Asante A.B.A, and Simani S.,” Controller Coordination Strategy for DC Microgrid Using Distributed Predictive Control Improving Voltage Stability” *Energies* **2022**, 15(15), 5442, July, **2022**
- [77] Vatansever, F. “Clarke ve Park Dönüşümlerinin Görselleştirilmesi” *Academic Perspective Procedia*, Vol. 2, Iss. 3, pp. (502-507), **2019**.
- [78] J. Wang and P. Wang, "Power Decoupling Control for Modular Multilevel Converter," in *IEEE Transactions on Power Electronics*, vol. 33, no. 11, pp. 9296-9309, Nov. **2018**.

EKLER

EK 1 - IXQT90N15T MOSFET Teknik Bilgi Notu


Preliminary Technical Information

Trench Gate Power MOSFET

N-Channel Enhancement Mode
Avalanche Rated

IXTA90N15T
IXTH90N15T
IXTP90N15T
IXTQ90N15T



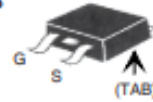
$$V_{DSS} = 150V$$

$$I_{D25} = 90A$$

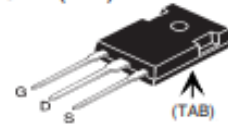
$$R_{DS(on)} \leq 20m\Omega$$

Symbol	Test Conditions	Maximum Ratings	
V_{DSS}	$T_J = 25^\circ C$ to $175^\circ C$	150	V
V_{DGR}	$T_J = 25^\circ C$ to $175^\circ C$, $R_{GS} = 1M\Omega$	150	V
V_{GSM}		± 30	V
I_{DSS}	$T_C = 25^\circ C$ *	90	A
$I_{L(RMS)}$	Lead Current Limit, RMS	75	A
I_{DM}	$T_C = 25^\circ C$, pulse width limited by T_{JM}	250	A
I_A	$T_C = 25^\circ C$	4	A
E_{AS}	$T_C = 25^\circ C$	750	μJ
dV/dt	$I_G \leq I_{DM}$, $V_{DS} \leq V_{DSS}$, $T_J \leq 175^\circ C$	10	V/ns
P_D	$T_C = 25^\circ C$	455	W
T_J		-55 ... +175	$^\circ C$
T_{JM}		175	$^\circ C$
T_{stg}		-55 ... +175	$^\circ C$
T_L	1.6mm (0.062 in.) from case for 10s	300	$^\circ C$
T_{SOLD}	Plastic body for 10 seconds	260	$^\circ C$
M_d	Mounting Torque (TO-220, TO-3P, TO-247)	1.13/10	Nm/lb.in.
F_c	Mounting Force (TO-263)	10..65/2.2..14.6	N/lb.
Weight		TO-263 2.5 TO-220 3 TO-3P 5.5 TO-247 6	g

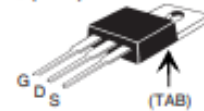
TO-263



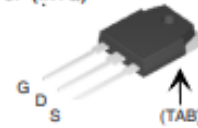
TO-247 (IXTH)



TO-220 (IXTP)



TO-3P (IXTQ)



G = Gate D = Drain
S = Source TAB = Drain

Features

- International standard packages
- Unclamped Inductive Switching (UIS) rated
- Low package inductance
 - easy to drive and to protect

Applications

- DC-DC converters
- Battery chargers
- Switched-mode and resonant-mode power supplies
- DC choppers
- AC motor control
- Uninterruptible power supplies

Symbol	Test Conditions ($T_J = 25^\circ C$, unless otherwise specified)	Characteristic Values		
		Min.	Typ.	Max.
BV_{DSS}	$V_{GS} = 0V$, $I_D = 250\mu A$	150		V
$V_{GS(TH)}$	$V_{DS} = V_{DSS}$, $I_D = 1mA$	2.5		4.5 V
I_{GSS}	$V_{GS} = \pm 20V$, $V_{DS} = 0V$			± 200 nA
I_{DSS}	$V_{DS} = V_{DSS}$ $V_{GS} = 0V$ $T_J = 150^\circ C$			5 μA 250 μA
$R_{DS(on)}$	$V_{GS} = 10V$, $I_D = 0.5 \cdot I_{DSS}$, Note 1	17		20 m Ω



IXTA90N15T IXTH90N15T
IXTP90N15T IXTQ90N15T

Symbol	Test Conditions ($T_j = 25^\circ\text{C}$ unless otherwise specified)	Characteristic Values		
		Min.	Typ.	Max.
g_{fs}	$V_{GS} = 10\text{V}$, $I_D = 0.5 \cdot I_{DSS}$, Note 1	40	69	S
C_{iss}	$V_{GS} = 0\text{V}$, $V_{DS} = 25\text{V}$, $f = 1\text{MHz}$		4100	pF
C_{oss}			560	pF
C_{rss}			92	pF
$t_{d(on)}$	Resistive Switching Times $V_{GS} = 15\text{V}$, $V_{DS} = 0.5 \cdot V_{DSS}$, $I_D = 0.5 \cdot I_{DSS}$ $R_D = 3.3\Omega$ (External)		24	ns
t_r			22	ns
$t_{d(off)}$			44	ns
t_f			19	ns
$Q_{g(on)}$	$V_{GS} = 10\text{V}$, $V_{DS} = 0.5 \cdot V_{DSS}$, $I_D = 25\text{A}$		80	nC
Q_{gs}			20	nC
Q_{gd}			20	nC
R_{thJC}				0.33 $^\circ\text{C/W}$
R_{thCH}	TO-220		0.25	$^\circ\text{C/W}$
	TO-3P, TO-263, TO-247		0.21	$^\circ\text{C/W}$

Source-Drain Diode

Symbol	Test Conditions ($T_j = 25^\circ\text{C}$, unless otherwise specified)	Characteristic Values		
		Min.	Typ.	Max.
I_S	$V_{GS} = 0\text{V}$			90 A
I_{SM}	Repetitive			300 A
V_{SD}	$I_T = 50\text{A}$, $V_{GS} = 0\text{V}$, Note 1			1.2 V
t_{rr}	$I_T = 45\text{A}$, $-di/dt = 250\text{A}/\mu\text{s}$ $V_R = 75\text{V}$, $V_{GS} = 0\text{V}$		110	ns

Note 1: Pulse test, $t \leq 300\mu\text{s}$; duty cycle, $d \leq 2\%$.

*: Current may be limited by external terminal current limit.

PRELIMINARY TECHNICAL INFORMATION

The product presented herein is under development. The Technical Specifications offered are derived from data gathered during objective characterizations of preliminary engineering lots; but also may yet contain some information supplied during a pre-production design evaluation. IXYS reserves the right to change limits, test conditions, and dimensions without notice.

IXYS reserves the right to change limits, test conditions, and dimensions.

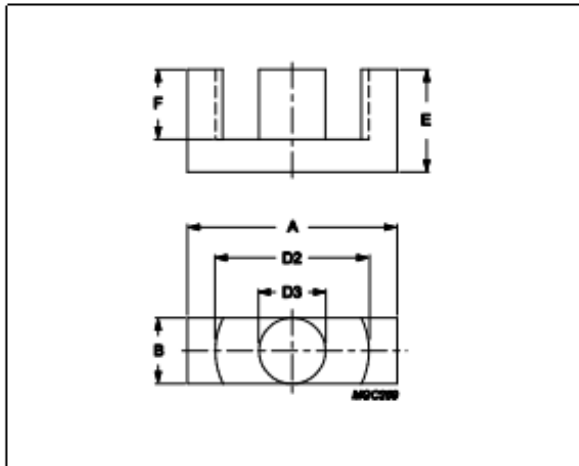
IXYS MOSFETs and IGBTs are covered 4,835,592 4,931,844 5,049,961 5,237,481 5,162,665 6,404,065 B1 6,683,344 6,727,585 7,005,734 B2 7,157,338B2
by one or more of the following U.S. patents: 4,850,072 5,017,508 5,063,307 5,381,025 6,259,123 B1 6,534,343 6,710,405 B2 6,759,692 7,063,975 B2
4,881,106 5,034,796 5,187,117 5,486,715 6,306,728 B1 6,583,505 6,710,463 6,771,478 B2 7,071,537

EK 2 - Ferroxcube ETD 39 Çekirdek Teknik Bilgi Notu

Product specifications



Core **ETD39/20/13**



Effective parameters			
	Parameter	Value	Unit
$\Sigma(I/A)$	core factor (C1)	0.737	mm ⁻¹
Ve	effective volume	11500	mm ³
Le	effective length	92.2	mm
Ae	effective area	125	mm ²
Amin	minimum area	123	mm ²
m	ETD39/20/13	≈ 30	g/pcs

Dimensions for product: ETD39/20/13						
	Nom	Tol +	Tol -	Max	Min	Unit
A	40.00	0.00	1.80	40.00	38.20	mm
B	12.80	0.00	0.60	12.80	12.20	mm
D2	29.30	1.60	0.00	30.90	29.30	mm
D3	12.80	0.00	0.60	12.80	12.20	mm
E	19.80	0.20	0.20	20.00	19.60	mm
F	14.20	0.80	0.00	15.00	14.20	mm

Inductance factor				
Material	Value	Tol +	Tol -	Unit
3C94	2900	25%	25%	nH/turns ²
3C95	3650	25%	25%	nH/turns ²
3C97	3650	25%	25%	nH/turns ²
3F36	2000	25%	25%	nH/turns ²
3F46	1200	25%	25%	nH/turns ²

Power loss: 3C94				
Measuring conditions			Max	Unit
100 kHz	200 mT	100 °C	5.800	W/set
Power loss: 3C95				
Measuring conditions			Max	Unit
100 kHz	200 mT	100 °C	5.500	W/set
100 kHz	200 mT	25 °C	6.000	W/set
Power loss: 3C97				
Measuring conditions			Max	Unit

Product specifications



Core **ETD39/20/13**

Power loss: 3C97				
Measuring conditions			Max	Unit
100 kHz	200 mT	60 °C	5.800	W/set
100 kHz	200 mT	120 °C	5.500	W/set
100 kHz	200 mT	140 °C	6.900	W/set
Power loss: 3F36				
Measuring conditions			Max	Unit
500 kHz	50 mT	100 °C	1.700	W/set
500 kHz	100 mT	100 °C	13.000	W/set
Power loss: 3F46				
Measuring conditions			Max	Unit
1000 kHz	50 mT	100 °C	6.500	W/set
3000 kHz	10 mT	100 °C	4.200	W/set

Bsat					
Measuring conditions			Material	Min	Unit
25 kHz	250 A/m	100 °C	3C94	320	mT
25 kHz	250 A/m	100 °C	3C95	330	mT
25 kHz	250 A/m	100 °C	3C97	330	mT
25 kHz	250 A/m	100 °C	3F36	340	mT
25 kHz	250 A/m	100 °C	3F46	330	mT

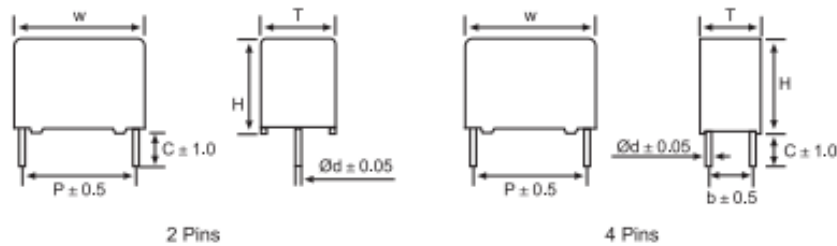
Accessories		
Ordering name	Description	Ordering code
CLI-ETD39	Clip	432202133902
CPH-ETD39-1S-16P	Coil former, termoplastic, horizontal	432202133862
CPH-ETD39-1S-16P-C	Coil former, termoplastic, horizontal	432202101651

EK 3 - Faratronic 450 VDA, MKP, 2 μF Teknik Bilgi Notu



PCB用DC-Link电容器 DC-Link Capacitor for PCB

■ 外形图 Outline Drawing



■ 特点

- 金属化聚丙烯膜结构。
- 良好的电气性能
- 塑料外壳封装(UL94 V-0)、树脂填充。
- 高性能直流滤波应用场合
(如：变频器、工业和高端电源、太阳能逆变器)

■ Features

- Metallized polypropylene structure.
- Excellent electric property.
- Plastic case (UL94 V-0), Filled with resin.
- High performance DC filtering applications
(i.e. Frequency converters, Industrial and high-end power supplies and Solar inverters)

■ 安全认证 Safety Approvals

●		TUV Rheinland (德国)	EN 61071:2007, EN 61881-1: 2011, 450Vdc ~ 1400Vdc, 0.68μF~140μF, -40/85°C, 证书号(Certificate No.): R 50286108
●		UL(美国)	UL 810(construction only),max 5000Vdc,90°C 证书号(File No.): E256238, CCN:CZDS2

■ 技术要求 Specifications

引用标准	GB/T 17702, IEC 61071
气候类别 Climatic Category	40/105/56
工作温度 (外壳) Operating temperature (case)	-40°C ~ 105°C (+85°C to +105°C : decreasing factor 1.35% per °C for U_N , as°C)
额定电压 $U_{N,70^\circ\text{C}}$	500Vdc,600Vdc,800Vdc,900Vdc,1 000Vdc,1 100Vdc,1 200Vdc
容量偏差 Capacitance Tolerance	J (± 5%), K (± 10%)
耐电压 Voltage Proof	1.5 U_N (10s)
绝缘电阻 Insulation Resistance (IR x C_N)	≥ 10 000s (20°C ,100Vdc,1min)
自感 (Ls) Self Inductance(Ls)	< 1nH per mm of lead spacing
最大峰值电流 \hat{I} (A) Maximum peak current(A)	$\hat{I}=C_N \cdot dV/dt$
工作寿命 Operation life time	100 000h at U_N , $T_{amb}=70^\circ\text{C}$

**C3D**

■ 技术参数 Technical data (mm)

U _{NOM} : 500 Vdc, U _{MAX} : 450 Vdc												
C _N (μ F)	W \pm 1.0	H \pm 1.0	T \pm 1.0	P \pm 0.5	b \pm 0.5	d \pm 0.05	dV/dt (V/ μ s)	tg $\delta \times (10^{-4})$		ESR (m Ω)	I _{RM} (A)	Part number
								1kHz	10kHz			
5.0	32.0	20.0	11.0	27.5	—	0.8	65	10	100	8.5	5.0	C3D2H505+B00+++***
10.0	32.0	24.5	15.0	27.5	—	0.8	65	10	100	7.5	6.5	C3D2H106+B00+++***
22.0	32.0	37.0	22.0	27.5	—	0.8	65	10	100	5.0	10.0	C3D2H226+B00+++***
30.0	42.0	40.0	20.0	37.5	10.2	1.0	30	15	150	8.0	12.5	C3D2H306+F0B+++***
35.0	42.0	36.0	24.0	37.5	10.2	1.0	30	15	150	8.0	13.5	C3D2H356+F0B+++***
40.0	41.5	37.5	27.5	37.5	10.2	1.0	30	15	150	5.0	14.5	C3D2H406+F0B+++***
50.0	41.0	43.0	28.0	37.5	12.7	1.2	30	15	150	4.0	16.0	C3D2H506+F02+++***
50.0	42.0	45.0	30.0	37.5	20.3	1.2	30	15	150	4.0	16.0	C3D2H506+F0A+++***
60.0	42.0	45.0	30.0	37.5	20.3	1.2	30	15	150	3.0	16.5	C3D2H606+F0A+++***
75.0	57.0	43.5	29.5	52.5	12.7	1.2	15	35	350	5.5	16.0	C3D2H756+M02+++***
75.0	57.0	43.5	29.5	52.5	20.3	1.2	15	35	350	5.5	16.0	C3D2H756+M0A+++***
80.0	57.0	43.5	29.5	52.5	20.3	1.2	15	35	350	5.0	16.5	C3D2H806+M0A+++***
100.0	57.0	50.0	35.0	52.5	20.3	1.2	15	35	350	4.0	18.0	C3D2H107+M0A+++***
110.0	57.0	50.0	35.0	52.5	20.3	1.2	15	35	350	4.0	19.0	C3D2H117+M0A+++***

U _{NOM} : 600 Vdc, U _{MAX} : 500 Vdc												
C _N (μ F)	W \pm 1.0	H \pm 1.0	T \pm 1.0	P \pm 0.5	b \pm 0.5	d \pm 0.05	dV/dt (V/ μ s)	tg $\delta \times (10^{-4})$		ESR (m Ω)	I _{RM} (A)	Part number
								1kHz	10kHz			
2.0	32.0	18.0	9.0	27.5	—	0.8	65	11	100	47.8	2.8	C3D1U205+B00+++***
3.0	32.0	20.0	11.0	27.5	—	0.8	65	11	100	31.8	4.1	C3D1U305+B00+++***
4.0	32.0	20.0	11.0	27.5	—	0.8	65	11	100	23.9	5.5	C3D1U405+B00+++***
5.0	32.0	22.0	13.0	27.5	—	0.8	65	11	100	19.1	6.9	C3D1U505+B00+++***
6.0	32.0	24.5	15.0	27.5	—	0.8	65	11	100	18.6	7.1	C3D1U605+B00+++***
7.0	32.0	24.5	15.0	27.5	—	0.8	65	11	100	15.9	8.3	C3D1U705+B00+++***
8.0	32.0	28.0	14.0	27.5	—	0.8	65	11	100	13.9	9.5	C3D1U805+B00+++***
9.0	32.0	30.0	16.0	27.5	—	0.8	65	11	100	12.4	10.7	C3D1U905+B00+++***
10.0	32.0	30.0	16.0	27.5	—	0.8	65	11	100	11.1	11.8	C3D1U106+B00+++***
12.0	32.0	33.0	18.0	27.5	—	0.8	65	11	100	10.8	12.0	C3D1U126+B00+++***
12.0	32.0	33.0	18.0	27.5	10.2	0.8	65	11	100	9.3	14.2	C3D1U126+B0B+++***
15.0	32.0	37.0	22.0	27.5	—	0.8	65	11	100	9.0	12.0	C3D1U156+B00+++***
15.0	32.0	37.0	22.0	27.5	10.2	0.8	65	11	100	7.4	17.8	C3D1U156+B0B+++***
18.0	32.0	37.0	22.0	27.5	—	0.8	65	11	100	8.0	12.0	C3D1U186+B00+++***
18.0	32.0	37.0	22.0	27.5	12.7	0.8	65	11	100	6.2	21.3	C3D1U186+B02+++***
30.0	35.0	45.0	30.0	30.0	15.2	1.0	65	11	100	3.7	27.6	C3D1U306+C0D+++***
10.0	41.0	30.0	16.0	37.5	—	1.0	30	20	175	19.5	6.2	C3D1U106+F00+++***
12.0	41.0	30.0	16.0	37.5	—	1.0	30	20	175	16.3	7.4	C3D1U126+F00+++***
15.0	41.0	33.5	18.5	37.5	—	1.0	30	20	175	13.0	9.2	C3D1U156+F00+++***
20.0	42.0	40.0	20.0	37.5	10.2	1.0	30	20	175	9.8	12.3	C3D1U206+F0B+++***
22.0	42.0	40.0	20.0	37.5	10.2	1.0	30	20	175	8.9	13.5	C3D1U226+F0B+++***
25.0	42.0	40.0	20.0	37.5	12.7	1.0	30	20	175	7.8	15.4	C3D1U256+F02+++***
30.0	42.0	44.0	24.0	37.5	12.7	1.0	30	20	175	6.5	18.5	C3D1U306+F02+++***
35.0	42.0	45.0	30.0	37.5	12.7	1.2	30	20	175	6.0	20.1	C3D1U356+F02+++***
35.0	42.0	45.0	30.0	37.5	20.3	1.2	30	20	175	6.0	20.1	C3D1U356+F0A+++***
40.0	42.0	45.0	30.0	37.5	12.7	1.2	30	20	175	5.2	23.0	C3D1U406+F02+++***
40.0	42.0	45.0	30.0	37.5	20.3	1.2	30	20	175	5.2	23.0	C3D1U406+F0A+++***

EK 4 - Çıkış Diyot Teknik Bilgi Notu

IXYS

DHG 10 I 1800 PA

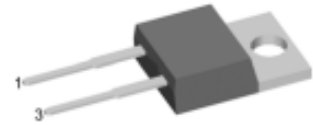
preliminary

Sonic Fast Recovery Diode

High Performance Fast Recovery Diode
Low Loss and Soft Recovery
Single Diode

Part number

DHG 10 I 1800 PA



Backside: cathode

Features / Advantages:

- Planar passivated chips
- Very low leakage current
- Very short recovery time
- Improved thermal behaviour
- Very low I_{rm} -values
- Very soft recovery behaviour
- Avalanche voltage rated for reliable operation
- Soft reverse recovery for low EMI/RFI
- Low I_{rm} reduces:
 - Power dissipation within the diode
 - Turn-on loss in the commutating switch

Applications:

- Antiparallel diode for high frequency switching devices
- Antisaturation diode
- Snubber diode
- Free wheeling diode
- Rectifiers in switch mode power supplies (SMPS)
- Uninterruptible power supplies (UPS)

Package:

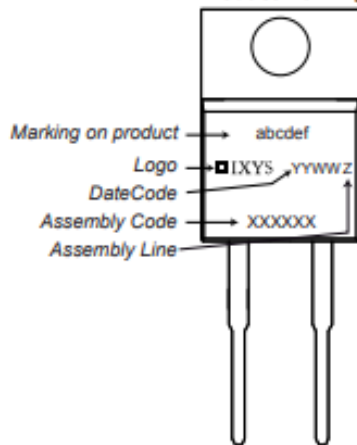
- Housing: TO-220
- Industry standard outline
- Epoxy meets UL 94V-0
- RoHS compliant

Ratings

Symbol	Definition	Conditions	min.	typ.	max.	Unit
V_{RRM}	max. repetitive reverse voltage				1800	V
I_R	reverse current	$V_R = 1800\text{ V}$			50	μA
		$V_R = 1800\text{ V}$			0.1	mA
V_F	forward voltage	$I_F = 10\text{ A}$			2.23	V
		$I_F = 20\text{ A}$			2.90	V
		$I_F = 10\text{ A}$			2.33	V
		$I_F = 20\text{ A}$			3.25	V
I_{FM}	average forward current	rectangular $d = 0.5$			10	A
V_{FO}	threshold voltage	} for power loss calculation only			1.30	V
r_F	slope resistance				95	m Ω
$R_{th(j-c)}$	thermal resistance junction to case				1.50	K/W
T_{vj}	virtual junction temperature		-55		150	$^{\circ}\text{C}$
P_{tot}	total power dissipation				85	W
I_{FSM}	max. forward surge current	$t = 10\text{ ms}$ (50 Hz), sine			60	A
I_{RM}	max. reverse recovery current				13	A
		$I_F = 10\text{ A}; V_R = 900\text{ V}$			15	A
		$-di_c/dt = 250\text{ A}/\mu\text{s}$			300	ns
t_{rr}	reverse recovery time				550	ns
C_j	junction capacitance	$V_R = 900\text{ V}; f = 1\text{ MHz}$			3	pF

preliminary

Symbol	Definition	Conditions	Ratings			Unit
			min.	typ.	max.	
I_{RMS}	RMS current	per terminal			35	A
$R_{\theta CJ}$	thermal resistance case to heatsink			0.50		K/W
T_{stg}	storage temperature		-55		150	°C
Weight				2		g
M_D	mounting torque		0.4		0.6	Nm
F_C	mounting force with clip		20		60	N

Product Marking

Part number

D - Diode
 H - Sonic Fast Recovery Diode
 G - extreme fast
 10 - Current Rating (A)
 I - Single Diode
 1800 - Reverse Voltage (V)
 PA - TO-225AC (2)

Ordering	Ordering Number	Marking on Product	Delivery Mode	Quantity	Code No.
Standard	DHG 10 I 1800 PA	DHG10I1800PA	Tube	50	508242