

**ÇAPRAZ FOTOVOLTAİK MİKRO-EVİRGEÇİN DOĞRUDAN  
SAYISAL SENTEZ TEKNİĞİNİ KULLANARAK dsPIC  
MİKRO DENETLEYİCİ İLE GERÇEKLEŞTİRİLMESİ**

**dsPIC MICROCONTROLLER BASED IMPLEMENTATION  
OF A FLYBACK PHOTOVOLTAIC MICROINVERTER  
USING DIRECT DIGITAL SYNTHESIS**

**SERKAN ÖZTÜRK**

**PROF DR. IŞIK ÇADIRCI**

**Tez Danışmanı**

Hacettepe Üniversitesi  
Lisansüstü Eğitim – Öğretim ve Sınav Yönetmeliğinin  
Elektrik ve Elektronik Mühendisliği Anabilim Dalı İçin Öngördüğü  
YÜKSEK LİSANS TEZİ  
olarak hazırlanmıştır.

2014

**SERKAN ÖZTÜRK'** ün hazırladığı “**Çapraz Fotovoltaik Mikro-Evirgecin Doğrudan Sayısal Sentez Tekniğini Kullanarak dsPIC Mikro Denetleyici İle Gerçekleştirilmesi**” adlı bu çalışma aşağıdaki jüri tarafından **ELEKTRİK ve ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI'** nda **YÜKSEK LİSANS TEZİ OLARAK** olarak kabul edilmiştir.

Prof. Dr. Muammer ERMİŞ

Başkan

.....

Prof. Dr. Işık ÇADIRCI

Danışman

.....

Prof. Dr. Uğur BAYSAL

Üye

.....

Yrd. Doç. Dr. Yakup ÖZKAZANÇ

Üye

.....

Yrd. Doç. Dr. Umut SEZEN

Üye

.....

Bu tez Hacettepe Üniversitesi Fen Bilimleri Enstitüsü tarafından **YÜKSEK LİSANS TEZİ** olarak onaylanmıştır.

Prof. Dr. Fatma SEVİN DÜZ  
Fen Bilimleri Enstitüsü Müdürü

## ETİK

Hacettepe Üniversitesi Fen Bilimleri Enstitüsü, tez yazım kurallarına uygun olarak hazırladığım bu tez çalışmada,

- tez içindeki bütün bilgi ve belgeyi akademik kurallar çerçevesinde elde ettiğimi,
- görsel, işitsel ve yazılı tüm bilgi ve sonuçları bilimsel ahlak kurallarına uygun olarak sunduğumu,
- başkalarının eserlerinden yararlanılması durumunda ilgili eserlere bilimsel normlara uygun olarak atıfta bulunduğumu
- atıfta bulunduğum eserlerin tümünü kaynak olarak gösterdiğimi,
- kullanılan verilerde herhangi bir tahrifat yapmadığımı,
- ve bu tezin herhangi bir bölümünü bu üniversitede veya başka bir üniversitede başka bir tez çalışması olarak sunmadığımı

beyan ederim.

\_\_\_/\_\_\_/2014

Serkan ÖZTÜRK

## ÖZET

# ÇAPRAZ FOTOVOLTAİK MİKRO-EVİRGENİN DOĞRUDAN SAYISAL SENTEZ TEKNİĞİNİ KULLANARAK dsPIC MİKRO DENETLEYİCİ İLE GERÇEKLEŞTİRİLMESİ

SERKAN ÖZTÜRK

Yüksek Lisans, Elektrik Elektronik Mühendisliği Bölümü

Tez Danışmanı: Prof. Dr. Işık ÇADIRCI

Ocak 2014, 107 Sayfa

Bu çalışmada doğrudan sayısal sentez tekniğini kullanan dsPIC mikro denetleyici tabanlı bir fotovoltaik mikro-eviricinin tasarımı ve gerçekleştirilmesi anlatılmıştır. Çapraz FV mikro-evirici düşük maliyetli bir dsPIC mikro denetleyici devresi ile güç anahtarının görev çevrimi değişimlerini AA şebeke geriliminden doğrudan veya bağımsız çalışma durumu için güç frekansındaki referans bir sinüzoidal dalga şeklinden üreterek kontrol edilmektedir. Doğrudan Sayısal Sentez tekniğinin kullanılması ile faz saptama ve denetim özellikleri doğal olarak gerçekleşmektedir. Ayrıca şebeke bağlantılı FV sistemler için gerekli olan maksimum güç noktası izleyici algoritması, ve anti-adalama koruma özelliği de fazladan donanım kullanılmadan mikro denetleyici ile gerçekleştirilebilmektedir. Tasarımı ve benzetim çalışmaları yapılan çapraz eviricinin denetim özelliklerinin başarımını görmek amacı ile 150 W, 220-V / 50 Hz değerlerine sahip bir ilk örnek evirici gerçekleştirilmiş ve laboratuvar ortamında test edilmiştir.

**Anahtar Kelimeler:** Doğrudan sayısal sentez, çapraz evirici, mikro denetleyici, mikro-evirici, fotovoltaik AA modül.

## **ABSTRACT**

# **dsPIC MICROCONTROLLER BASED IMPLEMENTATION OF A FLYBACK PHOTOVOLTAIC MICROINVERTER USING DIRECT DIGITAL SYNTHESIS**

**SERKAN ÖZTÜRK**

**Master of Science, Department of Electrical Electronics  
Engineering**

**Supervisor: Prof. Dr. Işık ÇADIRCI**

**January 2014, 107 pages**

In this paper, the design and implementation of a dsPIC microcontroller-based photovoltaic (PV) microinverter using direct digital synthesis technique has been presented. The flyback PV microinverter is controlled via a low-cost dsPIC microcontroller circuit, with the duty cycle variation of the power switch generated directly from the AC grid voltage, or from a reference sinusoidal waveform at power frequency in the case of standalone applications. The proposed scheme has the inherent voltage phase detection and control properties via the Direct Digital Synthesis technique adopted. Furthermore, the maximum power point tracking algorithm, and the anti-islanding protection feature required in grid-connected PV systems are easily implemented by the microcontroller, without the use of any extra hardware. The experimental results are obtained on a 150 W, 220-V/50 Hz prototype system verify the validity of the compact and low-cost dsPIC based flyback microinverter control scheme satisfactorily.

**Keywords:** Direct digital synthesis, flyback inverter, microcontroller, microinverter, photovoltaic AC module.

## TEŞEKKÜR

Yüksek Lisans Eğitimime başladığımdan bu yana ve tez çalışmam süresince anlayış ve hoşgörüsüyle bana her daim yön gösteren değerli tez danışmanım Prof. Dr. Işık ÇADIRCI'ya çok teşekkür ederim.

Kart üretimi ve montajındaki yardımlarından dolayı Polat POŞPOŞ'a teşekkür ederim.

Öğrenim hayatım boyunca maddi manevi destekleriyle her daim yanımda olan sevgili AİLEM'e teşekkür ederim.

İş arkadaşlarıma tez çalışması boyunca verdikleri manevi destekten dolayı teşekkür ederim.

Eşim Merve'ye tez çalışması boyunca benim için yapmış olduğu tüm fedakarlıklarından ve bana göstermiş olduğu hoşgörü ve sabrından dolayı teşekkür ederim.

# İÇİNDEKİLER DİZİNİ

	<u>Sayfa</u>
ÖZET .....	4
ABSTRACT .....	5
TEŞEKKÜR.....	6
İÇİNDEKİLER DİZİNİ .....	7
ŞEKİLLER DİZİNİ.....	9
ÇİZELGELER DİZİNİ.....	x
SİMGELER VE KISALTMALAR DİZİNİ .....	xi
SÖZLÜK DİZİNİ.....	xii
1. GİRİŞ.....	1
2. ÖNERİLEN SİSTEMİN TANIMI .....	7
2.1 Önerilen Sistemin Blok Şeması .....	7
2.2 Devrenin Çalışma Prensipleri .....	8
3. DOĞRUDAN SAYISAL SENTEZ TEKNİĞİ.....	15
3.1 Doğrudan Sayısal Sentez'in Temelleri.....	15
3.1.1 Doğrudan Sayısal Sentez Çalışma Prensipleri .....	16
3.2 Doğrudan Sayısal Sentez Tekniğinin dsPIC ile Gerçekleştirilmesi .....	20
3.2.1 Delta Faz Kayıtçısının Tasarımı.....	23
3.2.1.1 Ayarlanabilir Sinüs Dalga Üretici Tasarımı.....	23
3.2.1.2 Frekans Ayar Çözünürlüğü Tasarımı .....	25
3.2.2 Faz ve Genlik Dönüşümü Sisteminin Tasarımı .....	29
3.2.2.1 Sıfır Geçiş Detektörünün Tasarımı .....	29
3.2.2.2 Genlik Dönüşümünün Tasarımı .....	35
3.2.3 SDGM Sinyallerinin Üretilmesi.....	36
3.3 Doğrudan Sayısal Sentez Tekniği Benzetim Çalışmaları.....	38
4. MAKSİMUM GÜÇ NOKTASI İZLEYİCİSİ (MGNİ) TASARIMI .....	46
4.1 Sabit Gerilim İzleyicisi (SGİ) Yöntemi .....	46
4.2 Fotovoltaik (FV) Panel Modelinin Çıkarılması .....	49
4.2.1 FV Panel Eşdeğer Devresi .....	49
4.2.2 FV Panel Karakteristik Eşitliklerinin Çıkartılması .....	50
4.3 Maksimum Güç Noktası İzleyicisi Tasarımı ve Benzetim Çalışmaları.....	53
5. ÇAPRAZ EVİRİCİ TOPOLOJİSİNİN TASARIMI .....	55
5.1 Çapraz Evirici Devresi İçin Tasarım İsterleri .....	55

5.1.1	Giriş Kondansatörü Seçimi .....	56
5.1.2	Giriş Katındaki Anahtarın Seçimi .....	56
5.1.2.1	Maksimum Kırılma Geriliminin Hesaplanması.....	57
5.1.2.2	Sürekli ve Tepe Akım Değerlerinin Hesaplanması .....	57
5.1.2.3	Giriş Katı Anahtarı Seçimi .....	58
5.1.3	Transformatör Tasarımı .....	59
5.1.3.1	Giriş Katı Anahtarı Tur Oranı Değerinin Hesaplanması .....	59
5.1.3.2	Mıknatıslanma Endüktansı Değerinin Hesaplanması.....	60
5.1.3.3	Çekirdek Seçimi .....	62
5.1.3.4	Sarım Sayısı ve Tel Çapı Değerlerinin Hesaplanması .....	63
5.1.4	Çıkış Diyodunun Seçimi.....	65
5.1.5	Çıkış Kondansatörünün Seçimi.....	65
5.1.6	H-Köprü Anahtarlarının Seçimi .....	66
5.2	Çapraz Evirici Topolojisinin Benzetimi .....	66
6.	DENEYSEL ÇALIŞMALAR .....	77
6.1	Genel.....	77
6.2	DeneySEL Sonuçlar.....	78
7.	SONUÇLAR VE GELECEK ÇALIŞMALAR.....	91
	KAYNAKLAR.....	94
EK 1.	IRFP264 MOSFET TEKNİK ÖZELLİK DÖKÜMANI.....	97
EK 2.	IRFP840 MOSFET TEKNİK ÖZELLİK DÖKÜMANI.....	99
EK 3.	BYT-30 ULTRA HIZLI DİYOT TEKNİK ÖZELLİK DÖKÜMANI.....	101
EK 4.	N27 ETD44 SERİSİ ÇEKİRDEK TEKNİK ÖZELLİK DÖKÜMANI.....	103
EK 5.	FS-277 FOTOVOLTAİK PANEL TEKNİK ÖZELLİK DÖKÜMANI.....	105
EK 6.	ÇAPRAZ EVİRİCİ BASKI DEVRE KARTI ŞEMATİĞİ.....	106



## ŞEKİLLER DİZİNİ

	<u>Sayfa</u>
Şekil 1.1 Tipik Bir Mikro-Evirici Sistemi .....	4
Şekil 2.1 Çapraz Evirici ve Önerilen Denetim Sistemin Şeması [32] .....	7
Şekil 2.2 Referans Gerilim Sinyali (a) ve Buna Karşılık Üretilen Görev Çevrimi Değişimi (b) .....	10
Şekil 2.3 Analog SDGM (a) DSS SDGM (b) ve Diğer Sayısal Denetim Teknikleri ile SDGM (c) Sinyallerinin Üretilmesi.....	11
Şekil 3.1 Doğrudan Sayısal Sentezleyicinin Basit Gösterimi .....	16
Şekil 3.2 Frekans Ayarlı DSS Sistemi .....	17
Şekil 3.3 Sayısal Faz Çemberi .....	17
Şekil 3.4 DSS Mimarisinde Sinyal Akışı .....	19
Şekil 3.5 Gerçekleştirilen DDS Mimarisinin Blok Şeması .....	20
Şekil 3.6 dsPIC Mikro Denetleyici Yazılımı Akış Şeması (1) .....	21
Şekil 3.7 dsPIC Mikro Denetleyici Yazılımı Akış Şeması (2) .....	22
Şekil 3.8 Farklı n Adet Sinüs Noktası İçin Ayarlanabilir Sinüs Dalga Üreteci Çıkış Dalga Şekilleri (a) n=60, (b) n=180.....	24
Şekil 3.9 Periyot/Frekans Ölçüm Tekniği.....	25
Şekil 3.10 Frekans Hesabı İçin Kullanılan dsPIC Zamanlayıcı Birimi Şematiği ....	26
Şekil 3.11 Periyot/Frekans Ölçüm Tekniği Yazılım Akış Şeması.....	27
Şekil 3.12 Sıfır Geçiş Detektörü Blok Devre Şeması.....	30
Şekil 3.13 Gerilim Dönüştürücü Devre Şeması .....	30
Şekil 3.14 Histerisis ile Pozitif Beslemeli İşlemsel Yükselteç Devresi.....	32
Şekil 3.15 Histerisis Devresi Kullanılmayan(a) ve Kullanılan(b) Sıfır Geçiş Detektörü Çıkış Gerilimleri.....	33
Şekil 3.16 Optik Bağlaç Devre Şeması.....	34
Şekil 3.17 Gürültülü ve Düşük Gerilimli İşlemsel Yükselteç Çıkışının (a) Optik Bağlaçtan Geçtikten Sonra Gürültüsüz ve +5 V'a Yükseltilmiş Hali (b) 34	34
Şekil 3.18 Çapraz Evirici Çıkış Gerilimi Tepe Değerlerine Karşılık Üretilen Görev Çevrimi Değerleri.....	35
Şekil 3.19 Görev Çevrimi Değerinin 0.1 (a) ve 0.5 (b) Olduğu Durumlar İçin Anahtara Uygulanan Denetim Sinyalleri .....	36
Şekil 3.20 SDGM İşaretlerinin Üretilmesini Gösteren Yazılım Akış Şeması .....	37
Şekil 3.21 DSS ve Denetim Sisteminin Şeması.....	38
Şekil 3.22 Sinüs Örnekleme Sayısı n=60 ve Frekans Ayar Çözünürlüğü PR4=2440 İçin Ayarlanabilir Sinüs Dalga Üreteci Çıkışı .....	42

Şekil 3.23 Sinüs Örneklemeye Sayısı $n=180$ ve Frekans Ayar Çözünürlüğü PR4=2440 İçin Ayarlanabilir Sinüs Dalga Üreteci Çıkışı .....	42
Şekil 3.24 Sinüs Örneklemeye Sayısı $n=180$ ve Frekans Ayar Çözünürlüğü PR4=1220 İçin Ayarlanabilir Sinüs Dalga Üreteci Çıkışı .....	43
Şekil 3.25 Sinüs Örneklemeye Sayısı $n=180$ ve Frekans Ayar Çözünürlüğü PR4=4880 İçin Ayarlanabilir Sinüs Dalga Üreteci Çıkışı .....	43
Şekil 3.26 Histerisis Kullanılmayan LV25-P Gerilim Dönüştürücü Çıkış Gerilimi(Kırmızı) ile İşlemsel Kuvvetlendirici Çıkış Sinyali (Mavi) .....	44
Şekil 3.27 Histerisis Kullanılan LV25-P Gerilim Dönüştürücü Çıkış Gerilimi (Kırmızı) ile İşlemsel Kuvvetlendirici Çıkış Sinyali (Mavi) .....	44
Şekil 3.28 Şebeke Referans Gerilimine Karşılık Üretilen Görev Çevrimleri .....	45
Şekil 3.29 Referans Gerilimi(Yeşil), Referans Gerilimine Karşılık Üretilen Görev Çevrimleri(Kırmızı) ve Görev Çevrimlerine Karşılık Gelen SDGM İşaretleri (Mavi).....	45
Şekil 4.1 Fotovoltaik Panel Eşdeğer Devresi.....	49
Şekil 4.2 Farklı Işınım Değerleri İçin Fotovoltaik Panel I-V Karakteristikleri.....	52
Şekil 4.3 MGNİ Çalışma Yapısını Gösteren Blok Şema .....	53
Şekil 4.4 Fotovoltaik Panel Karakteristiklerinin Modellenmesi .....	54
Şekil 5.1 Çapraz Evirici Güç Devresi Şeması.....	55
Şekil 5.2 Çapraz Eviricinin Ana Anahtarı Üzerine Düşen Gerilimler .....	57
Şekil 5.3 Bir Periyot İçin Transformator Mıknatıslanma Akımı (a) ve Gerilimi (b) .....	61
Şekil 5.4 Çapraz Evirici, Denetim Devresi ve MGNİ Sisteminin Benzetim Programındaki Devre Şeması .....	68
Şekil 5.5 $1000 \text{ W/m}^2$ Işınım Değerinde Çapraz Evirici Çıkış Gerilimi ve Çıkış Akımının Dalga Şekilleri .....	69
Şekil 5.6 $500 \text{ W/m}^2$ Işınım Değerinde Çapraz Evirici Çıkış Gerilimi ve Çıkış Akımının Dalga Şekilleri .....	69
Şekil 5.7 $1000 \text{ W/m}^2$ Işınım Değerinde Fotovoltaik Panelden Çekilen Gerilim ve Akım Dalga Şekilleri .....	70
Şekil 5.8 $500 \text{ W/m}^2$ Işınım Değerinde Fotovoltaik Panelden Çekilen Gerilim ve Akım Dalga Şekilleri .....	70
Şekil 5.9 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı Üzerindeki Gerilim Dalga Şekli.....	71
Şekil 5.10 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı Üzerindeki Tepe Geriliminin Dalga Şekli.....	71
Şekil 5.11 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı İçinden Geçen Akım Dalga Şekli .....	72
Şekil 5.12 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı İçinden Geçen Tepe Akımının Dalga Şekli .....	72

Şekil 5.13	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün Birincil Sargı Gerilimi Dalga Şekli.....	73
Şekil 5.14	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün Birincil Sargı Gerilimi ve Akımı Dalga Şekilleri ...	73
Şekil 5.15	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün İkincil Sargı Gerilimi Dalga Şekli .....	74
Şekil 5.16	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün İkincil Sargı Gerilimi ve Akımı Dalga Şekilleri.....	74
Şekil 5.17	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Çıkış Diyot Gerilimi Dalga Şekli.....	75
Şekil 5.18	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Çıkış Diyot Akımı Dalga Şekli.....	75
Şekil 5.19	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Çıkış Diyot Tepe Akımı Dalga Şekli.....	76
Şekil 5.20	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Çıkış Kondansatörü Gerilimi Dalga Şekli.....	76
Şekil 6.1	Çapraz Evirici Elektronik Baskı Devresi.....	77
Şekil 6.2	Sinüs Örnekleme Sayısı $n=60$ ve Frekans Ayar Çözünürlüğü $PR4=2440$ İçin Ayarlanabilir Sinüs Dalga Üretici Çıkışı (Deneysel) .	82
Şekil 6.3	Sinüs Örnekleme Sayısı $n=180$ ve Frekans Ayar Çözünürlüğü $PR4=2440$ İçin Ayarlanabilir Sinüs Dalga Üretici Çıkışı (Deneysel) .	82
Şekil 6.4	Sinüs Örnekleme Sayısı $n=180$ ve Frekans Ayar Çözünürlüğü $PR4=1220$ İçin Ayarlanabilir Sinüs Dalga Üretici Çıkışı (Deneysel) .	83
Şekil 6.5	Sinüs Örnekleme Sayısı $n=180$ ve Frekans Ayar Çözünürlüğü $PR4=4880$ İçin Ayarlanabilir Sinüs Dalga Üretici Çıkışı (Deneysel) .	83
Şekil 6.6	$800 \text{ W/m}^2$ Işınım Değeri İçin Çapraz Evirici Çıkış Akım (Pembe) ve Gerilim (Mavi) Dalga Şekilleri .....	84
Şekil 6.7	$400 \text{ W/m}^2$ Işınım Değeri İçin Çapraz Evirici Çıkış Akım (Pembe) ve Gerilim (Mavi) Dalga Şekilleri .....	84
Şekil 6.8	Histerisis Kullanılmayan LV25-P Gerilim Dönüştürücü Çıkış Gerilimi (Mavi) ile İşlemsel Yükselteç Çıkış Sinyali (Kırmızı) (Deneysel).....	85
Şekil 6.9	Histerisis Kullanılan LV25-P Gerilim Dönüştürücü Çıkış Gerilimi (Mavi) ile İşlemsel Kuvvetlendirici Çıkış Sinyali (Kırmızı) (Deneysel).....	85
Şekil 6.10	Referans Sinüs Sinyaline Göre Üretilen Görev Çevrimi Değerleri .....	86
Şekil 6.11	Eş Zamanlı Olarak Üretilen Referans Sinüs Sinyali (Mavi), Görev Çevrimi Değerleri (Siyah) ve SDGM Sinyalleri (Pembe).....	86
Şekil 6.12	Tam Yükteki Çıkış Gerilim Dalga Şekli (Mavi), H-Köprü Kapı Sinyalleri (R2, R3), Ana Anahtar SDGM Sinyalleri (R1).....	87
Şekil 6.13	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı Üzerindeki Gerilim Dalga Şekli (Deneysel) .....	87

Şekil 6.14	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı Üzerindeki Tepe Geriliminin Dalga Şekli (Deneysel).....	88
Şekil 6.15	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı İçinden Geçen Akım Dalga Şekli (Deneysel) .....	88
Şekil 6.16	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı İçinden Geçen Tepe Akımının Dalga Şekli (Deneysel) .....	89
Şekil 6.17	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün Birincil Sargı Gerilimi Dalga Şekli (Deneysel) ....	89
Şekil 6.18	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün Birincil Sargı Gerilimi Dalga Şekli (Deneysel) ....	90
Şekil 6.19	Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün İkincil Sargı Gerilimi Dalga Şekli (Deneysel) .....	90

## ÇİZELGELER DİZİNİ

### Sayfa

Çizelge 1.1 ME Devre Elemanlarındaki Sıcaklık Artışının Bozulma Oranına Etkisi [14].....	4
Çizelge 2.1 Analog ve Sayısal Tekniklerin Karşılaştırılması .....	13
Çizelge 2.2 Doğrudan Sayısal Sentez Tekniği ile Diğer Sayısal Denetim Tekniklerinin Karşılaştırılması.....	13
Çizelge 3.1 Faz Çemberinde n İkilisine Karşılık Gelen Nokta Sayısı Değerleri ....	18
Çizelge 3.2 LV25-P Gerilim Dönüştürücü Karakteristik Değerleri.....	31
Çizelge 4.1 SĞİ Yönteminin Diğer MGNİ Yöntemleri İle Karşılaştırılması .....	48
Çizelge 4.2 Fotovoltaik Panel Karakteristik Eşitlikleri Terimleri .....	51
Çizelge 4.3 FS-277 İnce Film Fotovoltaik Panel Karakteristik Özellikleri.....	51
Çizelge 5.1 SĞİ Yönteminin Diğer MGNİ Yöntemleri İle Karşılaştırılması .....	55
Çizelge 5.2 Giriş Katı MOSFET Anahtarı Teknik Özellikleri .....	59
Çizelge 5.3 SIEMENS N27 Materyal ETD44 Serisi Çekirdek Özellikleri .....	62
Çizelge 5.4 Transformator Tasarım Değerleri .....	64
Çizelge 5.5 Çıkış Katı Diyotu Teknik Özellikleri.....	65
Çizelge 5.6 H-Köprü Anahtarları Teknik Özellikleri.....	66

## SİMGELER VE KISALTMALAR DİZİNİ

AA	: Alternatif Akım
D	: Çalışma Oranı
DA	: Doğru Akım
DGM	: Darbe Genişlik Modülasyonu
DSP	: Sayısal İşaret İşleyici
DSS	: Doğrudan Sayısal Sentez
EMI	: Elektro-Manyetik Girişim
ESR	: Eşdeğer Seri Direnç
FKD	: Faz Kilitlemeli Döngü
FV	: Fotovoltaik
ME	: Mikro-Evirici
MGNİ	: Maksimum Güç Noktası İzleyici
MOSFET	: Metal Oksit Yarı İletkenli Alan Etkili Transistör
MTÇ	: Modül Tümüleşik Çevirgeç
PSOB	: Programlanabilir Sadece Okunabilir Bellek
SDGM	: Sinüzoidal Darbe Genişlik Modülasyonu
SGİ	: Sabit Gerilim İzleyici
THD	: Toplam Harmonik Bozunumu

## SÖZLÜK DİZİNİ

Akış Hızı	: Throughput
Aşama	: Stage
Birincil sargı	: Primary winding
Çalışma oranı	: Duty cycle (D)
Çapraz	: Flyback
Çekirdek (Manyetik)	: Core (Magnetic)
Çevirgeç	: Converter
Çevrim	: Cycle
Dalgalanma	: Ripple
Darbe Geniřlięi Modülasyonu (DGM)	: Pulse Width Modulation (PWM)
Denetleyici	: Controller
Doyum	: Saturation
Döngü	: Loop
Elektromanyetik Giriřim	: Electromagnetic Interference
Endüktans	: Inductance
Evirici	: Inverter
Frekans	: Frequency
Geri toparlanma	: Reverse recovery
İkincil sargı	: Secondary winding
İlkörnek	: Prototype
İndüktor	: Inductor
Kaçak enduktans	: Leakage inductance
Kapasitans, sığa	: Capacitance
Kapı	: Gate (of a MOSFET)
Kesme	: Interrupt

Kondansator	: Capacitor
Mıknatıslanma induktansı	: Magnetizing inductance
Optik bağlaç	: Opto coupler
Arama tablosu	: Look up table
Periyot	: Period
Saat	: Clock
Sinüzoidal DGM	: Sinusoidal PWM
Sönümlendirici	: Snubber
Sürekli iletim modu	: Continuous conduction mode
Sürme	: Drive
Süzgeç	: Filter
Tam Köprü	: Full Bridge
Transformatör	: Transformer
Topoloji	: Topology
Veri Yolu	: Data Bus
Yalıtım	: Isolated
Kayıtçı	: Register
Yonga	: Chip
Zamanlayıcı	: Timer



# 1. GİRİŞ

Mikro-evirici teknolojisi kolay kurulum ve devreye alma avantajları sayesinde güneş paneli dizilerine kolaylıkla bağlanabildiğinden fotovoltaik (FV) enerji dönüşümü sistemlerinde her geçen gün daha fazla kullanım alanı bulmaktadır. Bu alanda yapılmış ve devam eden araştırmalar farklı DA-DA çevirgeç ve evirici topolojilerinin bir arada kullanılması esasına dayanmaktadır [1]. Araştırmaların amacı daha kararlı çalışan, daha az karmaşık devre yapısına sahip ve daha iyi performans veren eviricileri üretmektir. Bu alandaki birçok mikro-evirici genellikle iki aşamalı güç devrelerinden oluşsa da tek aşamalı güç dönüşümü sistemleri de literatürde yer almaktadır. Genellikle mikro-eviricilerin çoğu 100-250 W güç aralığında ve yüksek verimli olarak (%90 üzeri) için tasarlanmaktadır [2]. Mikro-eviricilerin kullanımının çok verimli olacağı birçok uygulama alanı bulunmaktadır.

Fotovoltaik güneş enerjisi dönüşüm sistemleri yenilenebilir enerji sistemleri arasında çevreye duyarlılık bakımından birinci sırada yer almaktadır. Basit bir ampul yakmaktan, Mega Watt (MW) güçlere kadar fotovoltaik güneş enerjisi dönüşüm sistemleri her alanda kullanılmaktadır. Fotovoltaik güneş panelleri yarı iletken malzemelerden üretilmekte olup birçok uygulama için farklı büyüklükte ve güçlerde üretilebilmektedirler, fakat şu anki teknoloji ile ticari olarak satılan panellerin verimleri %15 ve altındadır. Ayrıca kısmi veya sürekli gölgelenme durumlarında güneş panelleri çok az veya hiç güç üretememektedirler. Bu durumun önüne geçebilmek için eviriciler ile birlikte DA-DA çevirgeçler kullanılmaktadır. Kullanılan DA-DA çevirgeçler her panele eklenerek bütün çıkışlar tek bir DA barada birleştirilip, tek bir merkezi evirici girişine verilmektedir. Bu yapıda tek bir evirici olup herhangi bir arıza durumunda enerji aktarımı kesilmektedir. Bu sorunu ortadan kaldırmak için dizi eviriciler üretilmiştir. Tek bir DA bara kullanmak yerine her bir panel grubundan alınan güç AA güce dönüştürülerek tek bir AA barada birleştirilmektedir. Kararlı çalışma durumu için bu paneller eşzamanlı olarak devreye alınmakta ve denetimi sağlanmaktadır. Böylece daha kararlı ve güvenli bir yapı ortaya çıkmaktadır [3]. Fakat bu durumda dahi, kısmi gölgelenme esnasında gölgelenmeye maruz kalan panel grubunun güç üretimi düşmekte ve eğer panel grupları paralel bağlı ise, çevirgeç girişindeki gerilim seviyesini düşürmektedir.

Bu sorunu ortadan kaldırmak ve kararlı bir çalışma durumu oluşturabilmek için her panel için Maksimum Güç Noktası İzleyici (MGNI) sisteminin kullanılması öngörülmüştür [4]. Merkezi veya dizi eviricili fotovoltaik güneş sistemleri kırsal veya ev kullanımları için uygun olmadığından eviricilerin panel içerisinde ya da panele entegre edilmiş şekilde üretilmesi düşünülmüştür. Bu yapının temelleri 1990'ların başlarında atılmıştır [5]. Daha sonraki çalışmalarda bu yapılar Mikro-Evirici (ME), Modül Tümüleşik Çevirgeç (MTÇ) veya AA Modül şeklinde adlandırılmıştır [6]. Her bir panel için ayrı bir evirici kullanılması ile her panelin kendi enerjisini üretmesi sağlanmaktadır. Böylece herhangi bir modülde oluşan arıza diğer modülleri etkilemediği için enerji aktarımı kesintisiz devam etmektedir. MTÇ'lerin dizi veya merkezi çevirgeç yapılarına göre bazı avantajları şöyle sıralanabilir;

- Büyük giriş kondansatörü ihtiyacı olmadığından ve modül içi sıcaklık artışı düşük olduğundan, ortalama ömürleri 15-25 sene arasındadır. Böylece dizi veya merkezi eviricilerle karşılaştırıldığında hem fiziksel dayanım hem de maliyet olarak daha avantajlıdır [7].
- Büyük güçlerdeki dizi veya merkezi eviricilerin kullanıldığı sistemlere göre alan olarak daha az yer kaplayan, gürültü ve sıcaklık olarak daha düşük sistemlerdir [8].
- Panel başına maksimum güç noktası takibi yapıldığından, enerji depolama ihtiyacı olmayan fotovoltaik sistemler için çok yüksek verimler elde edilmesini sağlamaktadır.
- Modül tümleşik çevirgeçler düşük maliyetli, kolay kurulumuna sahip ve standart AA kablo kullanıldığından ark riski olmayan sistemlerdir [4].

Yukarıda sıralanan avantajların yanında MTÇ'lerin bazı dezavantajları da bulunmaktadır. Bunlardan en önemlisi bu çevirgeçlerin nem, sıcaklık, rüzgar gibi çevre şartlarına doğrudan maruz kalmasıdır. Sert çevre koşulları dikkate alındığında sıcaklığı  $-30^{\circ}$  ile  $70^{\circ}$  arasında değişen, kuru veya çok nemli ortamlar oluşabilmektedir. Bu çevre şartlarından dolayı modül tümleşik çevirgeçte meydana gelebilecek bir hasar veya arıza çoğu zaman onarılamayacak durumda olmaktadır. O yüzden mikro-evirici tasarımında kullanılacağı ortamın çevre şartları göz önüne alınmalı ve ona göre tasarlanmalıdır.

Modül tümleşik çevirgeçler genellikle bağlı bulunduğu panel grubu sayısına göre 200 W ile 700 W arasında değişen güçlerde üretilmektedir. Kullanılan panel gücüne göre doğru çevirgeç topolojisinin seçilmesi ve uygun maksimum güç noktası izleyici tekniğinin kullanılması ile standart bir eviriciye göre yıllık %11 oranında daha fazla çıkış gücü elde edilebilmektedir [7].

Modül tümleşik çevirgeçler çoğunlukla tek veya çift aşamalı güç devrelerinden oluşmaktadır. Tek aşamalı yapıda evirici maksimum güç noktasında çalışacak şekilde tasarlanmakta, çok aşamalı yapıda ise DA-DA çevirgeç topolojisi kullanılarak maksimum güç noktası takibi yapılmaktadır. Çok aşamalı devre yapılarında gerilimin yükseltilmesi ve yalıtım amacı ile transformatör kullanılmaktadır. Genellikle modül tümleşik çevirgeç sistemleri şebeke geriliminde, istenilen güç faktörü ve toplam harmonik bozunumunda IEEE Std.[519-1992] [9] standardına uygun olacak şekilde üretilmektedir.

Bir modül tümleşik çevirgeç yada mikro-evirici için tasarımın genel amacı güneş paneli çıkışında elde edilen düşük gerilim seviyesini yükselterek, mümkün olan en yüksek verimle (genellikle %90 üzeri) şebeke gerilim seviyesine uyumlu hale getirmektir. Ayrıca bu dönüşüm sırasında mikro-eviricinin ürettiği akım dalga şeklinin sinüs dalga şekline mümkün olduğu kadar yakın olması gerekmektedir [10]. Mikro-eviriciler panel gücünün %5'indeki güçlerde dahi bu dönüşümü sağlayabilmeli ve şebeke geriliminde bir hata olması durumunda anti-adalama moduna geçebilmelidirler. Şebeke bağlantılı mikro-evirici sistemlerinde topraklama hatalarının önüne geçebilmek için galvanik yalıtım önerilmektedir [11]. Bu yalıtım yüksek frekans transformatör kullanan DA-DA çevirgeç ile sağlanabileceği gibi, şebeke tarafında kullanılacak düşük frekanslı bir transformatör ile de sağlanabilir [12]. Şebeke bağlantılı sistemlerde gerilim düşümü veya aşırı gerilim korumasının bulunması ve yüksek anahtarlama frekansından dolayı oluşabilecek elektro-manyetik girişim (EMI) sorunlarına karşı gerekli önlemlerin alınmış olması gerekmektedir. Fotovoltaik enerji sisteminde kullanılan mikro-eviricilerin maliyetinin aynı sistemde kullanılacak dizi veya merkezi eviricilere göre daha düşük olması gerekmekte ve ayrıca üretilen güç değerlerinin bir ekran ile izlenebilmesi sağlanmalıdır [13]. Bir fotovoltaik panelin sıcak bir ortamda çalıştığı düşünüldüğünde ona bağlı olarak çalışan mikro-eviricinin maksimum 80°C sıcaklığa kadar çalışmasını sürdürebilmesi gerekmektedir [10].

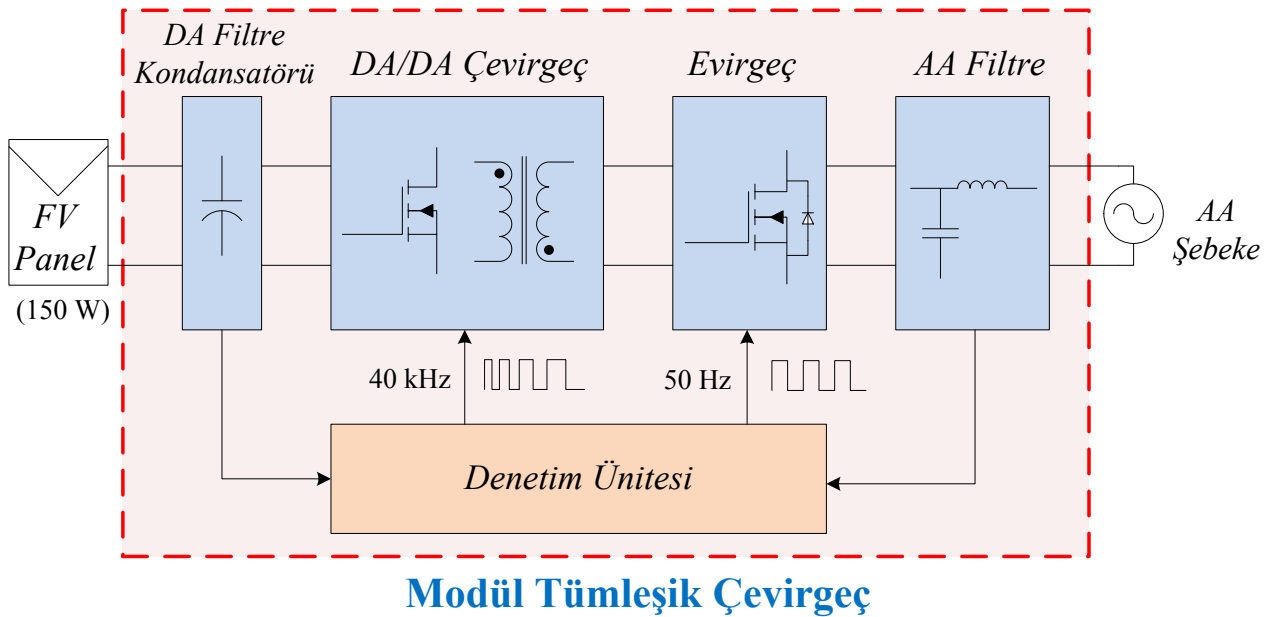
Tasarım aşamasında üretilecek olan mikro-eviricinin termal modelinin iyi tasarlanması çalışma ömrünün uzun olmasını sağlayacaktır. Çizelge 1.1’de bir mikro-eviricideki devre elemanlarındaki sıcaklık artışının, aynı devre elemanlarının bozulma oranlarına olan etkisi verilmiştir.

Çizelge 1.1 ME Devre Elemanlarındaki Sıcaklık Artışının Bozulma Oranına Etkisi[14]

Devre Elemanı	Sıcaklık Değişimi (%)	Bozulma Oranı (%)
DA Kondansatör	70.7	60
Doğrultucu	85.8	8
MOSFET	83.9	10
AA Filtre	86.2	8

Tipik bir mikro-evirici sistemi teknik olarak Şekil 1.1’de gösterilen temel devre bileşenlerinden oluşmaktadır. Bu bileşenler;

- DA-DA çevirgeç
- Evirici
- Denetim devresi
- Koruma devresi



Şekil 1.1 Tipik Bir Mikro-Evirici Sistemi

Devre tasarımında yüzey montaj (SMD) malzemelerin, ultra hızlı ters toparlanmalı diyotların ve düşük ESR değerine sahip kondansatörlerin kullanılması önerilmektedir [15]. Seçilen mikro-evirici topolojisi doğrudan verimliliğe etki etmektedir. Verimi arttırmak amacı ile tasarımda maksimum güç noktası takibi ya DA-DA çevirgeç yardımı ile ya da eviricinin anahtarlama sinyali algoritması değiştirilerek yapılmaktadır.

Sayısal denetim birimlerinden önce, çevirgeç ana anahtar kapı sinyalleri için gerekli olan sinüzoidal darbe genişlik modülasyonları bir adet taşıyıcı sinyal ile sinüs sinyalinin analog devreler yardımı ile karşılaştırılması sonucu üretiliyordu. Fakat gelişen mikro denetleyici teknolojisi ile bu sinyaller yazılımsal olarak üretilmektedir. Denetim birimi olarak genellikle dsPIC, TMS320C31, MSP430Fx, TMS320F2812eZ DSP kit, DSP TMS320F28027, DSP1104 dSPACE ve MSP430F147 gibi mikro denetleyiciler kullanılmaktadır. Böylece eviricinin güç katı anahtarının kapı sinyallerinin üretilmesi, devrenin diğer koruma gereksinimlerinin gerçekleştirilmesi ve maksimum güç noktası izleyicisinin uygulanabilmesi tek bir mikro denetleyici ile sağlanabilmektedir [16-19].

Bu alanda birçok uygulama yapılmış ve tek faz şebeke bağlantılı fotovoltaik enerji sistemleri için kullanılan evirici devreleri, farklı yönlerden ele alınarak incelenmiştir [20]. Yapılan araştırmalara paralel olarak daha kararlı, maliyeti düşük ve daha yüksek verimli çapraz evirici topolojisi kullanan çok çeşitli fotovoltaik AA modülleri geliştirilmiştir [21-26]. Düşük AA akım harmonik bozunumuna sahip, paralel çalışma özelliği olan, küçük DA kondansatör içeren ve AA modül yapısına uygun çapraz çevirgeç topolojisine sahip bir evirici yapısı [27]'de önerilmiştir. Ayrıca düşük maliyetli, sürekli akım iletim modunda çalışan ve analog darbe genişlik modülasyonu devrelerini içeren çapraz evirici topolojisine sahip AA modül uygulamaları [28-29]'da irdelenmiştir. Basit bir mikro denetleyici ile denetimi yapılan fakat çıkış akımı sinüzoidal formda olmayan, tek aşamalı bir evirici yapısı da [30]'da gerçekleştirilmiştir. Bu uygulamadaki çıkış akımının sinüzoidal dalga şeklinin bozuk olmasının sebebi, görev çevrimlerinin 10 adımda üretilmiş olması ve çapraz eviricinin bu şekilde anahtar kapı sinyallerini uygulamasıdır. Çıkış sinüzoidal dalga şeklinin çözünürlüğü, yarım veya tam bir periyotta örneklenen görev çevrimi değerleri ile doğrudan orantılıdır. Bu örnekleme sayısı ise mikro denetleyici çalışma frekansı ile sınırlandırılmaktadır.

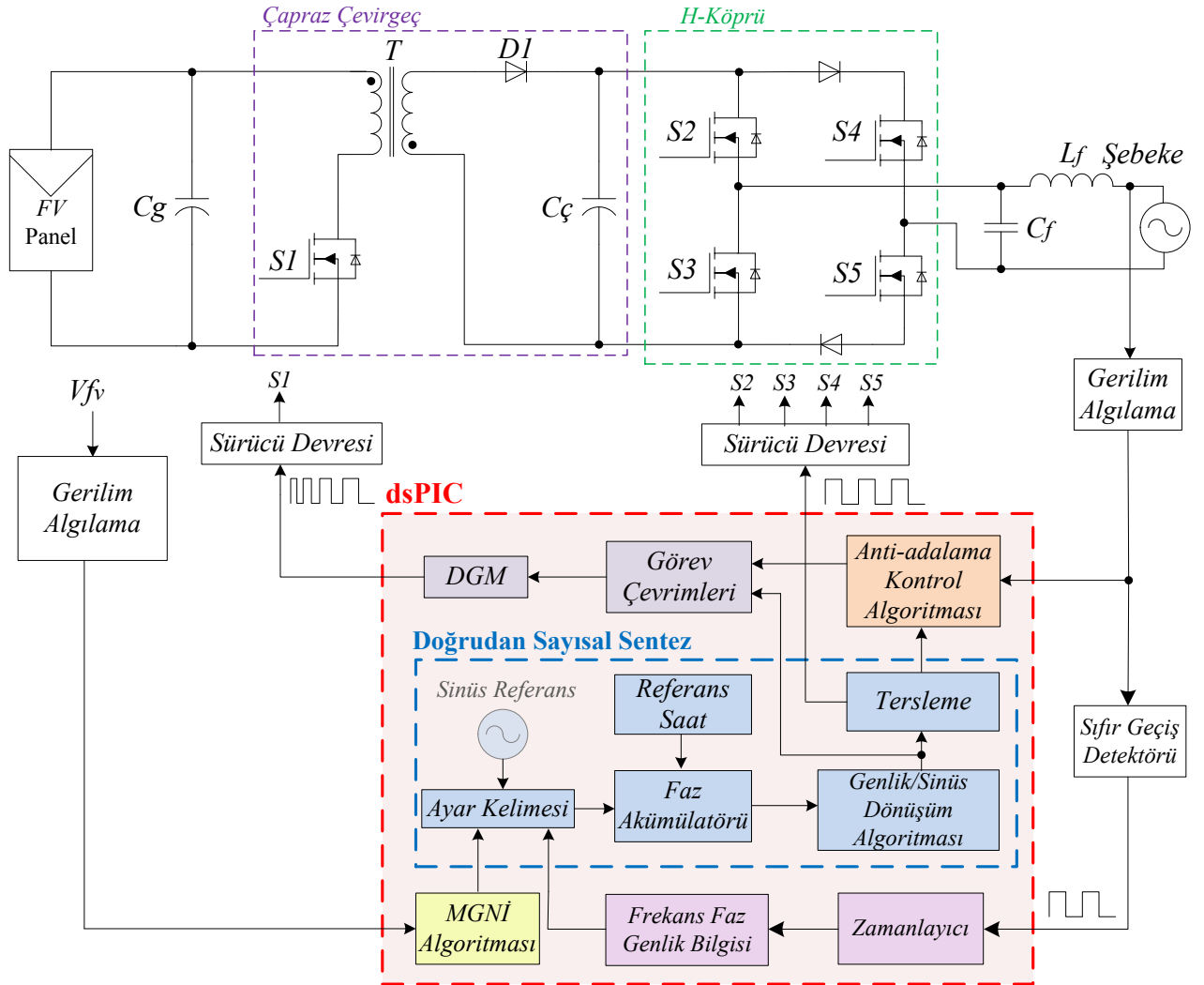
Bu tez çalışmasında çapraz evirici topolojisine sahip, düşük maliyetli basit bir dsPIC [31] mikro denetleyici ile denetimi yapılan ve diğer denetim ve koruma özelliklerinin gerçekleştirilmesi için mümkün olan en az sayıda donanım devresi kullanılan bir fotovoltaiik mikro-evirici tasarlanıp gerçekleştirilmiştir. Devrede denetim tekniği olarak doğrudan sayısal sentez tekniği kullanılmıştır. Bu teknik sayesinde geleneksel evirici denetim sistemlerinde sinüzoidal darbe genişlik modülasyonu sinyallerini üretmek amacı ile kullanılan taşıyıcı sinyal üretici devrelerinin kullanımına gerek kalmayıp, bu sinyaller doğrudan sayısal sentez tekniği ile üretilmektedir. Şebeke bağlantılı sistemler için genel gereksinimlerden olan anti-adalama algoritması ve maksimum güç noktası izleyici algoritması da bu teknik ile aynı mikro denetleyici içerisinde yazılımsal olarak gerçekleştirilmektedir. Ayrıca faz detektörü, çıkış gerilim/güç denetimi de aynı tekniğin kullanılması ile geleneksel denetim yöntemlerine göre daha hassas çözünürlükte ve daha hızlı bir şekilde yapılabilmektedir. Bu tekniğe dair ayrıntılı bilgiler doğrudan sayısal sentez tekniği bölümünde anlatılmıştır. Sonuç olarak 150 W gücünde ve 40 kHz anahtarlama frekansında çalışan ve maksimum güç noktası takibi yapabilen modül tümleşik çevirgeç yapısına uygun bir çapraz mikro-evirici sistemi tasarlanmış, gerçekleştirilmiştir ve başarımı laboratuvarında test edilmiştir. Bir sonraki bölümde önerilen çapraz evirici ve denetim sisteminin devre şeması verilerek, çapraz eviricinin çalışması irdelenecektir. 3.Bölüm'de Doğrudan Sayısal Sentez ile ilgili temel teorik bilgiler verilecek ve bu tekniğin dsPIC mikro denetleyici ile nasıl tasarlanacağı anlatılacaktır. 4.Bölüm'de Maksimum Güç Noktası İzleyicisi için kullanılan yöntem anlatılacak ve kullanılan fotovoltaiik panelin karakteristik ifadesi çıkartılarak benzetim çalışması yapılacaktır. 5.Bölüm'de çapraz eviricinin güç katı ile denetim sisteminin tasarımı yapılacak ve tasarım sonuçlarının başarımı benzetim çalışmaları ile doğrulanacaktır. 6.Bölüm'de tasarımı ve benzetim çalışmaları yapılan çapraz eviricinin laboratuvar ortamında gerçekleştirilmesiyle elde edilen deneysel sonuçlar paylaşılacak ve yorumlanacaktır. Son bölümde gerçekleştirilen çapraz eviricinin genel bir değerlendirilmesi yapılarak gelecekte yapılabilecek çalışmalar hakkında bilgi verilecektir.

## 2. ÖNERİLEN SİSTEMİN TANIMI

Bu bölümde çapraz çevirgeç topolojisini kullanan ve dsPIC mikro denetleyicisini kullanarak doğrudan sayısal sentez tekniği ile görev çevrimleri ve SDGM sinyalleri üreten evirgecin çalışması irdelenecektir. İlk olarak önerilen sistemin blok şeması verilecek daha sonra blok şemada yer alan maksimum güç noktası izleyicisi, doğrudan sayısal sentez (DSS) tekniğini kullanan yapı ve SDGM üretim bloklarının çalışma prensipleri anlatılacaktır.

### 2.1 Önerilen Sistemin Blok Şeması

Şekil 2.1'de önerilen sisteme ait blok şemalar verilmiştir. Sistem temel olarak üç ana kısımdan oluşmaktadır. Devrenin güç katını oluşturan kısım, doğrusal sayısal sentez tekniğini kullanan denetim kısmı ve maksimum güç noktası izleyicisi.



Şekil 2.1 Çapraz Evirici ve Önerilen Denetim Sistemin Şeması[32]

Devrenin güç katı çapraz çevirgeç topolojisinden oluşmaktadır. Çapraz çevirgeç ana anahtar kapı sinyallerinin sabit görev çevirimi yerine SDGM sinyalleri ile üretilen görev çevrimleri ile anahtarlanması ile bu topoloji çapraz evirici olarak çalışmaktadır. Tek anahtarlı bu topoloji ile çapraz evirici çıkışında üretilen tam dalga doğrultulmuş sinüs sinyali H-köprü sayesinde şebeke frekansı ile eşzamanlı olarak anahtarlanarak çıkışta sinüzoidal gerilim üretilmektedir. Daha sonra üretilen bu sinüzoidal gerilim çıkış filtresi üzerinden şebekeye ya da doğrudan yüke bağlanmaktadır. Sistemin tüm denetimi DSS tekniği ile yapılmaktadır. Şebeke geriliminden alınan sinyal bilgisi ile sıfır geçişler elde edildikten sonra dsPIC içerisindeki yazılım ile faz, frekans ve genlik bilgileri elde edilip aktarılacak güce göre bu değerler ayarlanmaktadır. Ayrıca maksimum güç noktası takibi de yine doğrudan sayısal tekniğini kullanmaktadır. Bu çalışmada doğrudan sayısal sentez tekniği ile denetimi yapılan, şebekeye bağlanabilir bir çapraz evirici sistemi öngörülmüş ve gerçekleştirilmiştir.

## **2.2 Devrenin Çalışma Prensipleri**

Şekil 2.1'deki genel devre şemasında görüldüğü üzere dsPIC mikro denetleyici referans şebeke gerilim sinyal bilgisini kullanarak, şebeke ile istenilen faz açısına sahip sinüzoidal bir gerilim üretmek üzere çapraz eviricinin güç mosfetini sürmek için gerekli olan görev çevrimlerini üretmektedir. Sinüzoidal darbe genişlik modülasyonu için referans sinüs sinyali ile karşılaştırma yapan taşıyıcı sinyal devresine ihtiyaç yoktur. Tüm denetim sinyalleri doğrudan sayısal sentez tekniği ile dsPIC mikro denetleyici içerisinde üretilmektedir. Güç frekansının bir periyodu için görev çevrimleri değişimi, şebeke gerilim sinyaline göre hesaplanmaktadır. Şebeke gerilim sinyalinin genliği hall-etkili bir gerilim dönüştürücüsü yardımı ile mikro denetleyici giriş gerilimi seviyesine uygun seviyeye getirilmekte ve aynı zamanda denetim devresi ile şebeke gerilimi arasında yalıtım sağlanmış olmaktadır. Daha sonra bu şebeke gerilim sinyali sıfır geçiş detektöründen geçirilerek faz, frekans ve genlik bilgileri elde edilmektedir. Bunun için sıfır geçiş detektörü çıkışında elde edilen kare dalga sinyal bilgisi dsPIC mikro denetleyici içerisindeki zamanlayıcı biriminde işlenerek frekans ve faz bilgileri elde edilmektedir. Bu referans sinyal SDGM sinyallerinin üretilmesi için görev çevrimlerinin değişimini vermektedir. Görev çevrimlerinin üretilebilmesi için çapraz çevirgecin sürekli iletim modundaki giriş-çıkış eşitlikleri kullanılmıştır.



Geleneksek bir çapraz çevirgeç için sürekli iletim modundaki giriş-çıkış gerilimi arasındaki eşitliği görev çevrimine göre düzenlersek;

$$D(t) = \frac{V_{\phi}}{V_{\phi} + \left( \frac{N_2}{N_1} \times V_g \right)} \quad (2.1)$$

ifadesini elde ederiz. Eşitlik 2.1'deki  $D(t)$  çapraz çevirgecin ana anahtarına uygulanacak DGM sinyalinin görev çevrimini,  $N_2$  ve  $N_1$  ifadeleri transformatörün sırasıyla ikincil taraftaki sarım oranı ve birincil taraftaki sarım oranını,  $V_g$  giriş gerilimini ve  $V_{\phi}$  ifadesi ise çapraz çevirgecin çıkış gerilimini ifade etmektedir.  $V_{\phi}$  çıkış gerilimi;

$$V_{\phi} = V_{tepe} |\sin 2\pi f_{\phi} t| \quad (2.2)$$

şeklinde olup Eşitlik 2.11'de görüldüğü üzere sinüzoidal gerilimin mutlak değeri kullanılmıştır. Bunun sebebi görev çevrimi ifadesinin ayrık zamanlı hale dönüştürülmesinden sonra daha iyi anlaşılacaktır. Eşitlik 2.1'deki ifadeyi ayrık zamanlı durumda tekrar düzenleyecek olursak;

$$D[n] = \sum_{m=1}^k u_m [n - mT_{anah}] \quad (2.3)$$

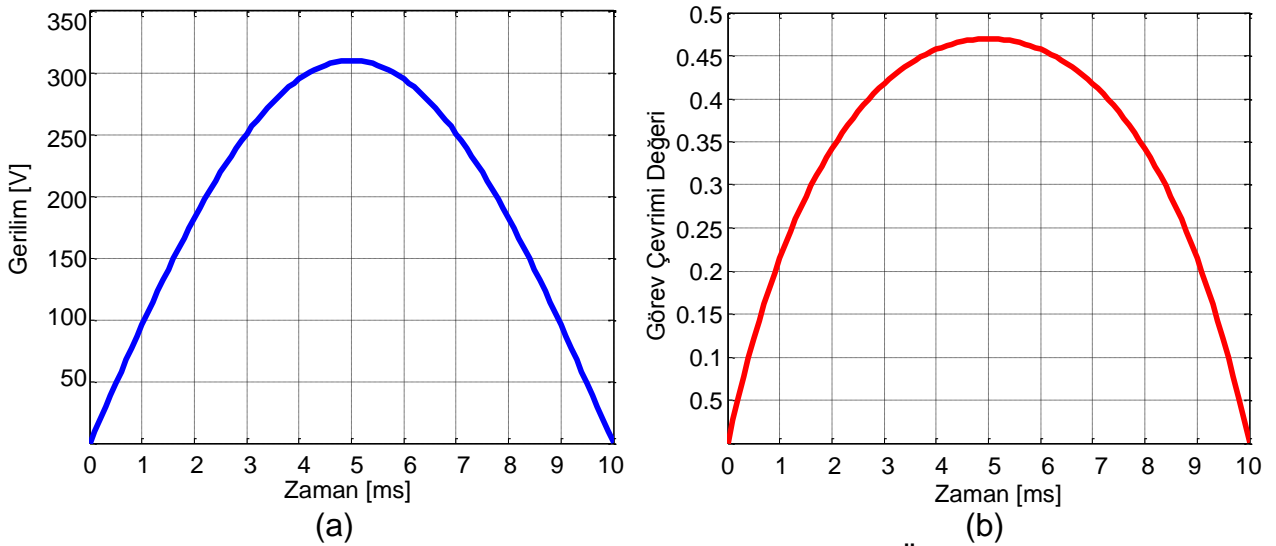
şeklinde elde ederiz. Bu ifadedeki  $k$  değeri Eşitlik 2.4'te verildiği üzere anahtarlama frekansı ve çıkış frekansı cinsinden örnekleme sayısını göstermektedir.

$$k = \frac{1}{2} \frac{f_{anah}}{f_{\phi}} \quad (2.4)$$

Örnek olarak anahtarlama frekansının 40 kHz ve çıkış frekansının 50 Hz olduğu durumda k örnekleme sayımız Eşitlik 2.4'e göre 400 olacaktır. Yani üretilmek istenen sinüs dalga şeklinin yarım periyodu için 400 adet görev çevrimi hesabı yapılacak ve çapraz çevirgecin anahtarı bu görev çevrimlerine göre anahtarlanacaktır. Eşitlik 2.5'teki  $U_m$  ifadesi ise çıkış geriliminin referans geriliminden alınan m. örnekleme değerini belirtmektedir.  $U_m$  değerinin açık ifadesi;

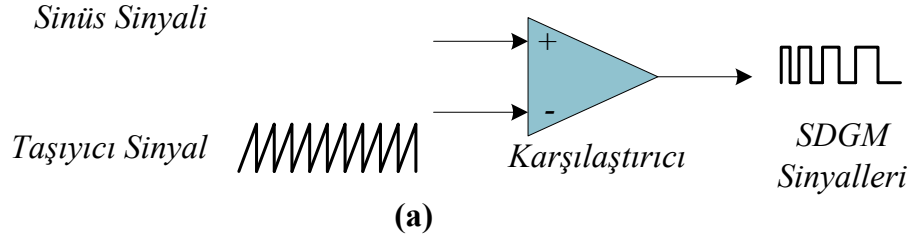
$$U_m[n] = \frac{V_{ref}[n]}{V_{ref}[n] + \left( \frac{N_2}{N_1} V_g \right)}, \quad V_{ref}[n] = V_\varphi[n] \quad (2.5)$$

şeklindedir. Eşitlik 2.2'deki sinüs ifadesinin mutlak değerinin alınmasının sebebi referans alınacak olan gerilim sinyalinin yarım periyodunun görev çevrimi değerlerini üretebilmek için yeterli oluşudur. Daha sonra H-köprü devresi yardımı ile tam dalga doğrultulmuş olarak üretilen dalga şekli sinüs dalga şekline dönüştürülmektedir. Görüldüğü üzere referans sinüs sinyali üretimi, buna bağlı görev çevrimlerinin elde edilmesi ve bu görev çevrimlerinin DGM bloğunda işlenerek SDGM sinyallerine dönüştürülmesi işlemi tamamen sayısal olarak yapılmaktadır.

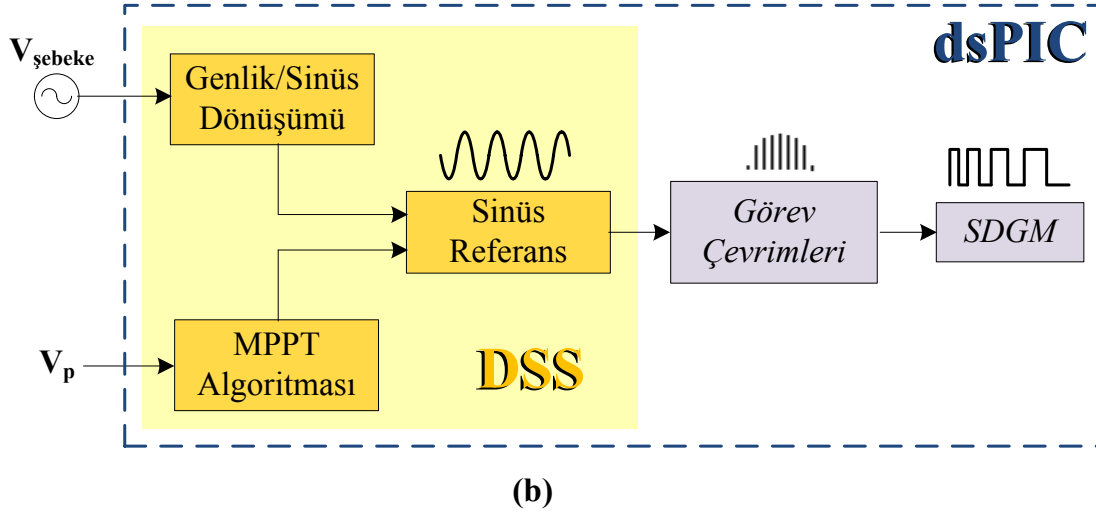


Şekil 2.2 Referans Gerilim Sinyali (a) ve Buna Karşılık Üretilen Görev Çevrimi Değişimi (b)

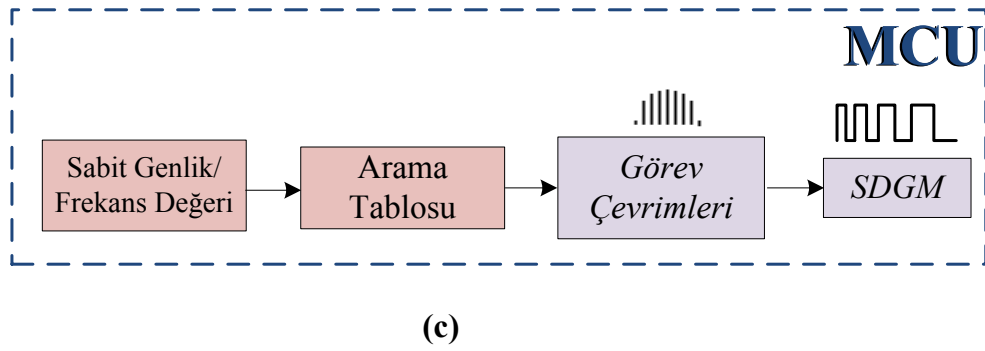
## Analog SDGM Üretici



## DSS Tekniği ile SDGM Üretici



## Diğer Sayısal Denetim Teknikleri ile SDGM Üretici



Şekil 2.3 Analog SDGM (a) DSS SDGM (b) ve Diğer Sayısal Denetim Teknikleri ile SDGM (c) Sinyallerinin Üretilmesi

Şekil 2.3'te SDGM sinyallerini üretmek amacı ile geleneksel analog yöntem, bu çalışmada kullanılan ve doğrudan sayısal sentez tekniğini kullanarak SDGM sinyallerini üreten yöntem ve diğer sayısal teknikler ile SDGM sinyallerinin üretilmesi karşılaştırılmıştır.

Geleneksel analog yöntemde bir sinüs sinyali ile bir taşıyıcı sinyal adı verilen ve genelde testere dişi şeklinde olan sinyalin işlemsel yükseltecin girişlerine uygulanarak, karşılaştırma yapılması sonucu çıkışında SDGM sinyalleri üretilmektedir. Referans sinüs sinyali ve taşıyıcı sinyal tamamen donanımsal olarak üretilmektedir. Çıkış sinüzoidal dalga şeklinin frekansını değiştirmek için referans sinüs sinyalinin frekansı değiştirilmelidir ve donanımsal olarak bunu gerçekleştirmek hem zor hem de çok dar sınırlarda yapılabilmektedir. Ayrıca bu yöntemle, çıkış sinüzoidal dalga şeklinin genlik ayarı da yapılamamaktadır. Analog devre elemanlarının sıcaklık veya kullanım ömrü gibi dezavantajlarından dolayı da hatalı sonuçlar üretilmesi mümkün olmaktadır.

DSS tekniği kullanılarak üretilen SDGM sinyallerinde ise tüm işlemler sayısal olarak mikro denetleyici içerisinde yapılmaktadır. Maksimum güç noktası izleyicisinden alınan gerilim bilgisi ile birlikte şebeke gerilim sinyalinden alınan genlik, faz ve frekans bilgileri genlik/sinüs dönüşümü bloğunda işlenerek referans sinüs sinyali üretilmektedir. Bu referans sinüs bilgisinin çapraz eviricinin ayrık zamanlı eşitliği çıkartılmış olan görev çevrimlerine göre dönüşümü yapıldıktan sonra, DGM bloğu ile bu görev çevrimlerinde SDGM sinyalleri üretilmektedir. Analog yöntemle göre referans sinüs bilgisi birçok farklı sistemden alınan bilgiye göre üretilmiştir. Yani DSS tekniğinde referans sinüs bilgisi hem şebeke gerilim sinyali hem de MGNİ sisteminden gelen parametrelere göre üretilmiştir. Bu geri bildirim sayısı mikro denetleyici işlem hızı ile kısıtlı olmak kaydı ile arttırılabilmektedir. Mikro denetleyici teknolojisindeki gelişmeler ile birlikte çok yüksek anahtarlama frekanslarında dahi (>500 kHz) bu sinyaller üretilebilmektedir. Diğer bir önemli nokta DSS tekniğinin sinüs referans sinyalini üretmek amacı ile sabit bir arama tablosu kullanmak yerine, mikro denetleyici zamanlayıcı birimlerinden yararlanarak frekansı ve genliği çok geniş bir aralıkta ayarlanabilen esnek bir sinüs üretici modülü haline gelmesidir. Böylece şebeke bağlantılı bir sistem için güç aktarımının denetimi çok hassas ve yüksek doğrulukla yapılabilmektedir. Bu iki tekniğin karşılaştırılması Çizelge 2.1'de özetlenmiştir.

Çizelge 2.1'den de anlaşıldığı üzere sayısal sinyal tekniklerinin analog tekniklere çok önemli avantajları bulunmaktadır. Bu sebeple bu çalışmada tüm bu avantajları kullanacak şekilde sayısal bir denetim tekniği olan DSS tekniği kullanılmıştır.

Çizelge 2.1 Analog ve Sayısal Tekniklerin Karşılaştırılması

	<b>Sayısal Teknikler</b>	<b>Analog Teknikler</b>
Hassasiyet ve Doğruluk	Yüksek	Normal
Hesaplama Hataları	Düşük	Düşük
Uygulama	Kolay	Zor
Tasarım Esnekliği	Kolay	Zor
Dış Etkenlere Duyarlılık	Düşük	Yüksek

Bu çalışmada kullanılan DSS tekniğinin diğer sayısal tekniklere göre avantajları bulunmaktadır. Bu avantajlar Çizelge 2.2'de verilmiştir.

Çizelge 2.2 Doğrudan Sayısal Sentez Tekniği ile Diğer Sayısal Denetim Tekniklerinin Karşılaştırılması

	<b>DSS Denetim Tekniği</b>	<b>Diğer Sayısal Denetim Teknikleri</b>
Hassas Frekans/Faz Ayarı	Kolay	Zor
Yeni Değer Alma Hızı	Yüksek	Düşük
Karmaşıklık	Düşük	Yüksek
Arama Tablosu İhtiyacı	Yok	Var
İşlemci Hızını Kullanma	%100	%50
Sisteme Yeni Denetim Birimi Eklenmesi	Kolay	Zor

Çizelge 2.2'de görüldüğü üzere DSS tekniğinin geleneksel sayısal denetim tekniklerine göre birçok avantajı bulunmaktadır. Bunlardan birisi Şekil 2.3 (c)'de görüldüğü gibi geleneksel sayısal denetim tekniklerinde olan arama tablosu ihtiyacının DSS tekniğinde olmaması ve bunun sonucunda frekans, faz ve genlik değişimlerinin yüksek hız ve hassasiyet ile yapılabilmesidir. Ayrıca kullanılan mikro denetleyicinin bellek, adres, zamanlayıcı ve kayıtçılarının DSS tekniğinde tam kapasite ile kullanılması ile işlemci hızından ve kaynaklarından tam olarak verim

alınması sağlanmaktadır. İlerleyen zamanlarda sisteme eklenilmesi düşünölen yeni denetim birimlerinin de DSS tekniđi yapısının basit ve anlaşılabilir olması sebebi ile kolayca eklenebilmesidir. Ayrıca arama tablosu ihtiyacının olmaması eviricideki herhangi bir deđişkenin (frekans,faz vb..) sadece mikro denetleyici çalışma hızı ile sınırlı olarak esnek bir şekilde deđiştirilebilme ve uygulanabilmesidir.

### 3. DOĞRUDAN SAYISAL SENTEZ TEKNİĞİ

Bu bölümde Doğrudan Sayısal Sentez (DSS) ile ilgili bilgiler verilecektir ve alt bölümler halinde bunların içerikleri ayrıntılı şekilde incelenecektir. İlk olarak doğrudan sayısal sentez tekniği ile ilgili temel teori bilgileri verilecek, daha sonra DSS tekniğini gerçekleştirebilmek için gerekli olan yazılımsal ve donanımsal uygulamalar bloklar halinde incelenecektir. Son olarak DSS tekniğinin benzetim çalışmalarının yapılabilmesi için, DSS tekniği bloklar halinde modellenecek ve Simplorer 6.0 programı ile benzetim çalışmaları yapılacaktır.

#### 3.1 Doğrudan Sayısal Sentez'in Temelleri

Doğrudan sayısal sentez, sabit frekanslı hassas bir saat kaynağını referans olarak frekansı ve fazı ayarlanabilir bir çıkış sinyali üretmek için sayısal bilgi işleme bloklarını kullanan bir tekniktir. Temel olarak bu saat frekansı DSS mimarisinde programlanabilir bir ikili değer ayar kelimesi ile ölçülendirilebilmektedir. Ayar kelimesi genellikle 24-48 bit uzunluğunda olup DSS uygulamalarında üstün bir çıkış frekans çözünürlüğü sağlamaktadır.

Günümüzde fiyat bakımından rekabet edilebilir, yüksek performanslı, tümleşik ve küçük paketli DSS ürünleri, geleneksel frekans-tabanlı analog sentezleyicilere karşı hızlı bir alternatif olarak gelişmektedir. DSS mimarisinin yüksek hızlı ve yüksek performanslı bir sayısal-analog çevirici ile birlikte tek bir yonga içerisinde yer alması, bu teknolojinin çok geniş uygulama alanlarında tercih edilmesini ve analog-tabanlı faz kilitlemeli döngü (FKD) sentezleyicilerine bir alternatif olmasını sağlamıştır. Birçok uygulama için DSS kullanımının, eşdeğer FKD devresi içeren analog frekans sentezleyicilere göre birçok belirgin avantajları bulunmaktadır.

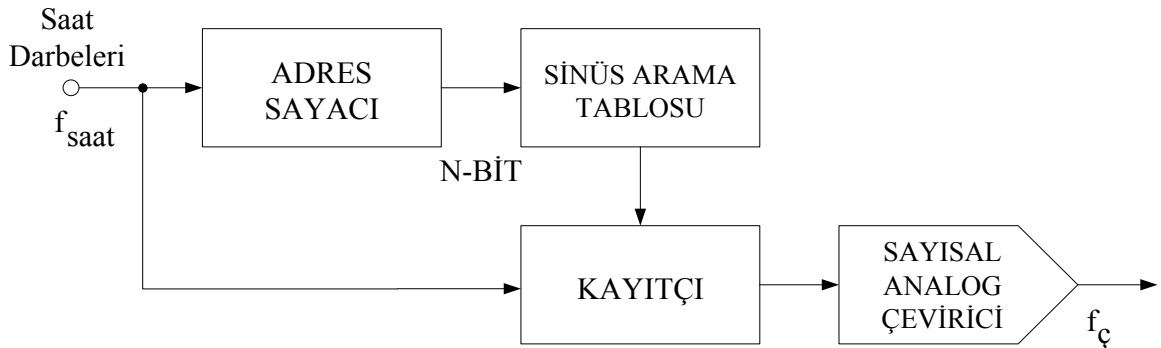
Bu avantajlar:

- Tamamı sayısal denetim ile yapılan mikro-Hertz düzeyinde çıkış frekansı çözünürlüğünde ayar ve hassas faz açısı ayarı kabiliyeti.
- Çıkış frekans veya faz ayarı için son derece çabuk yeni değer alma hızı.
- DSS sayısal mimarisinde, analog sentezleyicilerdeki ömür süresi ve sıcaklık gibi etkenlerden dolayı değerleri değişen devre elemanlarının yeniden ayarlanması ihtiyacının olmaması.
- DSS mimarisinin sayısal denetim ara yüzü sistem parametrelerinin uzaktan denetlenmesini ve optimize edilmesini kolaylaştırmasıdır.

### 3.1.1 DSS Çalışma Prensipleri

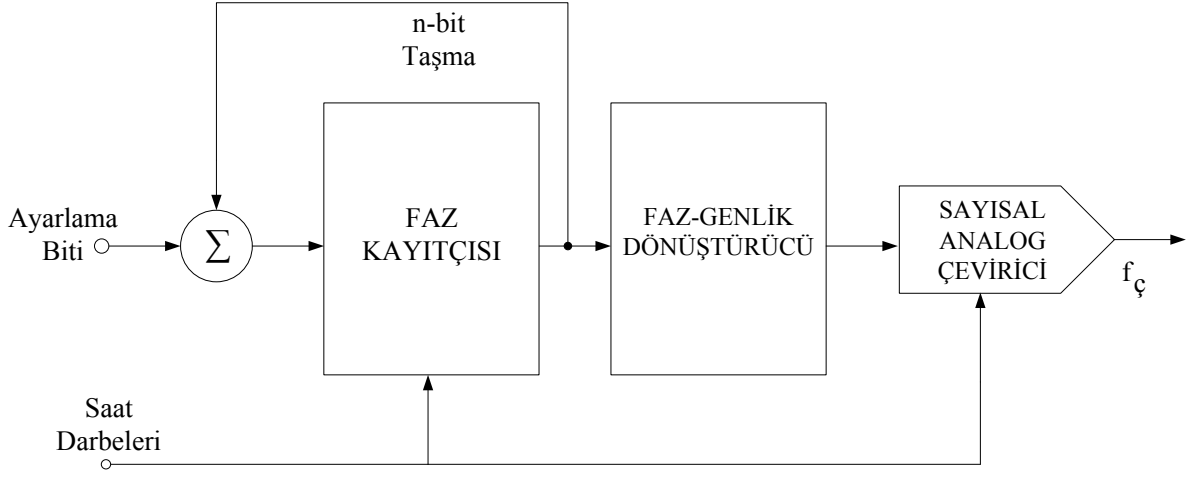
En basit haliyle bir DSS sistemi Şekil 3.1'de gösterildiği gibi bir adet referans saati, bir adet adres sayacı, bir adet programlanabilir sadece okunabilir bellek (PSOB) ve bir adet sayısal-analog çeviriciden oluşmaktadır.

Bu durumda tam bir sinüs periyoduna karşılık gelen sayısal genlik bilgisi PSOB'te saklanmaktadır. Bu yüzden PSOB bir sinüs arama tablosu olarak çalışmaktadır. Adres sayacı PSOB'in her bir bellek bölgesine ulaşarak bu bölgedeki içerikleri (eşdeğer sinüs genlik bilgi değerleri) yüksek hızlı sayısal-analog çeviriciye vermektedir. Sayısal-analog çevirici PSOB'ten aldığı sayısal bilgiye karşılık gelen analog sinüs dalgasını üretmektedir. DSS uygulamasının çıkış frekansı referans saat frekansı ve PSOB'te programlanmış olan sinüs dalga atlama aralığı olmak üzere iki ana değere bağlıdır. Görüldüğü üzere çıkış frekansı referans saatin frekansı değiştirilerek veya PSOB'teki değerlerin yeniden programlanmasıyla değiştirilebilmektedir. PSOB'te kayıtlı olan değerler tekrardan girilebildiği gibi, bir sinüs fonksiyonun mikro denetleyici içerisinde tanımlanması ile esnek bir şekilde değiştirilebilmektedir. Böylece referans sinyalden alınan frekans bilgisi aynı şekilde çıkışta elde edilebilmektedir. Frekans değerini kısıtlayan tek etmen mikro denetleyici içerisindeki tampon belleğin büyüklüğüdür. Tasarımda kullandığımız tampon bellek dört katmanlı olup frekans hesabı için iki tanesinin kullanılması yeterli olmaktadır. Bir faz akümülatörü fonksiyonunun bu sayısal sinyal zincirine katılması ile birlikte bu mimari, esnek bir DSS sisteminin çekirdeği olan sayısal-denetimli bir osilatör haline gelmektedir.



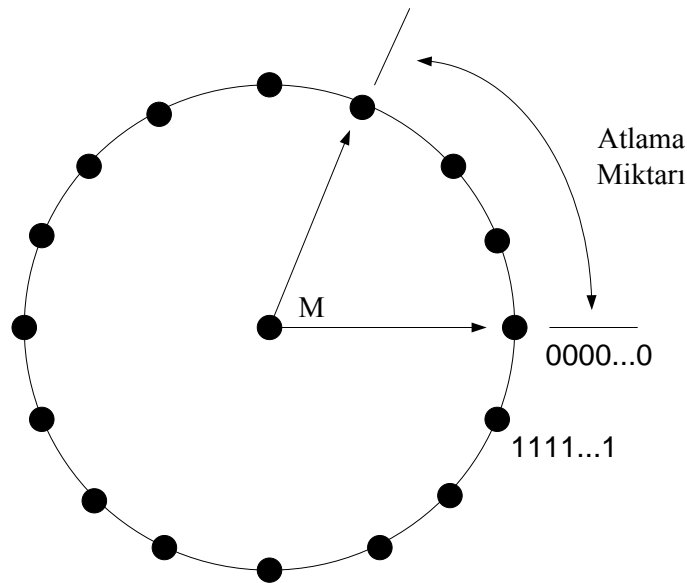
Şekil 3.1 Doğrudan Sayısal Sentezleyicinin Basit Gösterimi





Şekil 3.2 Frekans Ayarlı DSS Sistemi

Şekil 3.2'de görüldüğü üzere bir N-bit değişken-modüler sayaç ve faz kayıtcı sistemde adres sayacı olarak sinüs arama tablosundan önce kullanılmıştır. Taşma fonksiyonu bu fonksiyonun DSS mimarisinde bir "faz çemberi" olarak kullanılmasını sağlamaktadır. Bu basit fonksiyon, faz çemberi etrafında sinüs dalga şekline göre dönen bir vektör olarak düşünülebilir (Şekil 3.3). Faz çemberi üzerindeki her belirlenmiş nokta sinüs dalga şeklinin bir periyodundaki eşdeğer noktasına denk gelmektedir. Çizelge 3.1'de n ikilisinin alacağı değere göre faz çemberi üzerinde kaç nokta olacağı hesaplanmıştır.



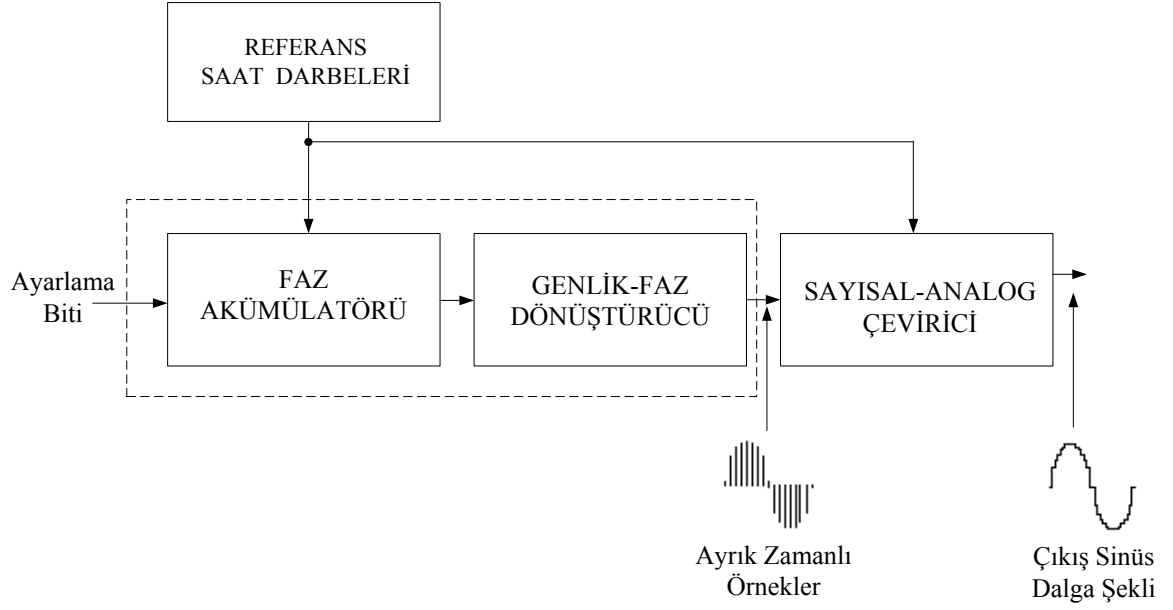
Şekil 3.3 Sayısal Faz Çemberi

Çizelge 3.1 Faz Çemberinde n İkilisine Karşılık Gelen Nokta Sayısı Değerleri

<b><u>n</u></b>	<b><u>Nokta Sayısı</u></b>
8	256
12	4096
16	65535
20	1048576
24	16777216
28	268435456
32	4294967296

Vektör çember etrafında döndükçe ona karşılık gelen çıkış sinüs dalga şekli üretilmektedir. Vektörün sabit bir hızda çember etrafındaki bir tam dönüşü, çıkış sinüs dalga şeklinin bir periyodunu oluşturmaktadır.

Vektörün çember etrafındaki doğrusal dönüşü faz akümülatörü sayesinde olmaktadır. Faz akümülatörünün içeriği çıkışta üretilen sinüs dalga şeklinin noktalarını içermektedir. Faz çemberindeki ayrık faz noktaları faz akümülatörünün çözünürlüğü (N) ile belirlenmektedir. Faz akümülatörünün çıkışı doğrusal olup doğrudan sinüs dalga şeklini üretmek için kullanılamaz. Bu nedenle faz akümülatörünün anlık çıkış değerini sinüs dalga şekli genlik değerine dönüştürebilmek için bir faz-genlik arama tablosu kullanılmaktadır. Bu değerler daha sonra sayısal-analog çeviriciye gönderilmektedir. Birçok DSS mimarisi sinüs dalga şeklinin simetrik yapısından faydalanarak eşleştirme mantığı ile faz akümülatöründe yer alan  $1/4$  sinüs periyot bilgisinden yararlanarak bir tam periyot sinüs dalga şekli üretebilmektedir. Faz-genlik arama tablosu gerekli tüm bilgiyi sinüs dalga şeklinin durumuna göre geriden ileriye veya ileriden geriye doğru okuyabilmektedir. Böylece bir sinüs dalga şeklinin tam periyodu elde edilebilmektedir. Ayrıca frekans bloğundan alınan bilgi ile çıkıştaki sinüs dalga şeklinin frekansı da referans frekans sinyaline eşit olacak şekilde üretilmektedir. Böylece genliği ve frekansı referans sinyale göre üretilen esnek bir yapı elde edilmektedir.



Şekil 3.4 DSS Mimarisinde Sinyal Akışı

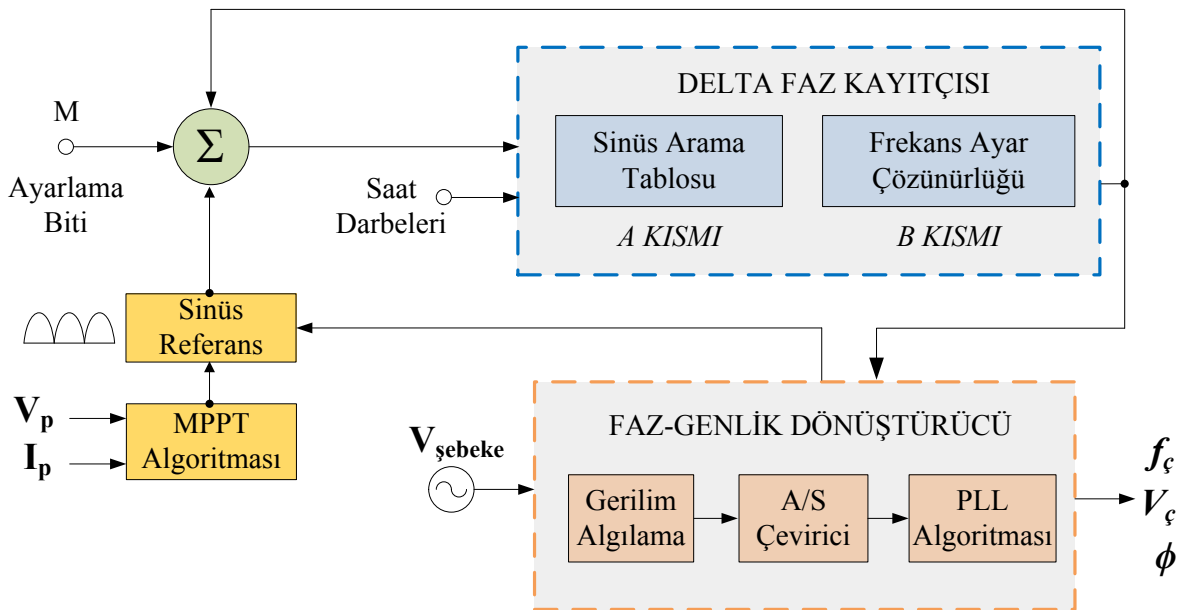
Şekil 3.4'te DSS mimarisindeki sinyal akışı gösterilmiştir. Faz akümülatörü aslında modüler bir M sayacı olup her bir saat darbesi aldığı anda içerisinde saklı olan sayıyı bir arttırmaktadır. Bu artışın büyüklüğü sayısal bir kelime olan ve bir delta faz kayıtcısında yer alan M değeri ile belirlenmekte ve bu değer sayacın her son değerden ilk değere dönmesi yani taşması ile toplanmaktadır. Delta faz kayıtcısındaki bu kelime bilgisi ile her referans saat darbesi ile faz çemberi üzerindeki noktalardan kaç tanesinin atlanacağı belirlenmektedir. Atlama miktarı büyüdükçe sayacın taşması hızlanmakta ve bir tam periyot sinüs dalga şekli üretilmektedir.

Örnek olarak  $N = 32$ -bit faz akümülatörü için  $m$  değerinin  $0000\dots0001$  (bir) olması akümülatörün  $2^{32}$  referans saat darbesinden sonra taşmasını sağlamaktadır. Eğer  $m$  değeri  $0111\dots1111$  değerine çevrilirse faz akümülatörü sadece  $2^1$  referans saat darbesinden sonra yani sadece iki referans saat darbesinden sonra taşacaktır. Bu atlama miktarının denetimi DSS mimarisinin frekans ayarlama çözünürlüğünün temelini oluşturmaktadır. Bu artışın büyüklüğü mikro denetleyici içerisinde yer alan zamanlayıcı modüllerinin kaç bit değerinde olup olmadığına bağlıdır. Bu çalışmada kullanılan zamanlayıcı 32 bit değerinde olup 16 bitlik iki adet zamanlayıcının ardışık bir şekilde çalıştırılması ile elde edilmiştir. Böylece  $2^{32}$  bit çözünürlüğünde zamanlayıcı kesmesi oluşturularak çıkış frekansının çok geniş bir aralıkta esnek bir şekilde ayarlanması mümkün olmaktadır.

### 3.2 Doğrudan Sayısal Sentez Tekniğinin dsPIC ile Gerçekleştirilmesi

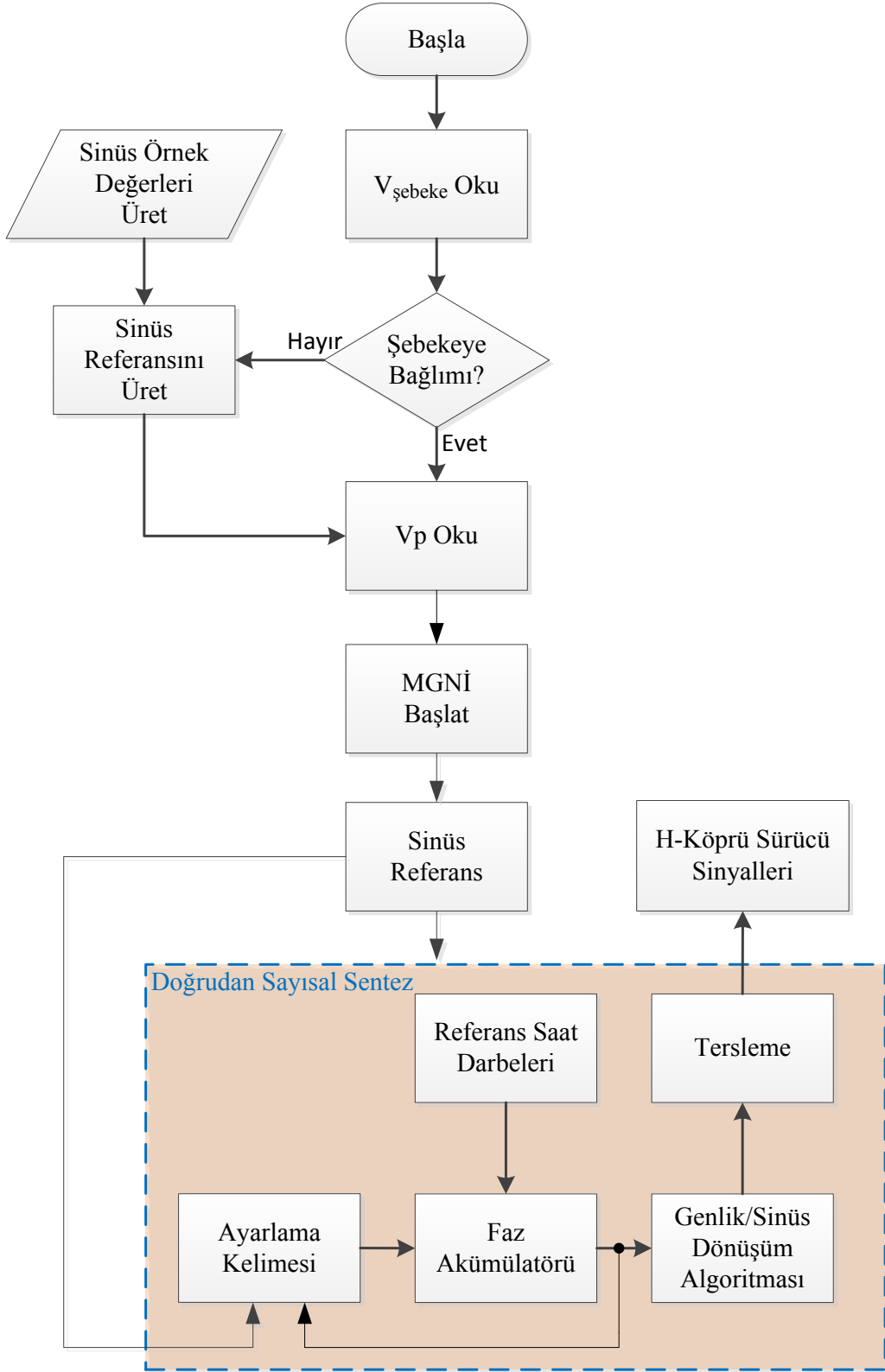
Doğrudan sayısal sentez tekniğinin bir dsPIC mikro denetleyici yardımı ile tasarımı Şekil 3.5'te görüldüğü gibidir. Sistem genel olarak iki ana bloktan oluşmaktadır. Birincisi çıkış sinüs dalga şeklini üreten ve frekansını ayarlayan delta faz kayıtcısı bloğu, diğeri ise şebekeden aldığı verileri işleyen ve buna karşılık faz ve genlik değişimini sağlayan faz ve genlik dönüştürücü bloğudur.

Şebeke bağlantılı çalışma durumunda gerilim sinyali Hall etkili bir dönüştürücü ile uygun gerilim seviyesine dönüştürülmekte ve aynı zamanda ölçüm devresi ile mikro denetleyici devresi arasında galvanik yalıtım sağlanmaktadır. Hall etkili dönüştürücüden alınan gerilim sinyali sıfır geçiş detektörü ile mikro denetleyicinin girişine uygulanabilecek uygun gerilim seviyesine darbe genişlik modülasyonu halinde dönüştürülmektedir. Sıfır geçiş detektöründen alınan bu sinyal bilgisi ile şebekenin frekans ve faz bilgisi elde edilmektedir. Bu sinyal bilgisi ile çapraz çevirgecin çıkışında şebeke ile aynı frekans ve faza sahip sinüs dalga şekli üretilmektedir. Ayrıca, mikro denetleyici içerisindeki bir başka algoritma sayesinde genlik değeri de istenilen seviyeye ayarlanabilmektedir. Böylece genlik ve faz bilgisinin istenilen değere ayarlanması ile çıkış gücü hassas bir şekilde değiştirilebilmektedir.

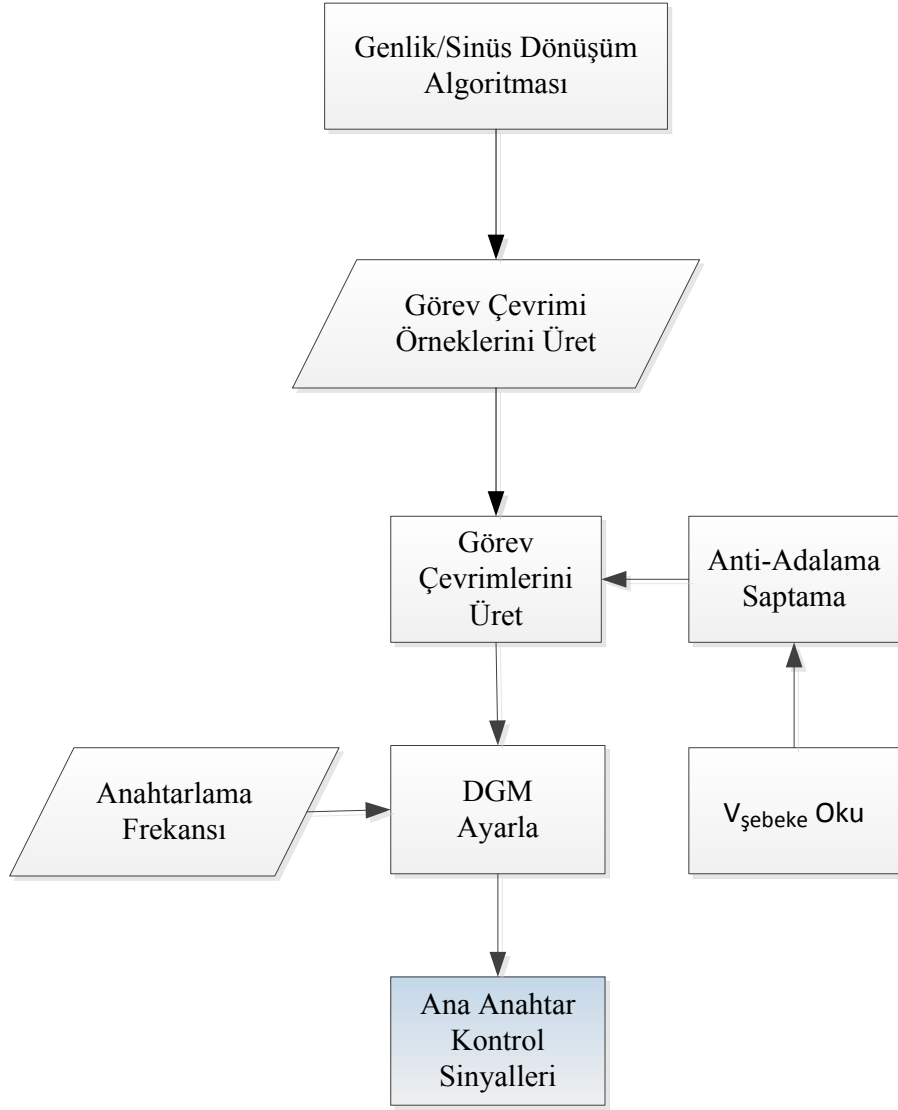


Şekil 3.5 Gerçekleştirilen DDS Mimarisinin Blok Şeması

Kullanılan algoritma sayesinde çapraz evirici şebeke fazına doğal olarak kilitlemektedir. Şekil 3.6'da dsPIC mikro denetleyicisine ait yazılım akış şeması verilmiştir.



Şekil 3.6 dsPIC Mikro Denetleyici Yazılımı Akış Şeması (1)



Şekil 3.7 dsPIC Mikro Denetleyici Yazılımı Akış Şeması (2)

Başlangıçta çapraz eviricinin şebekeye bağlı olup olmadığı analog-sayısal çevirici ile denetlenmektedir. Analog-sayısal çeviriciden gelen sinyal bilgisine göre çapraz evirici hangi modda çalışacağına karar vermektedir. Eğer analog-sayısal çevirici girişinde bir sinyal gözlemlenmemişse çapraz evirici 'bağımsız' modda, diğer durumda ise 'şebekeye bağlı' modda çalışacaktır. Bağımsız modda çalışma durumunda çapraz evirici ana anahtarı sürmek için gerekli olan görev çevrimi değerlerini dsPIC içerisinde kayıtlı olan sinüs değerleri ile üretmektedir. Daha sonra dsPIC fotovoltaik panellerden gelen gerilim bilgisini alarak MGNİ algoritması ile maksimum güç noktasında çalışılıp çalışılmadığına bakmaktadır. Eğer maksimum güç noktasında çalışılmıyorsa dsPIC küçük aralıklarla görev çevrimi

değerlerini değiştirerek Sabit Gerilim Takibi (SGT) metodu ile bu noktayı yakalamaya çalışmaktadır. Bir sonraki adımda Şekil 3.5'te gösterilen delta faz kayıtcısı gerekli olan sinüs referans dalga şeklini ayarlanabilir sinüs dalga üretici ile elde etmektedir. Frekans çözünürlüğü de aynı blok içerisindeki frekans ayar çözünürlüğü bloğunda elde edildikten sonra sinüs dalga şekli hassas ve mikro düzeyde değiştirilebilecek bir hale gelmektedir. Şebekeye aktarılacak gücü belirlemek amacıyla bir sonraki blok olan faz-genlik dönüştürücü bloğunda gerekli sinüs dalga şekli genliği ve uygun faz açısı ayarlanmaktadır. Bu bölümde kullanılan sıfır geçiş detektörü yardımıyla şebekeden alınan gerilim sinyali sayesinde frekans, faz ve genlik bilgileri elde edilmektedir. Daha sonra maksimum güç noktasından gelen gerilim bilgisi ile beraber ana anahtarı sürmek için gerekli olan görev çevrimleri üretilmektedir. Anahtarlama frekansı bilgisi ile beraber görev çevrimlerinin elde edilmesiyle birlikte dsPIC mikro denetleyici darbe genişlik modülasyonu sayesinde ana anahtarı sürmek için gerekli sinyalleri üretmiş olur. Eş zamanlı olarak da H-köprü devresindeki anahtarları sürmek için gerekli olan sinyaller de faz-genlik dönüştürücü bloğu sayesinde üretilmektedir. Kaynak geriliminde meydana gelebilecek bir arıza esnasında dsPIC içerisinde yer alan anti-adalama algoritması sayesinde ana anahtarı süren sinyaller anında kapatılmaktadır. Bu algoritma kaynak geriliminin belli bir andaki frekans değişiminin değerine bakarak çalışmaktadır.

### **3.2.1 Delta Faz Kayıtcısının Tasarımı**

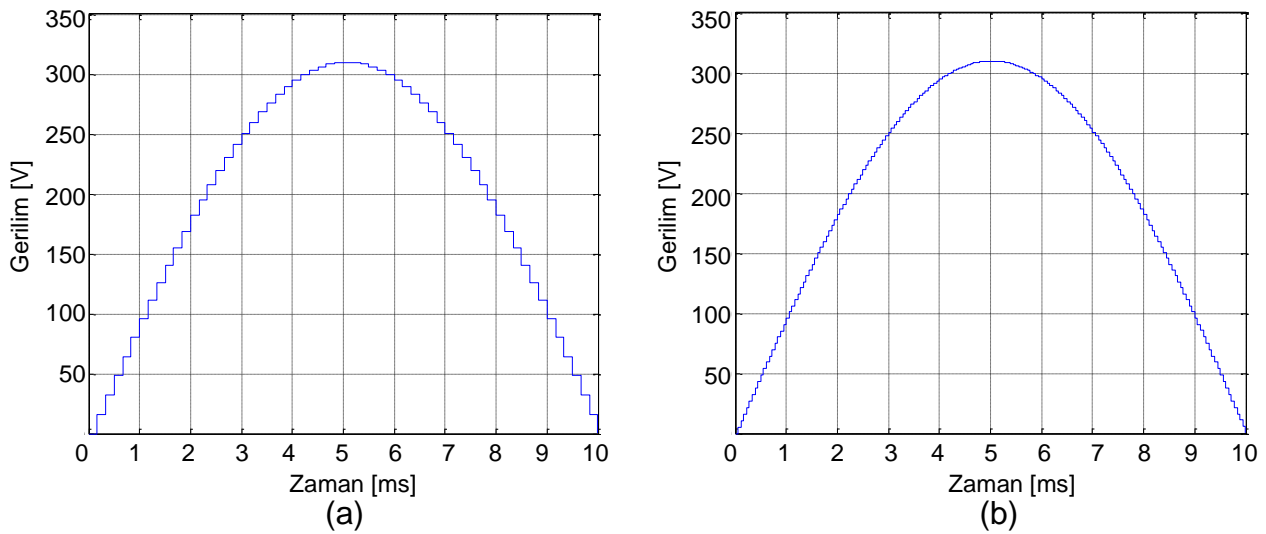
Bu bölümde sinüs arama tablosu ve frekans ayar çözünürlüğü bloklarından oluşan delta faz kayıtcısının dsPIC ile tasarımı ele alınacaktır.

#### **3.2.1.1 Ayarlanabilir Sinüs Dalga Üretici Tasarımı**

Klasik uygulamalarda sinüs dalga üretebilmek için sabit bir arama tablosundan yararlanılır ve hem frekans hem de çıkış genliği ayarlanabilir olmamaktadır. Bu çalışmada kullanılan yöntemle sinüs dalga şeklinin yarım periyodu için 180 adet değer kullanılmıştır. Diğer yarım periyot ilk yarım periyodun sadece negatif değerlisi olduğu için diğer 180 adet sinüs değerlerine gerek duyulmamıştır. Yani bu sistemle  $1^\circ$  aralıklarla sinüs dalga şekli elde edilmektedir ki, bunun çıkış dalga şeklinin saf sinüse yakın olması için yeterli bir değer olduğu görülmektedir. Mikro denetleyici içerisindeki sinüs fonksiyonundan ve arama tablosundaki yarım

periyotluk dilim için gerekli olan 180 adet sinüs değerinden yararlanılarak gerçeğe yakın bir sinüs dalga şekli elde edilebilmektedir. Sinüs dalga şeklini üretmek için kullandığımız bu açı değerlerini istersek daha fazla artırarak 1 mili derece veya daha da hassas değerlere ulaşmak mümkündür. Ancak hem çıkış sinüs dalga şeklinin 180 değer için yeterli bir çözünürlükte oluşu, hem de dsPIC mikro denetleyicisinin birim zamandaki iş yapma kapasitesini azaltmamak için bu çalışmada buna gerek duyulmamıştır. Şekil 3.3'teki sayısal faz çemberindeki noktalar buradaki 180 adet sinüs örnekleme değerine karşılık gelmektedir. Arama tablosu yardımı ile elde edilen örnekleme değerleri ana anahtarı sürebilmek için sinüzoidal darbe genişlik modülasyonu (SDGM) haline getirilmiştir. Anahtarlama frekansı bilgisi, ve maksimum güç noktasından gelen referans sinüs bilgisi ile birlikte bu SDGM sinyalleri üretilmektedir. Her periyot bitiminde bu sinyaller yeni referans bilgisine göre güncellenmekte veya yeni bir bilgi yoksa aynı şekilde sinüs dalga şeklini üretmeye devam etmektedir. Bu işlemler için dsPIC mikro denetleyici darbe genişlik modülasyonu yazılımından yararlanılmaktadır. Ayrıca bu blok, anti-adalama algoritması veya herhangi bir koruma devresinden gelen sinyale göre SDGM üretimini anında sonlandırarak sistemi korumaya almaktadır.

Şekil 3.8'de görüldüğü gibi sayısal faz çemberindeki sinüs noktalarının  $n=180$  adet seçilmesi çıkış sinüs dalga şekli için yeterli olmaktadır. Çıkış filtresinden geçtikten sonra bu dalga şekli sinüs dalga şekline daha da yaklaşmaktadır.



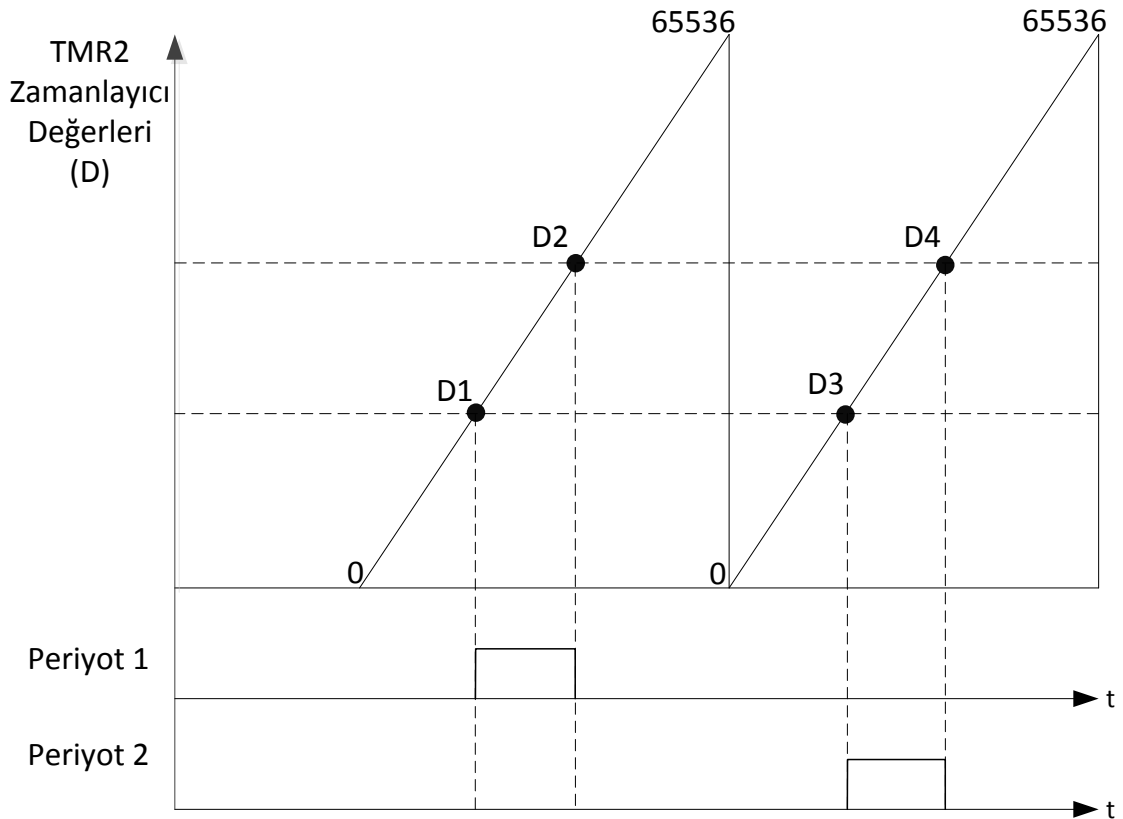
Şekil 3.8 Farklı  $n$  Adet Sinüs Noktası İçin Ayarlanabilir Sinüs Dalga Üretici Çıkış Dalga Şekilleri

(a)  $n=60$ , (b)  $n=180$



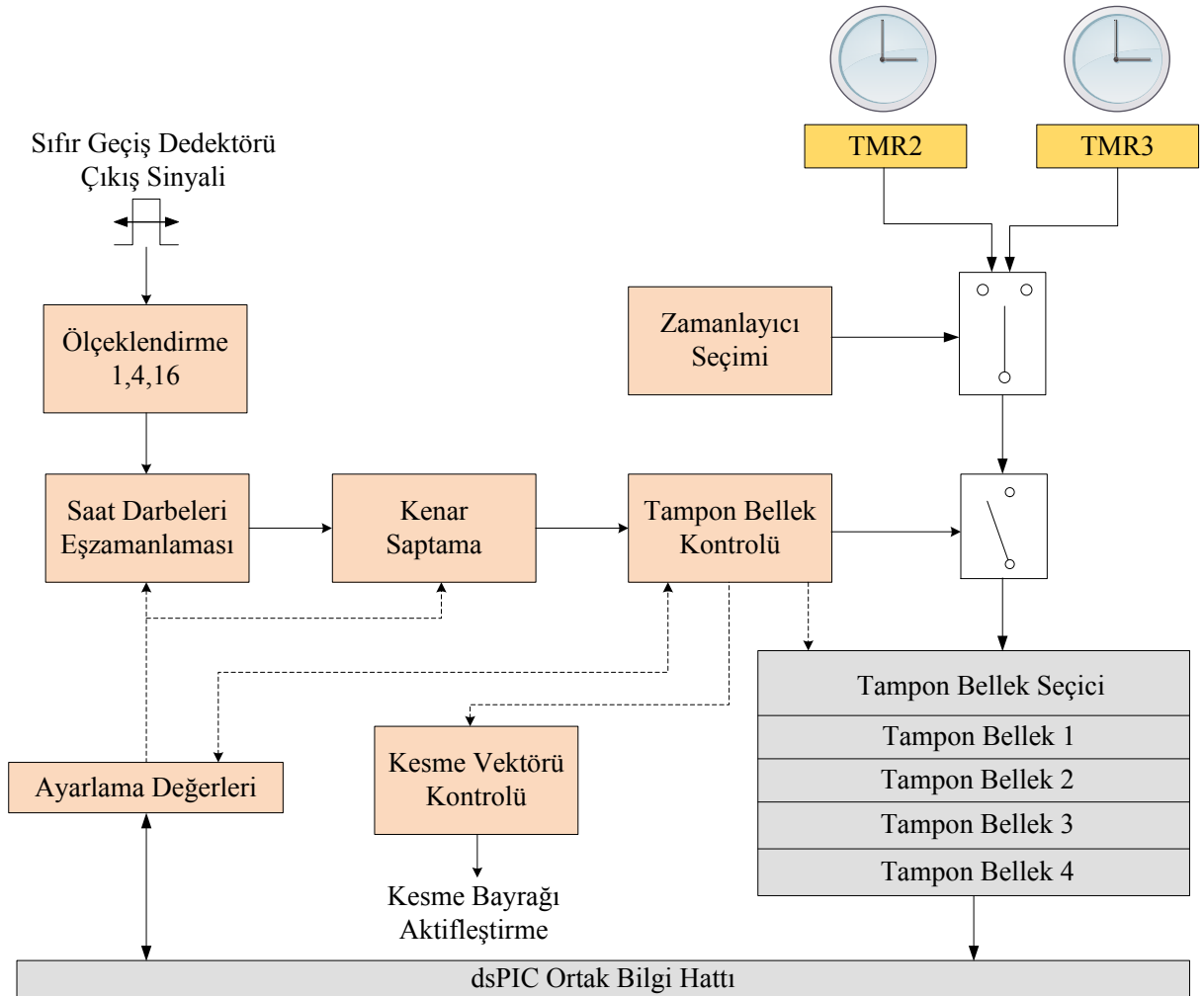
### 3.2.1.2 Frekans Ayar Çözünürlüğü Tasarımı

Şekil 3.3'teki sayısal faz çemberinin noktaları ayarlanabilir sinüs dalga üreticinin sinüs açı değerlerine karşılık gelmekteydi. Bu noktalar arasındaki atlama miktarı ise frekans ayar çözünürlüğünü oluşturmaktadır. Atlama miktarı veya atlama miktarları arasında geçen süre değiştirilerek çıkış frekansının denetimi sağlanmaktadır. Bu çalışmada daha hassas bir denetim elde etmek amacı ile atlama miktarı arasındaki geçen sürenin denetlenmesine dayalı bir yazılım üretilmiştir. Burada faz akümülatörü tasarımı için dsPIC mikro denetleyici içerisindeki iki adet 16-bit zamanlayıcıdan yararlanılmıştır. Bu zamanlayıcılar referans çıkış frekansı veya şebekeden elde edilen frekans bilgisine göre çıkış frekansını ayarlamaktadır. Buna göre atlama süreleri arasındaki geçen süre faz kayıtcısı tarafından belirlenerek her bir taşma durumunda adres sayacı arama tablosundaki bir sonraki değeri almakta ve istenilen sinüs frekansı çıkışta elde edilmektedir.

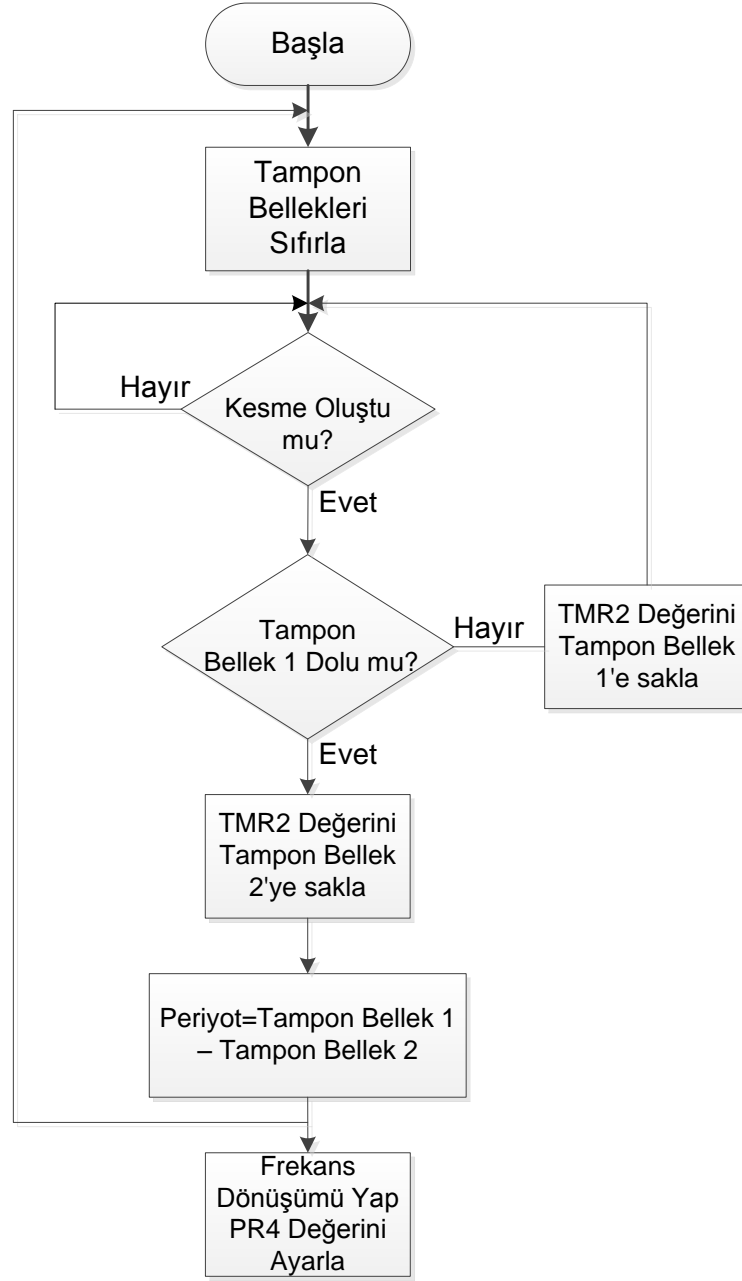


Şekil 3.9 Periyot/Frekans Ölçüm Tekniği

Çıkış frekansı bağımsız modda çalışma durumu için delta faz kayıtcısına doğrudan yazılmakta ve çıkışta sabit frekanslı bir sinüs dalga şekli oluşmaktadır. Şebekeye bağlı modda çalışma durumu için ise sıfır geçiş detektöründen alınan sinyallere göre dsPIC mikro denetleyici frekans bilgisini elde etmekte ve bunu delta faz kayıtcısına göndererek şebeke ile aynı frekansa sahip sinüs dalga üretilmektedir. Şekil 3.9'da şebekeye bağlı modda çalışma durumu için frekans bilgisinin dsPIC mikro denetleyici ile nasıl hesaplandığı görülmektedir. Bu tekniğe göre sıfır geçiş detektörü ile alınan sinyal bilgisi dsPIC mikro denetleyicisindeki TMR2 zamanlayıcısı kullanılması ile her yükselen ve düşen kenarda bir kesme vektörü aktif edilip bu iki kesme vektörü arasındaki TMR2 değerleri hesaplandıktan sonra, periyot ve frekans bilgisine dönüştürülmektedir. Mikro denetleyicinin zamanlayıcı, tampon bellekler, kenar tetikleme, sinyal giriş ucu ve kesme vektörü kullanımını gösteren yapı Şekil 3.10'da gösterilmiştir.



Şekil 3.10 Frekans Hesabı İçin Kullanılan dsPIC Zamanlayıcı Birimi Şematiği



Şekil 3.11 Periyot/Frekans Ölçüm Tekniği Yazılım Akış Şeması

Şekil 3.11'de frekans hesaplamasını yapan algoritmaya ait akış şeması verilmiştir. Bu şemaya göre ilk olarak tampon belleklerin sıfırlanması sağlanıp daha sonra sinyal giriş ucundan bir yükselen veya düşen kenar tetiklenmesi beklenmektedir. Herhangi bir tetiklenme gelmesi durumunda kesme vektörü oluşmakta ve ilk olarak tampon bellek 1'in dolu olup olmadığına bakılmaktadır. Zaten ilk anda tampon bellek sıfırlandığından doğrudan bir sonraki adıma geçilmekte ve o anki TMR2 zamanlayıcısından alınan değer doğrudan tampon bellek 1'ye kaydedilmektedir. Şekil 3.9'da bulunan D1 değeri bu değere karşılık gelmektedir.

Daha sonra tekrar bir kesme vektörü oluşturmak için mikro denetleyici sinyal giriş ucunu denetlemeye devam eder. Tekrar kesme oluştuğunda tampon bellek 1 dolu olduğundan dolayı TMR2 değeri doğrudan tampon bellek 2'ye kaydedilmektedir. Giriş sinyalinin yarım periyotluk zaman bilgisi mikro denetleyicide elde edilmiştir. Bundan sonra periyot hesabı için bu iki tampon bellek değerinin farkı alınarak giriş sinyalinin kaç saat darbesinde yarım periyodu doldurduğu hesaplanır ve gerekli katsayılarla bu değer frekans değerine dönüştürülür. TMR2, 0 ile 65536 arasında bir değer alabilmektedir. Bu değer 16 bitlik bir zamanlayıcı değerine denk olup istenildiğinde iki zamanlayıcı ardışık bağlanarak 32 bitlik bir zamanlayıcı da elde edilebilmektedir. Böylece daha hassas ve geniş aralıkta frekans hesabı yapılabilmektedir. Örnek olarak, 16 bitlik zamanlayıcı çalışma durumu için, ilk yükselen kenar kesme vektörünün 0 (D1) değerinde ve ikinci kesme vektörünün 2440 (D2) değerinde oluştuğunu varsayarsak, bu iki TMR2 değerinin farkı bize giriş sinyalinin yarım periyodunu verecektir. Bu değer 2440 olup mikro denetleyicinin 80 MHz saat frekansı hızına bağlı olarak yapılan hesapta TMR2 değerinin 244 ile bölümü giriş sinyalinin yarım periyodunu vermektedir. Buna göre;

$$T = \frac{D2 - D1}{244} = \frac{2440 - 0}{244} = 10ms \quad (3.1)$$

Periyot 10 ms olup, buna karşılık gelen frekans değeri 100 Hz olmaktadır. Buradaki 244 değeri mikro denetleyicinin saat frekansına göre saniye cinsinden değerini elde etmek için hesaplanmış bir katsayıdır. Çıkış frekansı elde edildikten sonra Şekil 3.11'de gösterilen PR4 değeri ayarlanarak çapraz çevirgecin çıkış frekansı ile şebeke geriliminin frekansının eşitlenmesi sağlanır. PR4 değeri doğrudan sayısal sentez tekniğinde sayısal faz çemberindeki noktalar arasındaki atlama miktarına, yani faz kayıtcısına karşılık gelmektedir. Frekans değeri, dolayısıyla periyot değeri belli olan bir sinyali 180 adet sinüs değeri ile elde edebilmek için her değer arasındaki atlama zamanını hesaplamamız gerekmektedir. Bu hesap aşağıdaki şekilde yapılmaktadır.

$$f_{atlama} = \frac{n \times 10^3}{T} \quad (3.2)$$

Buradaki n değeri sayısal faz çemberindeki nokta sayısına denk gelmektedir. T periyodu değeri Eşitlik 3.1'de hesaplanmıştı ve n sayımız 180 olduğundan atlama frekansımız doğrudan eşitlik (3.3)'te verildiği gibi hesaplanmaktadır;

$$f_{atlama} = \frac{180 \times 10^3}{10} = 18 \text{kHz} \quad (3.3)$$

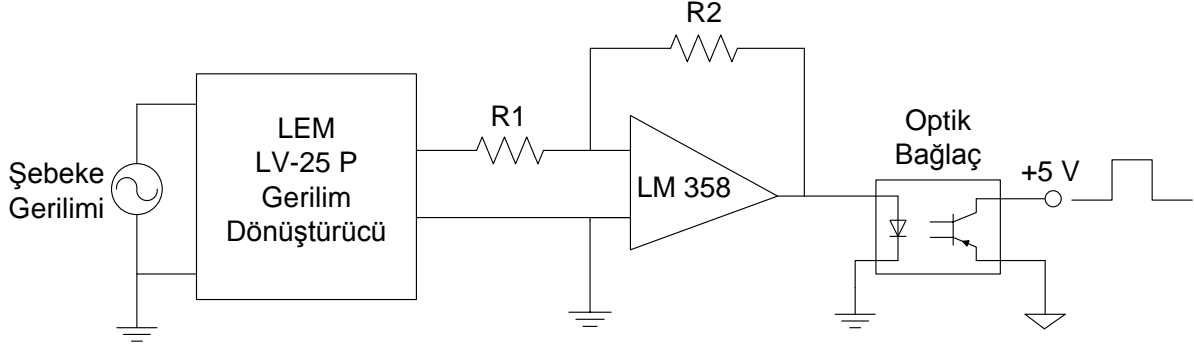
Bu değer PR4 zamanlayıcısına göndereceğimiz değerdir. 18 kHz yaklaşık olarak 55.55  $\mu$ s'ye denk gelmektedir ve sayısal faz çemberindeki her atlama değerimizi bu süreye ayarlarsak toplam 180 nokta olduğundan bir yarım periyot boyunca 10 ms'lik bir sinyal elde edilecektir. Bu değer Eşitlik 3.1'deki giriş sinyalinin periyot değerini doğrulamaktadır.

### 3.2.2 Faz ve Genlik Dönüşümü Sisteminin Tasarımı

Bu bölümde sıfır geçiş detektörünün nasıl tasarlandığı, faz bilgisi hatasını en aza indirmek için hangi yöntemlerin kullanıldığı ve çapraz çevirgecin çıkış frekansı ve faz ayarının yanı sıra çıkış geriliminin nasıl değiştirildiği anlatılmaktadır.

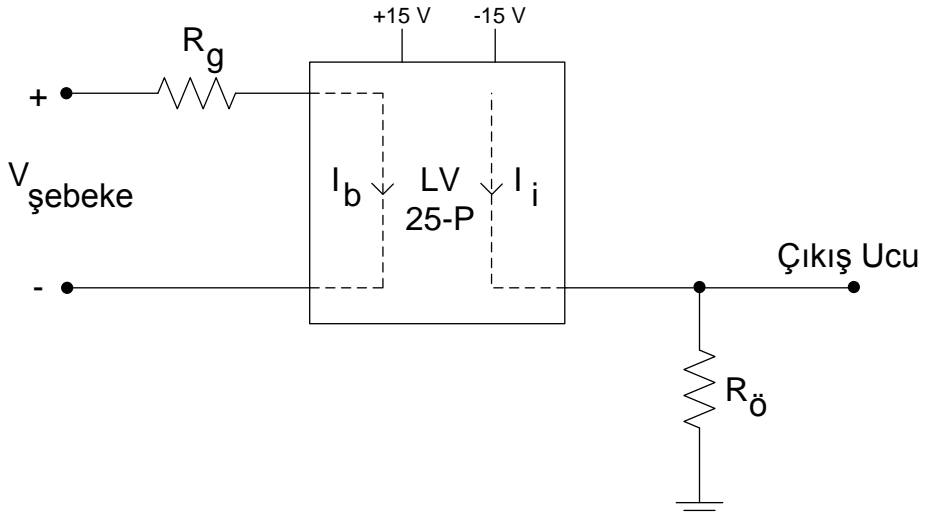
#### 3.2.2.1 Sıfır Geçiş Detektörünün Tasarımı

Sıfır geçiş detektörü temel olarak bir adet işlemsel yükseltecin karşılaştırıcı olarak kullanılmasıyla oluşmaktadır. Bu çalışmada Texas Instruments firmasına ait olan LM358 işlemsel yükselticisi kullanılmıştır. Karşılaştırılacak gerilim seviyesinin işlemsel yükseltecin girişine uygulanabilmesi için LEM firmasına ait LV-25P galvanik yalıtım sağlayan gerilim dönüştürücüsü kullanılmıştır. İşlemsel yükseltecin sıfır geçişlerini daha hassas ayarlayabilmek için pozitif beslemeli histerisis devresi kullanılmıştır. Mikro denetleyici sinyal girişi ile sıfır geçiş detektörü devresi arasında yalıtım sağlamak amacı ile Everlight firmasına ait EL817 tipi optik bağlaç kullanılmıştır. Devrenin kaynak ihtiyacı tek bir kaynaktan sağlanmış olup işlemsel yükselteç ve gerilim dönüştürücü için simetrik besleme kullanılmıştır. Sıfır geçiş detektörüne ait blok devre şeması Şekil 3.12'de verilmiştir.



Şekil 3.12 Sıfır Geçiş Detektörü Blok Devre Şeması

Şekil 3.12'deki blok devre şemasında gösterilen R1 ve R2 direnç değerleri histerisis devresini oluşturan elemanlardır. İşlemsel kuvvetlendiricinin çıkışı optik bağlaçtan geçip izole bir sinyale dönüştükten sonra dsPIC mikro denetleyicinin giriş sinyal gerilimi olan +5 V ile 0 V arasındaki gerilim değerlerini aşmayacak şekilde tasarım yapılmıştır. Devrede ilk olarak gerilim dönüştürücünün tasarımı yapılmıştır. Çünkü şebeke gerilimindeki olası hatalara karşı sıfır geçiş detektörü ile şebeke gerilimi arasında izolasyona ihtiyaç duyulmaktadır. Gerilim dönüştürücüsüne ait devre şeması Şekil 3.13'te verilmiştir.



Şekil 3.13 Gerilim Dönüştürücü Devre Şeması

Çizelge 3.2 LV25-P Gerilim Dönüştürücü Karakteristik Değerleri

Birincil Taraf Nominal Akımı	$I_{bn}$	10 mA
Birincil Taraf Akımı	$I_b$	0...14 mA
İkincil Taraf Nominal Akımı	$I_i$	25 mA
Dönüşüm Oranı	$D_o$	2.5

LV-25P gerilim dönüştürücüsü Hall etkisine göre çalışmaktadır. Buna göre ölçülen gerilim birincil taraftan geçerek ikincil tarafta bir gerilim indükler.  $R_g$  direnci ile birlikte giriş geriliminin genliği birincil taraftan akan  $I_b$  akımını belirler. LV 25-P birincil tarafındaki akım 0 ile 14 mA arasında olacak şekilde tasarlanmıştır. Böylece giriş direncinin değeri ölçüm uçlarından uygulanacak en yüksek gerilimde birincil taraftan en fazla 14 mA geçirecek şekilde seçilmelidir. Buna göre;

$$R_g = \frac{V_{ölçüm}}{I_b} = \frac{220V_{rms}}{13mA} \cong 17k\Omega \quad (3.4)$$

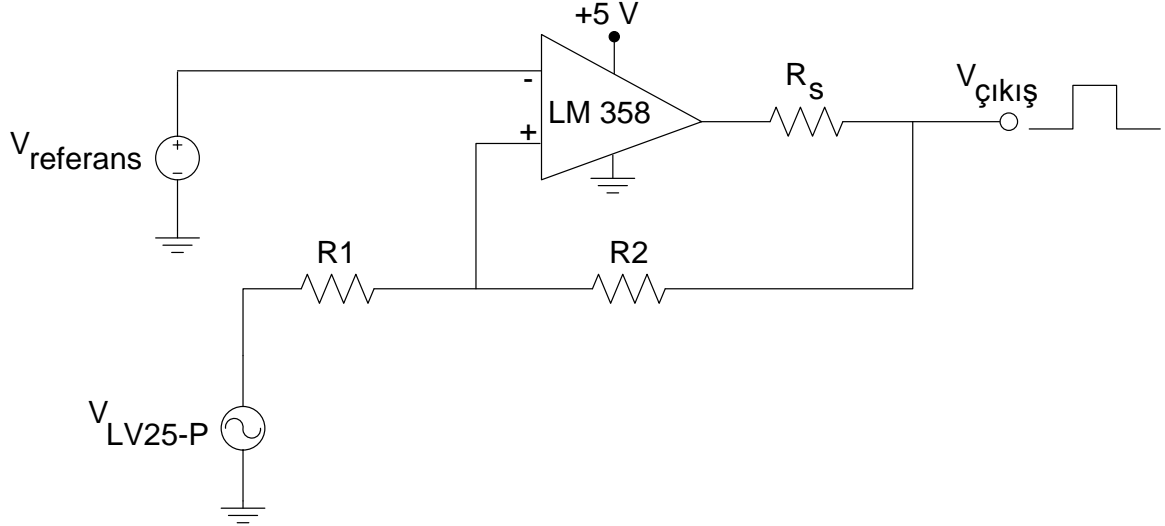
seçilmektedir. Birincil taraftan geçen akımın sınır değerinde olmaması için 1 mA'lık bir güvenlik payı bırakılmıştır. Mikro denetleyicinin giriş gerilim seviyesi en fazla +5 V olduğundan ikinci tarafta indüklenen gerilimin bu değerden düşük olması gerekmektedir. Birincil taraf ile ikincil taraf arasındaki dönüşüm oranı bilindiğine göre ikinci tarafta indüklenen gerilim değerinin hesaplanmasında (3.5) ve (3.6) kullanılmaktadır;

$$I_i = D_o \times I_b = 2.5 \times 13mA = 32.5mA \quad (3.5)$$

Ölçüm direnci 150  $\Omega$  seçilirse çıkış gerilimi;

$$V_{ç} = 150 \times 32.5 \cong 4.9V \quad (3.6)$$

olmaktadır. Güvenlik sınırları dâhilinde şebeke giriş geriliminin 220  $V_{rms}$  olduğu ve mikro denetleyicinin giriş gerilimin +5 V olduğu durum için gerilim dönüştürücünün devre elemanlarının hesabı yapılmıştır.



Şekil 3.14 Histerisis ile Pozitif Beslemeli İşlemsel Yükselteç Devresi

Şekil 3.14'te histerisis ile pozitif beslemeli bir işlemsel yükselteç devresi görülmektedir. Bu devre ile amaçlanan şey 50 Hz şehir şebekesinden gelen sinüzoidal gerilim sinyali mikro denetleyicinin işleyebileceği şekilde kare dalga formuna dönüştürmektir. Negatif uca bağlı referans gerilimine verilecek değere göre pozitif uçtaki gerilimin negatif uçtaki gerilimden büyük olması durumunda çıkış +5 V diğer durumda 0 V'ta kalacaktır. Bu yüzden referans gerilimi bu çalışmada 0 V'a çekilmiştir. Hem gerilim dönüştürücüden hem de işlemsel yükselteçten dolayı şebeke gerilim sinyalinden alınan sıfır geçişlerde gecikme olmaktadır. Bu gecikmeyi en aza indirmek için histerisis yapısı kullanılmıştır. Şekil 3.14'teki devrede evirmeyen uç (+) giriş ucundaki gerilim eşitliğini yazacak olursak;

$$V_{+} = \frac{V_{LV25-P} \times R2}{R1 + R2} + \frac{V_{\phi} \times R1}{R1 + R2} \quad (3.7)$$

elde ederiz. Pozitif ve negatif eşik değerlerini bulabilmek için bu eşitliği  $V_{+}=0$ 'a göre çözeriz ve (3.8) ve (3.9) elde ederiz.

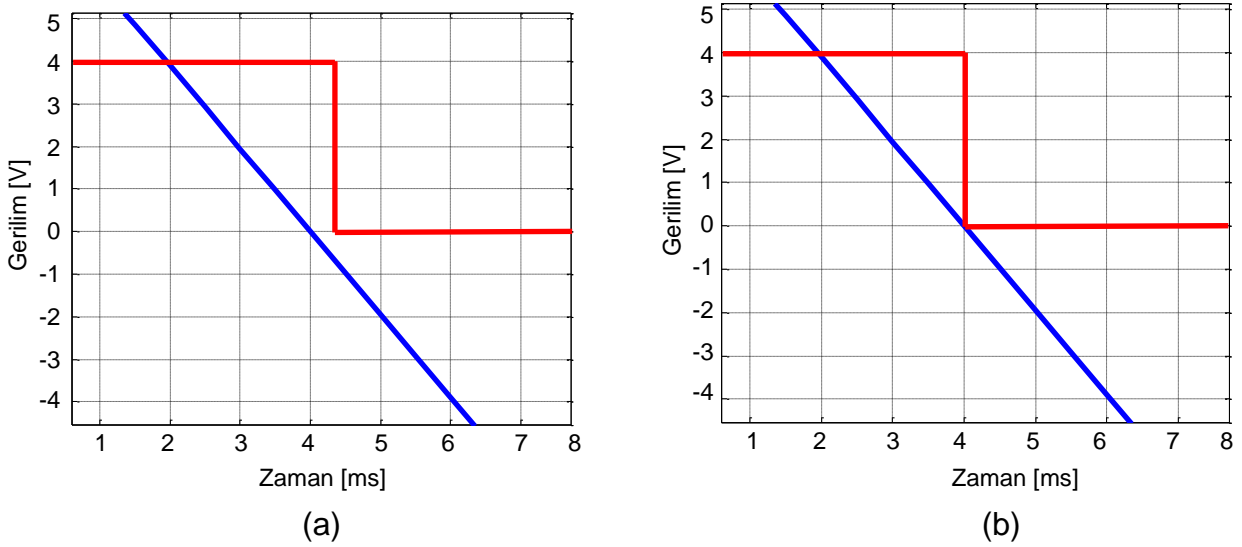


$$V_{e+} = \frac{-V_n \times R1}{R2}, V_{e-} = \frac{-V_p \times R1}{R2} \quad (3.8)$$

Bu eşitliklerde  $V_{e+}$  pozitif eşik değerini  $V_{e-}$  ise negatif eşik değerini temsil etmektedir. Yapılan ölçümlere göre 0.2 V eşik gerilimi işlemsel yükselteç ve gerilim dönüştürücüden kaynaklanan gecikme hatasını gidermektedir. Bu yüzden R1 direnci 1 k $\Omega$  ve R2 direnci 25 k $\Omega$  seçilmiştir. Böylece;

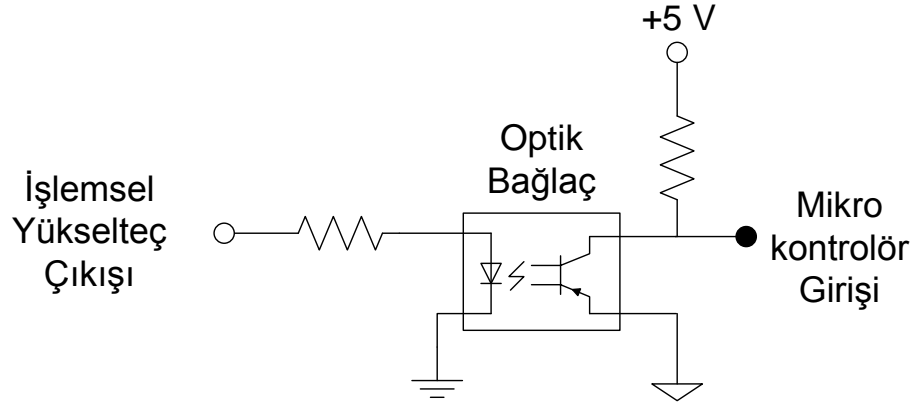
$$V_{e+} = \frac{-(-5V) \times 1k\Omega}{25k\Omega} = 0.2V, V_{e-} = \frac{-5V \times 1k\Omega}{25k\Omega} = -0.2V \quad (3.9)$$

olarak elde edilmiştir. Şekil 3.14'teki  $R_s$  direnci sınırlama direnci olup işlemsel kuvvetlendiricinin çıkış akımını sınırlamak için kullanılmıştır.



Şekil 3.15 Histerisis Devresi Kullanılmayan (a) ve Kullanılan (b) Sıfır Geçiş Detektörü Çıkış Gerilimleri

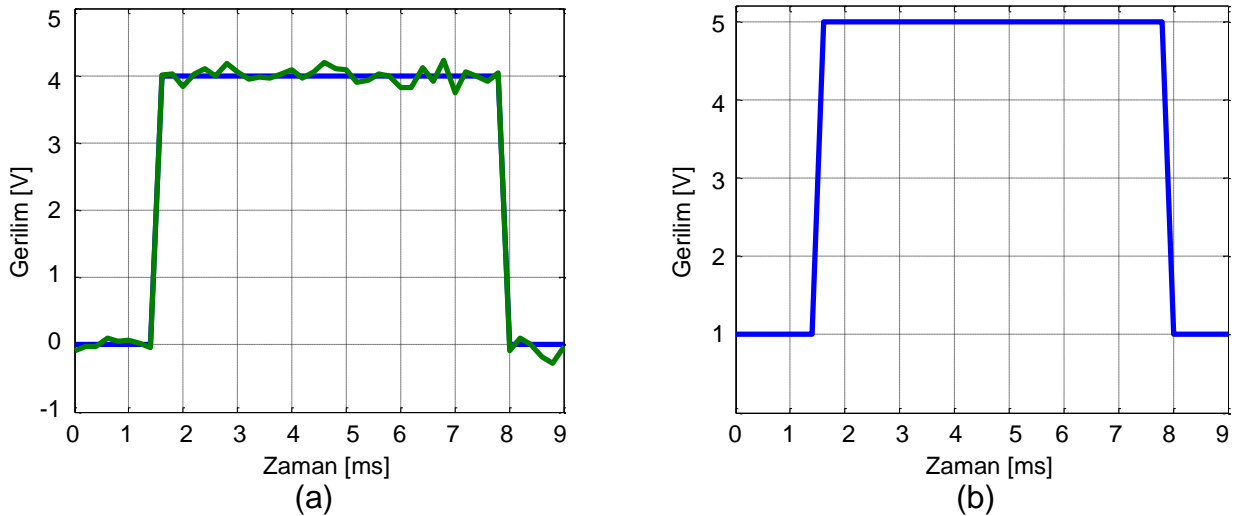
Şekil 3.15 (a) kısmında görülen grafikte daha önce bahsedildiği gibi işlemsel yükselteç ve gerilim dönüştürücüden dolayı doğal olarak gelen gecikmenin neden olduğu sıfır geçiş hatası gösterilmektedir. Mevcut karşılaştırıcı devresine hesabı yapılan histerisis devresi eklendikten sonra sıfır geçişlerindeki işlemsel kuvvetlendiricinin çıkış hatası nerdeyse sıfıra indirilmiştir.



Şekil 3.16 Optik Bağlaç Devre Şeması

Şekil 3.16'da sıfır geçiş detektörü ile mikro denetleyici arasında izolasyon sağlamak amacı ile kullanılan optik bağlaç devresi görünmektedir. Optik bağlaç devresinin çıkış gerilimi mikro denetleyicinin giriş gerilimi olan +5 V'a çekilmiştir. Bu devrenin üç avantajı vardır.

- Birincisi ve en önemlisi sıfır geçiş devresi ile dsPIC arasında yalıtım sağlamak,
- İkincisi sıfır geçiş detektörünün çıkışında olabilecek gürültülerden optik bağlacın foto-rezistif yapısından dolayı çıkışının bundan etkilenmeyeceği,
- Son olarak sıfır geçiş detektörünün çıkışındaki gerilimin +5 V'tan aşağıya düşmesi durumundan optik bağlaç çıkışının ayrı bir kaynaktan beslenmesinden dolayı sürekli olarak +5 V gerilim seviyesini sağlayacaktır.

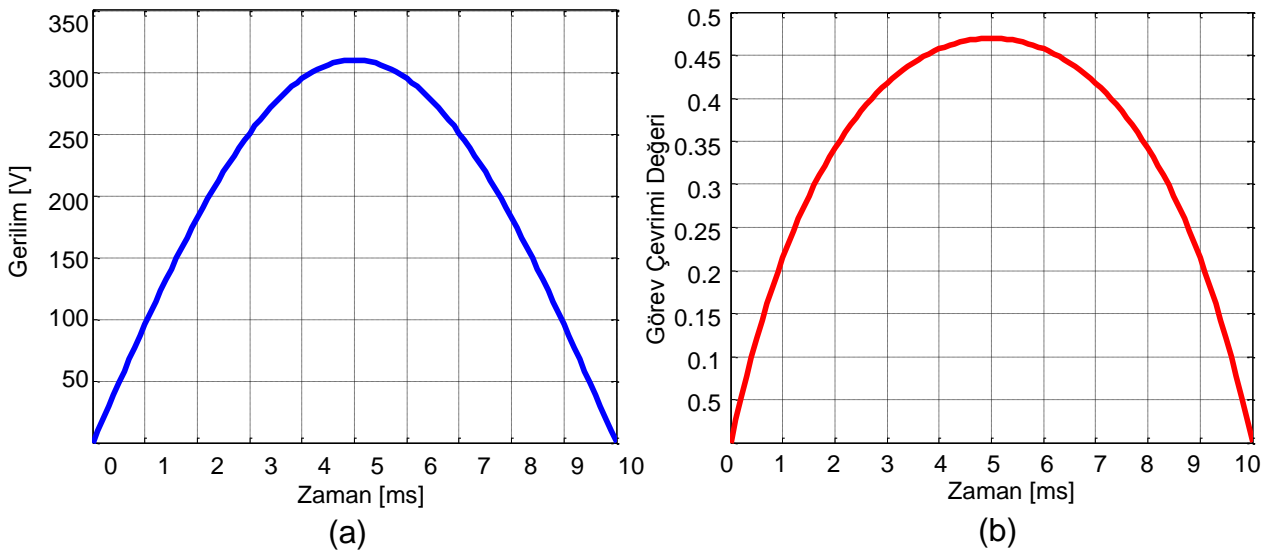


Şekil 3.17 Gürültülü ve Düşük Gerilimli İşlemsel Yükselteç Çıkışının (a) Optik Bağlaçtan Geçtikten Sonraki Gürültüsüz ve +5 V'a Yükseltilmiş Hali (b)

### 3.2.2.2 Genlik Dönüşümünün Tasarımı

Genlik dönüşümünün tasarımını yapabilmek için daha önce çıkarmış olduğumuz çapraz çevirgecin sürekli iletim modundaki giriş-çıkış eşitliklerinin, görev çevrimi ifadesine göre ayırık zamanda yeniden düzenlenmiş ifadesi kullanılmaktadır. Şebekenin gerilim ve faz bilgisi mikro denetleyicide elde edildikten sonra, şebekeye aktarılacak güç değerine göre üretilen sinüzoidal çıkış geriliminin genliği ve fazı değiştirilmektedir. Üretilen çıkış geriliminin genliğini görev çevrimi değerleri belirlemektedir. Görev çevrimi değerleri de referans gerilimi, transformatör tur oranı ve çapraz eviricinin giriş gerilimine bağlı olarak elde edilmektedir. Tur oranının sabit ve giriş geriliminin de sürekli iletim modunda, maksimum güç noktasında çalışıldığı için sabit olduğu düşünüldüğünde, üretilen görev çevrimleri değerleri ile referans gerilimi arasında doğrudan bir oran bulunacaktır. Bu orandan yararlanarak çapraz evirici çıkışında üretilmek istenen çıkış geriliminin tepe değerine göre görev çevrimleri belirlenmektedir. Daha sonra bu görev çevrimleri değerleri arama tablosundaki her bir sinüs değeri ile çarpılarak istenilen çıkış gerilimi üretilmektedir. Örneğin çıkış geriliminin tepe değerinin 100 V olması istenildiğinde maksimum görev çevriminin değeri (3.10)'da verildiği gibi olacaktır.

$$U_m[n] = \frac{V_{ref}[n]}{V_{ref}[n] + \left(\frac{N_2}{N_1} V_g\right)} = \frac{100}{100 + (5 \times 70)} = 0.22 \quad (3.10)$$



Şekil 3.18 Çapraz Evirici Çıkış Gerilimine (a) Karşılık Üretilen Görev Çevrimleri Değerleri (b)

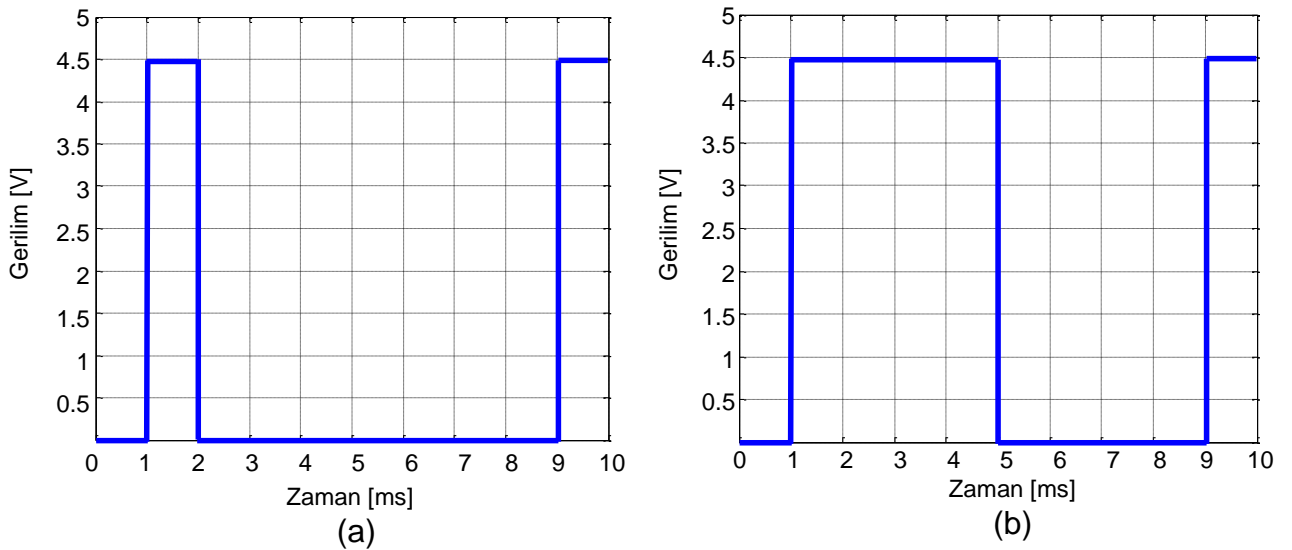
### 3.2.3 SDGM Sinyallerinin Üretilmesi

Eşitlik 3.10'daki ayırık zamanlı görev çevrimleri değeri üretildikten sonra çapraz çevirgecin ana anahtarını sürmek için dsPIC mikro denetleyicideki DGM yapısı kullanılmış ve üretilen her görev çevrimi DGM modülüne verilerek çıkışta referans gerilim sinyalinin genliğine eşit bir sinyal üretilmiştir. Gerekli dönüşümlerin yapılabilmesi için ilk olarak dsPIC mikro denetleyicinin DGM yapısı öğrenilmiştir. Buna göre görev çevrimi 40 kHz anahtarlama için '0...780' arasında değer almaktadır. Eşitlik 3.10'da hesaplanan görev çevrimi değerleri dsPIC mikro denetleyicide '0...780' arasındaki uygun değere dönüştürülerek çapraz çevirgecin ana anahtarının sürülmesi sağlanmıştır.

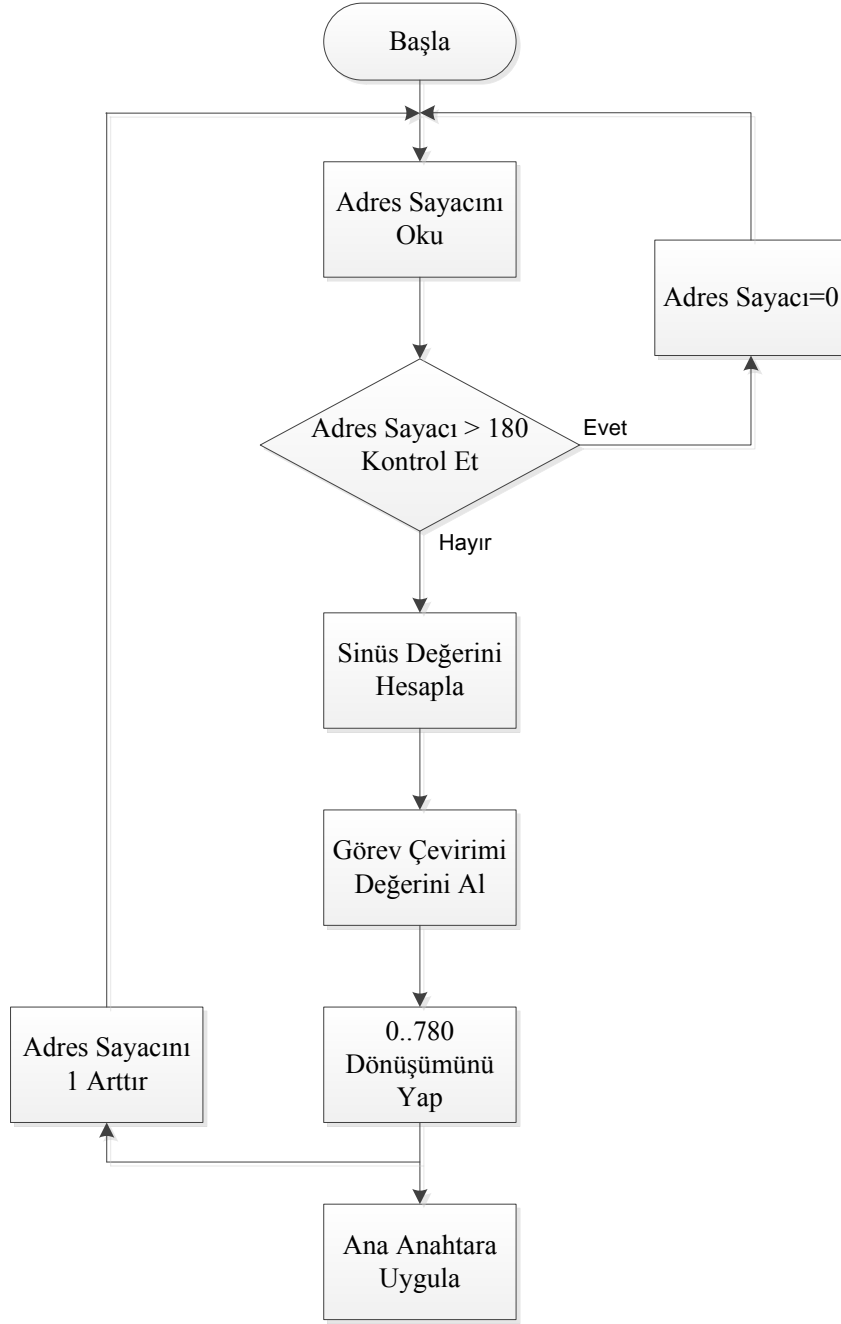
Şekil 3.18'de görüldüğü gibi iki farklı görev çevrimi değeri için anahtar denetim sinyalleri elde edilmiştir. Bu sinyalleri dsPIC mikro denetleyici modülünün işleyebileceği şekilde uygun bir dönüştürme işlemi yapılmıştır. Bunun için mikro denetleyicideki en yüksek değer olan '780' değerinin görev çevriminden gelen değerle çarpılması yeterli olmaktadır.

$$D_{dspic} = 780 \times D[n] \quad (3.11)$$

Buna göre Şekil 3.19 (a) sinyalini elde etmek için mikro denetleyiciye '78', (b) sinyali için ise '390' değerinin verilmesi gerekmektedir ve bu işlemler dsPIC mikro denetleyicide her yeni görev çevrimi hesabında yapılmaktadır.



Şekil 3.19 Görev Çevrimi Değerinin 0.1 (a) ve 0.5 (b) Olduğu Durumlar İçin Anahtara Uygulanan Denetim Sinyalleri

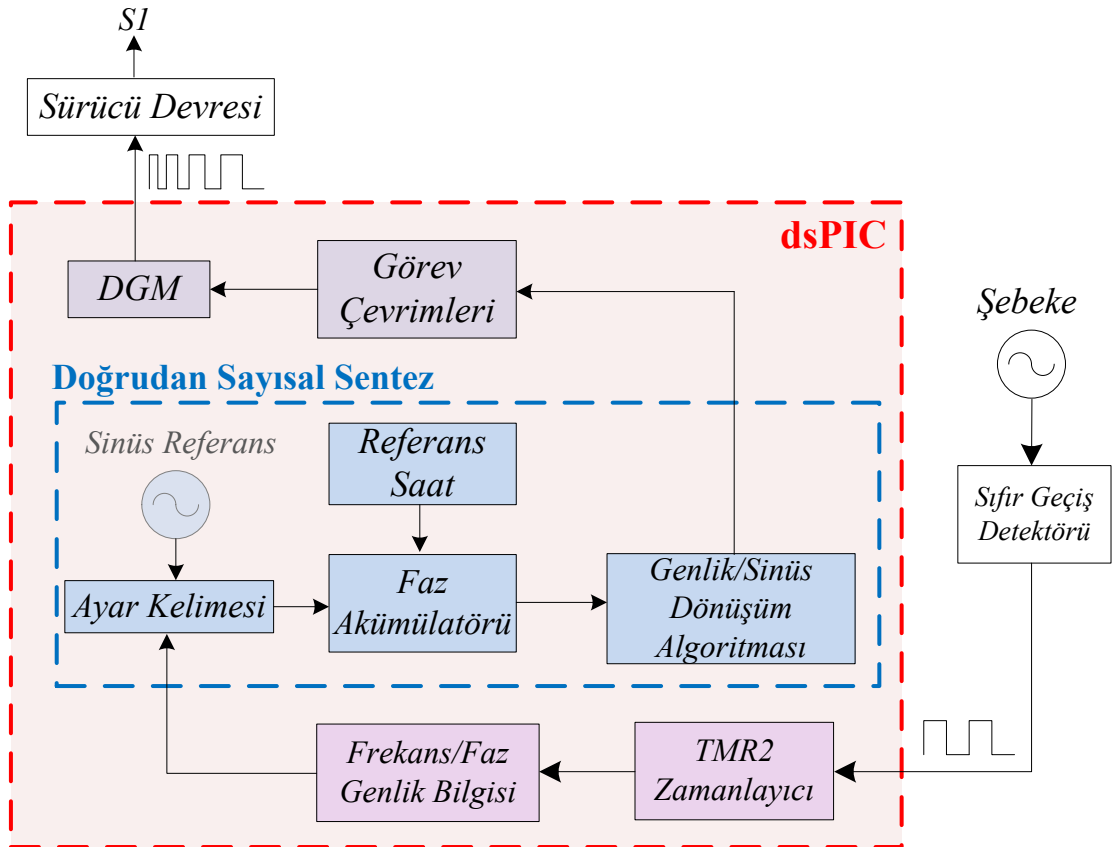


Şekil 3.20 SDGM İşaretlerinin Üretilmesini Gösteren Yazılım Akış Şeması

Şekil 3.20’de SDGM sinyallerinin dsPIC mikro denetleyicide üretilebilmesi için gereken kod akış şeması görülmektedir. Buna göre adres sayacı sinüs örnekleme sayısının her değerinde sinüs değerini hesaplayıp daha sonraki adımda referans gerilim sinyalinden alınan görev çevrimi değeriyle çarpmakta ve sonuç DGM modülünde işlenebilmesi için ‘0...780’ arasındaki değere dönüştürülmektedir. Bu değerle ana anahtar sürülme ve adres sayacının değeri artırılarak bir sonraki işleme geçilmektedir.

### 3.3 Doğrudan Sayısal Sentez Tekniği Benzetim Çalışmaları

Bu bölümde çapraz çevirgecin denetleyicide kullanılan doğrudan sayısal sentez tekniğini oluşturan delta faz kayıtcısı, faz ve genlik dönüşümü ve sinüzoidal darbe genişlik modülasyonunun üretimi benzetim çalışmalarıyla elde edilecek ve doğrulanacaktır. Benzetim programı olarak Ansoft firmasına ait güç elektroniği ve uygulamaları üzerine tasarlanan Simplorer programı kullanılmıştır. Benzetimi yapılan devre Şekil 3.21’de verilmiştir. Referans sinyali olarak sinüzoidal, etkin değeri 220 V<sub>rms</sub> olan sinyal kullanılmıştır. Gerilim dönüştürücü olarak çıkış geriliminin tepe değeri 5 V olacak şekilde 62:1 tur oranında transformatör kullanılmıştır. İşlemsel yükselteç R1 ve R2 dirençleri ile histerisis karşılaştırmacı devresi haline getirilmiştir. İşlemsel yükselteç çıkışında elde edilen referans gerilim sinyalinin frekans ve faz bilgisi görev çevirimi dönüşümü bloğuna gönderilmiştir.



Şekil 3.21 DSS ve Denetim Sisteminin Şeması

Bu blokta yer alan ifade (3.12)'de verilmiştir;

$$VAL[0] = (INPUT[0] / (INPUT[0] + 350)) \quad (3.12)$$

INPUT[0] ile ifade edilen değer ayrık zamanda örneklenen referans gerilim sinyallerini belirtmektedir. VAL[0] değeri dsPIC mikro denetleyicinin DGM modülüne verilecek olan görev çevrimlerini belirtmektedir. Eşitlik 3.10 bu blokta modellenmiştir. Buna göre paydada yer alan '350' değeri çapraz çevirgecin tur oranının 5 ve giriş geriliminin 70 V seçilmesi ile elde edilmiştir. Eşitlik 3.10 ve görev çevrimi bloğu ifadesini karşılaştıracak olursak;

$$U_m[n] = \frac{V_{ref}[n]}{V_{ref}[n] + \left(\frac{N_2}{N_1} V_g\right)}, \quad VAL[0] = \frac{INPUT[0]}{INPUT[0] + (5 \times 70)} \quad (3.13)$$

görev çevrimi bloğundaki ifadelerin karşılığı daha açık bir şekilde görülmektedir. Elde edilen görev çevrimi değerleri DGM bloğuna gönderilerek çapraz çevirgecin ana anahtarını sürmek için gerekli olan SDGM sinyalleri üretilmiş olmaktadır.

Şekil 3.22'de frekans ayar çözünürlüğü sabit tutularak ayarlanabilir sinüs dalga üreticinin çıkışı bilgisayar benzetimi ile elde edilmiştir. Sinüs örnekleme sayısı n=60 seçilerek çıkış sinüs dalga şekli benzetilmiştir. Şekil 3.23'de ise n=180 yapılarak benzetim tekrarlanmıştır. Sinüs örnekleme sayısındaki artışın çıkış sinüs dalga şekline olan etkisi iki şekil arasında açıkça görülmektedir. Şekil 5.8'de MATLAB ile elde edilmiş grafiklerle Şekil 3.22 ve Şekil 3.23'de elde edilen benzetim sonuçları örtüşmektedir. Ayrıca sinüs dalga şekillerinin n=180 sinüs örnekleme değerinde çıkış filtresinden geçirilmemiş olduğu halde yeterli çözünürlükte olduğu benzetim sonuçlarından da doğrulanmaktadır.

Bir sonraki adımda sinüs örnekleme sayısı sabit tutularak frekans ayar çözünürlüğünün değişimi benzetilmektedir. Buna göre Eşitlik 3.1 kullanılarak PR4 değerinin değiştirilmesiyle çıkış frekansı önce iki katına çıkarılmış daha sonra yarıya düşürülmüştür.

PR4 deęerleri işlemsel yükselteç çıkışından alınan sinyaller ile belirlenmiş olup, Şekil 3.24 ve Şekil 3.25'te çıkış sinüs dalga şekillerinin frekanslarının deęişimi görölmektedir.

Şekil 3.26'da gerilim dönüştürücüsünün çıkış geriliminin işlemsel yükseltecinin evirmeyen ucuna uygulandığında ve eviren ucunun toprak hattına çekilerek karşılaştırma işlemi yapıldığında, çıkış sinyalinin 0...5 V arasında deęişen kare dalga sinyallere dönüştüğü görölmektedir. Görüldüğü üzere kare dalganın pozitif olduğu kısımlar gerilim dönüştürücüsünün dolayısı ile referans gerilim sinyalinin pozitif kısımlarıyla eşzamanlı olarak üretilmekte, çıkış geriliminin 0 olduğu kısımlar ise referans gerilim sinyalinin negatif olduğu bölgelerle eşzamanlı olarak üretilmektedir. Benzetim çalışmasında ilk olarak histerisis kullanılmadan benzetim çalışması yapılmış olup gerilim dönüştürücü ve işlemsel yükselteçten kaynaklanan gecikmeyi modellemek için bir gecikme bloęu kullanılmıştır. Şekil 3.26'da gerilim dönüştürücü çıkış gerilim sinyalinin sıfır geçişleri ile işlemsel yükseltecin ürettięi sinyaller arasında gecikme olduğu gözükmemektedir. Bu gecikmeyi asgari düzeye indirmek için işlemsel yükseltece histeriris devresi ilave edilmiş olup benzetim çalışması Şekil 3.27'de tekrar edilmiştir. Uygun direnç deęerlerinin seçilmesi ile sıfır geçiş noktalarındaki gecikmeler asgari düzeye indirilmiştir. Bu gecikmeler sabit olduğundan dolayı histerisis devresinde kullanılan direnç deęerlerinin bir kez ayarlanmış olması yeterli olmaktadır.

Şekil 3.28'de referans gerilim sinyalinden alınan faz, genlik ve frekans deęerlerine göre görev çevrimleri dönüşümü yapılmıştır. Görev çevrimi dönüşümü Eşitlik 3.12'deki ifadeye göre yapılmaktadır.

Bu ifadeye göre görev çevriminin uygulanan referans gerilim sinyaline göre alabileceęi maksimum deęeri hesaplayacak olursak;

$$VAL[0] = \frac{310}{310 + (5 \times 70)} = 0,469$$

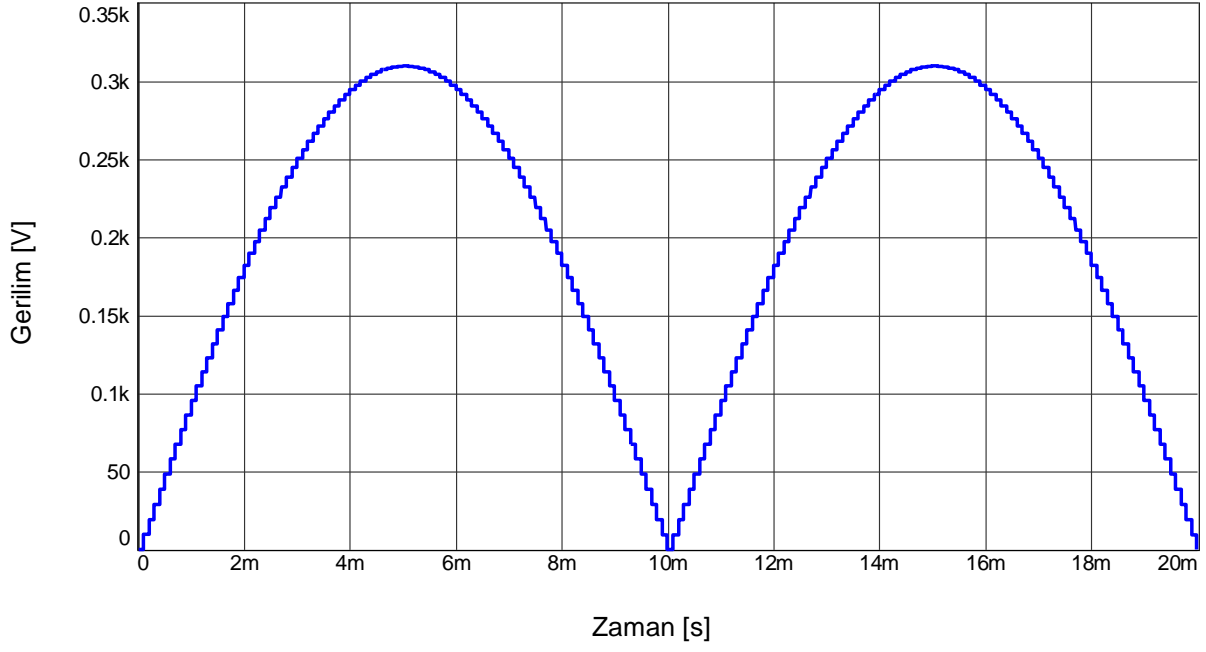
olması gerekmektedir.



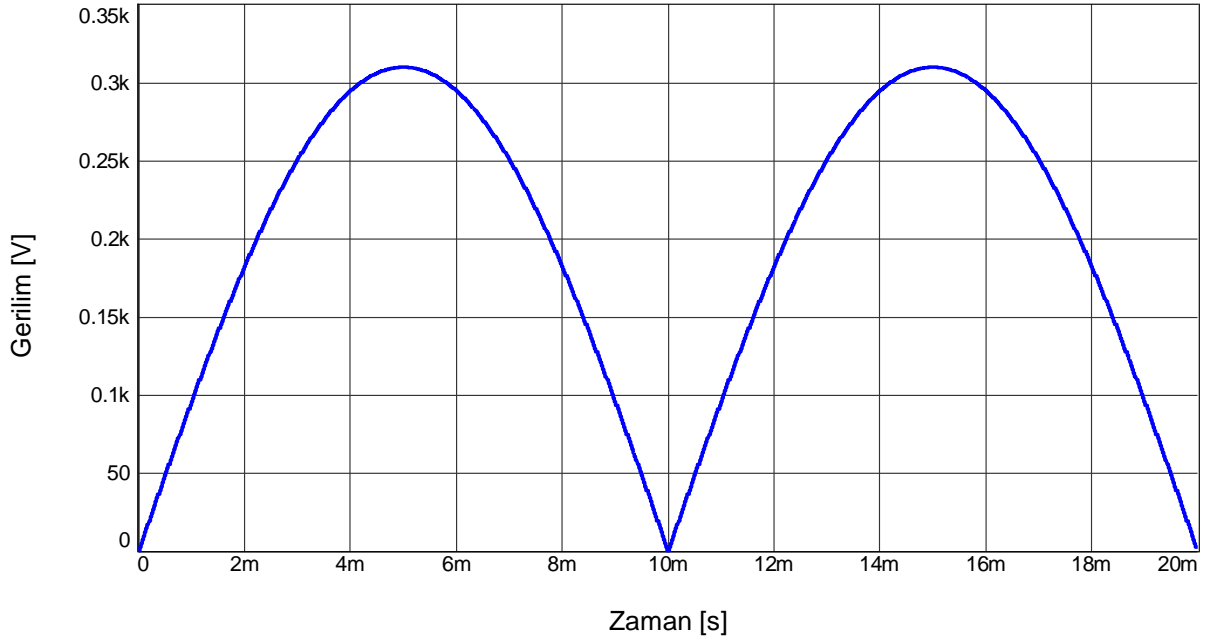
Şekil 3.28'e bakıldığında benzetim çalışmasının sonucu bu değeri desteklemektedir. Benzetim çalışmalarında tepe değerleri referans gerilim sinyaline göre çok küçük kalan şekiller için ölçeklendirme işlemi yapılmıştır.

Görev çevrimleri referans gerilim sinyaline göre üretildikten sonra bu değerlerin dsPIC mikro denetleyicideki DGM modülüne gönderilmesi ile çapraz çevirgecin ana anahtarına uygulanacak SDGM kapı sinyalleri üretilmiş olmaktadır. Şekil 3.29'da eş zamanlı olarak referans gerilim sinyali, bu referansa göre üretilen görev çevrimleri dönüşümü ve bu görev çevrimlerine göre dsPIC mikro denetleyicinin üretmiş olduğu SDGM sinyalleri benzetim çalışması sonucu görülmektedir. Benzetim çalışmasının sonucundan beklenildiği gibi görev çevrimi değerinin en büyük olduğu yerlerde DGM genişliği en yüksek olmakta, en düşük olduğu başlangıç anında ise en dar DGM üretilmektedir.

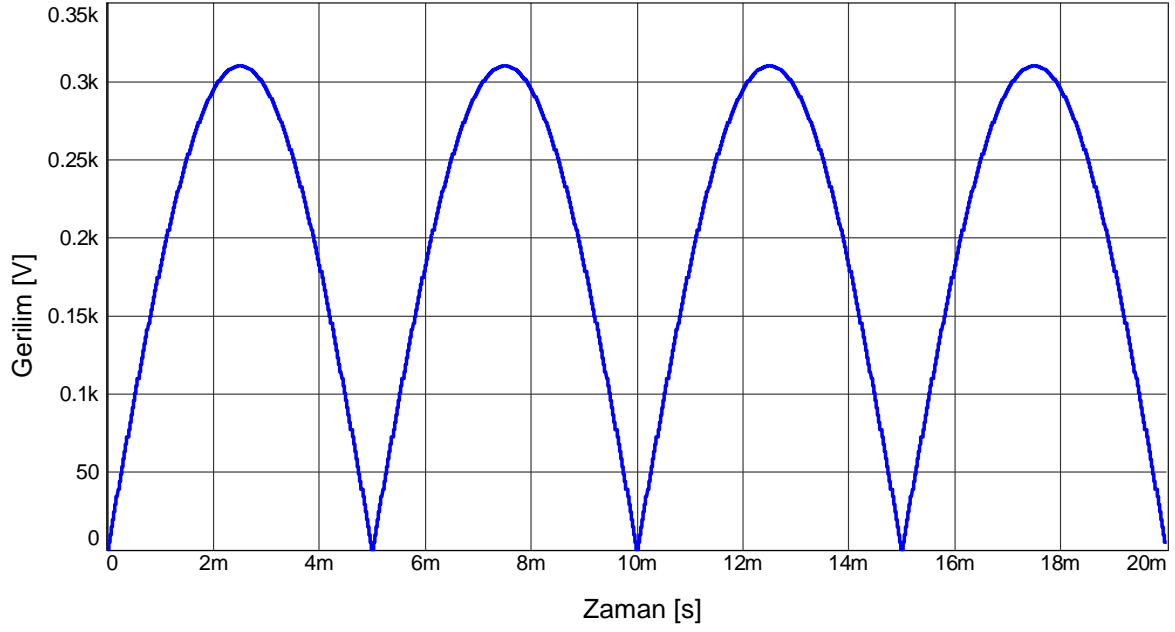
Sonuç olarak benzetim çalışmaları sonuçlarının teorik çalışmalarda anlatılan ifadelere uygun olduğu görülmektedir.



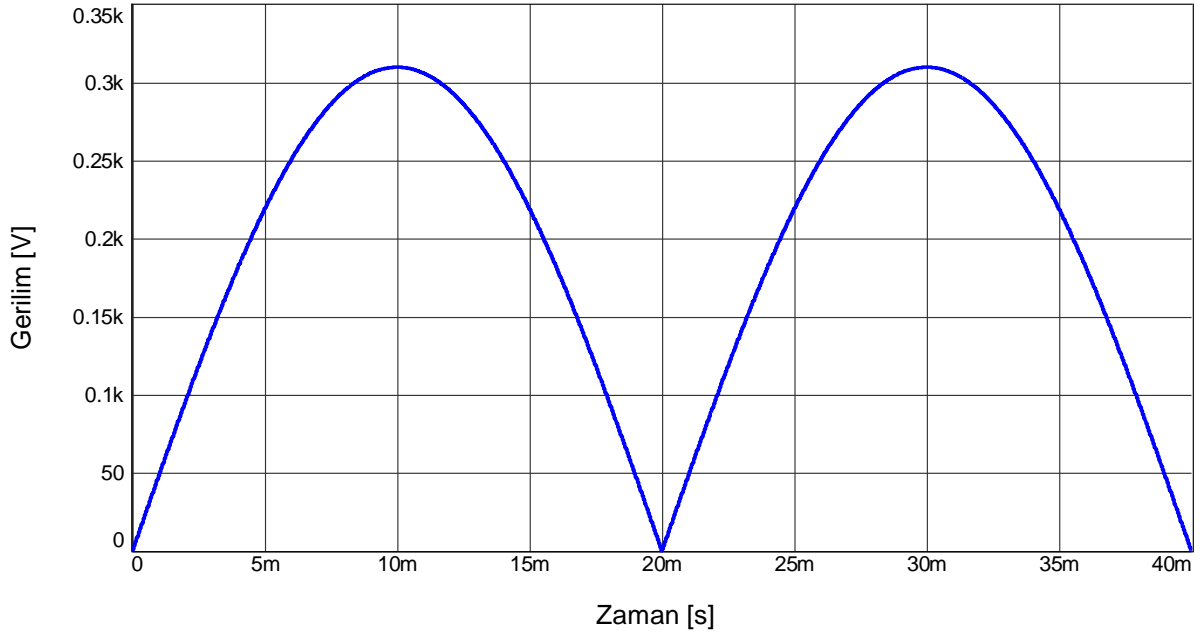
Şekil 3.22 Sinüs Örnekleme Sayısı  $n=60$  ve Frekans Ayar Çözünürlüğü  $PR4=2440$  İçin Ayarlanabilir Sinüs Dalga Üretici Çıkışı



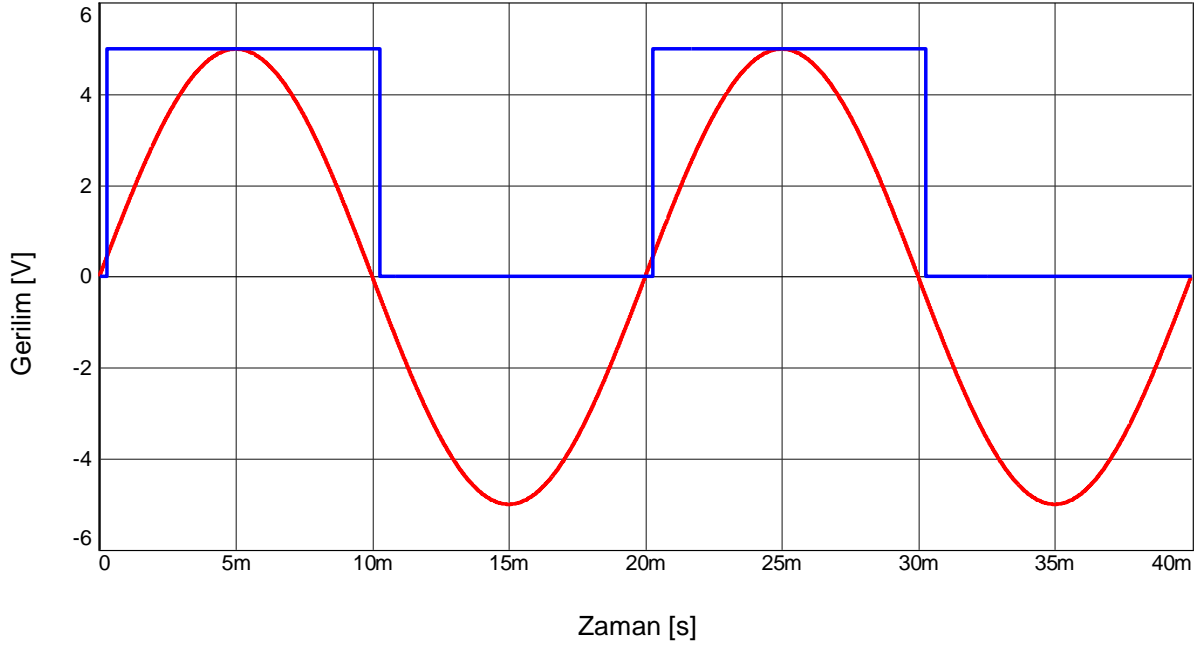
Şekil 3.23 Sinüs Örnekleme Sayısı  $n=180$  ve Frekans Ayar Çözünürlüğü  $PR4=2440$  İçin Ayarlanabilir Sinüs Dalga Üretici Çıkışı



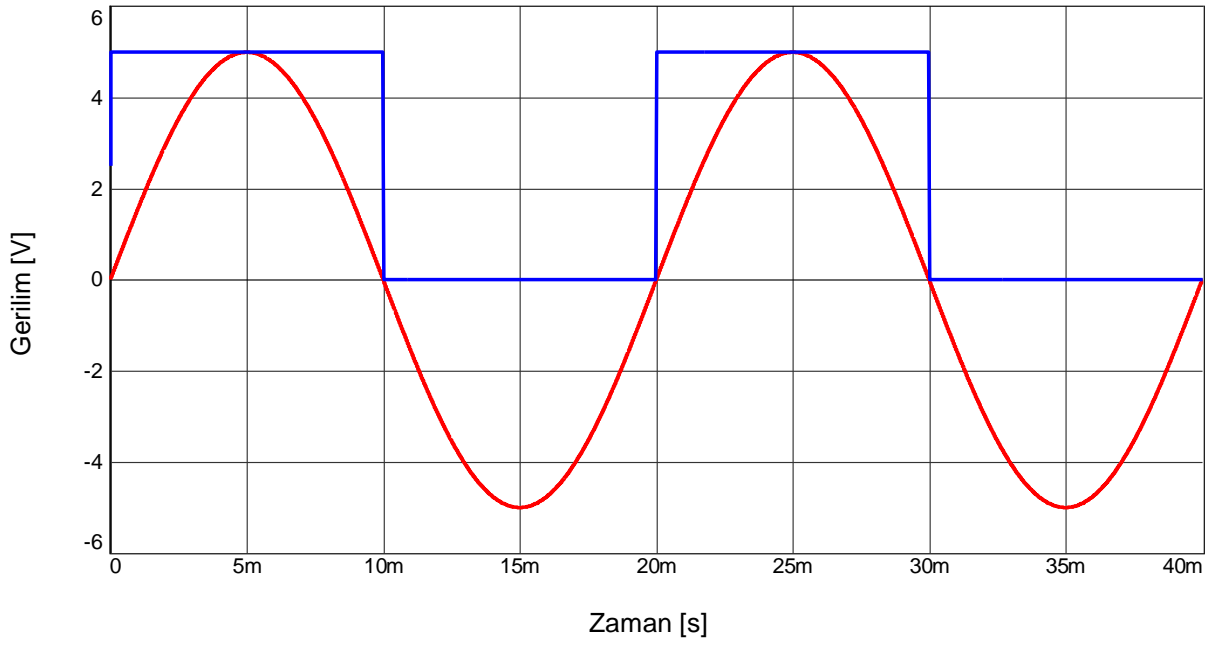
Şekil 3.24 Sinüs Örnekleme Sayısı  $n=180$  ve Frekans Ayar Çözünürlüğü  
PR4=1220 İçin Ayarlanabilir Sinüs Dalga Üreteci Çıkışı



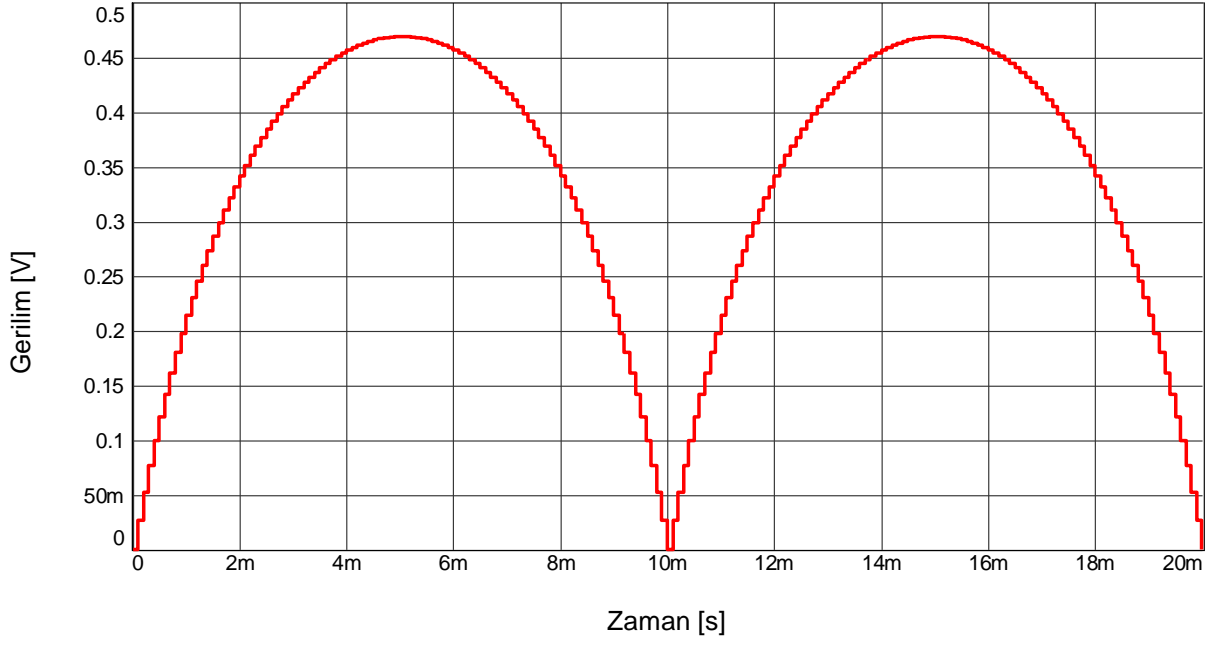
Şekil 3.25 Sinüs Örnekleme Sayısı  $n=180$  ve Frekans Ayar Çözünürlüğü  
PR4=4880 İçin Ayarlanabilir Sinüs Dalga Üreteci Çıkışı



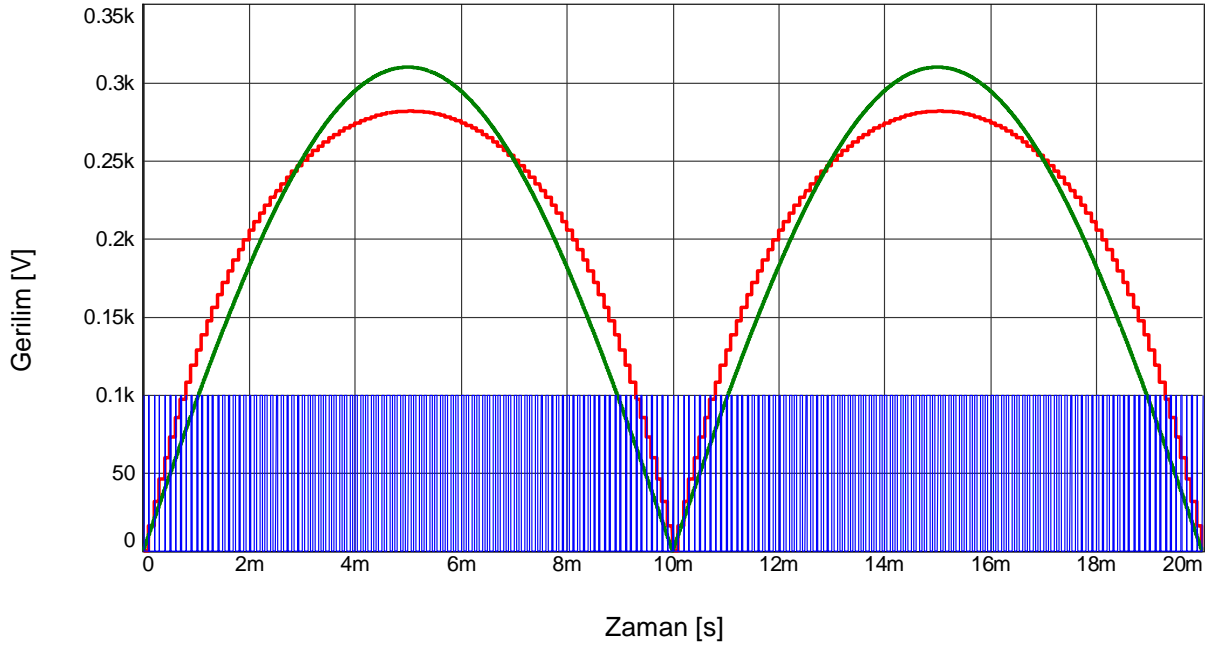
Şekil 3.26 Histerisis Kullanılmayan LV25-P Gerilim Dönüştürücü Çıkış Gerilimi(Kırmızı) ile İşlemsel Yükselteç Çıkış Sinyali (Mavi)



Şekil 3.27 Histerisis Kullanılan LV25-P Gerilim Dönüştürücü Çıkış Gerilimi (Kırmızı) ile İşlemsel Yükselteç Çıkış Sinyali (Mavi)



Şekil 3.28 Şebeke Referans Gerilimine Karşılık Üretilen Görev Çevrimleri



Şekil 3.29 Referans Gerilimi(Yeşil), Referans Gerilimine Karşılık Üretilen Görev Çevrimleri(Kırmızı) ve Görev Çevrimlerine Karşılık Gelen SDGM İşaretleri (Mavi)

## 4. MAKSİMUM GÜÇ NOKTASI İZLEYİCİSİ (MGNİ) TASARIMI

Bu bölümde maksimum güç noktası izleyici sisteminin çapraz evirici topolojisi ile nasıl kullanılacağı anlatılacaktır. İlk olarak fotovoltaik panel modelinin eşdeğer devresi ve panel karakteristikleri çıkartılacak, daha sonra bu karakteristiklerin benzetim programında nasıl modelleneceği incelenecek ve benzetim çalışmaları yapılacaktır.

Temiz enerji kaynaklarının en önemlilerinden biri olan fotovoltaik panellerin ilk kurulum maliyetleri yüksektir. O yüzden ilk kurulum aşamasında fotovoltaik panellerin en iyi şartlarda ve en yüksek verimle çalışabilecekleri bir sistem tasarlamak çok önemlidir. Fotovoltaik panellerin maksimum çıkış gücü sağlayarak çalıştığı maksimum güç noktası, güneş ışınlarının panel yüzeyi ile yaptığı açıya ve panel sıcaklığına bağlı olarak değişmektedir. Dolayısı ile yükün çalışma noktası her zaman fotovoltaik sistemin maksimum güç noktası değildir. Beslenen yüke talep ettiği gücü sürekli olarak sağlayabilmek için fotovoltaik sistemler gerektiğinden daha fazla modül içerecek şekilde tasarlanırlar. Bu durumda sistem maliyeti oldukça yükselir, ayrıca önemli miktarda enerji kaybı yaşanır.

Bu problemin çözümü için maksimum güç noktası izleyicisi bir anahtarlamalı güç çevirgeci ile kullanılarak gerçekleştirilebilir. Böylece fotovoltaik panellerin maksimum güç noktasında sürekli çalışması sağlanabilir. MGNİ fotovoltaik panelin gerilim ve akımını yükten bağımsız olarak denetleyerek bu işlemi gerçekleştirmektedir.

Bu çalışmada maksimum güç noktasının izlenebilmesi için sabit gerilim izleyicisi yöntemi kullanılmıştır.

### 4.1 Sabit Gerilim İzleyicisi (SGİ) Yöntemi

Fotovoltaik panelin maksimum güç noktasını bulmak ve takip etmek için literatürde çok sayıda algoritma bulunmaktadır. Bu algoritmalar en genel anlamda doğrudan ve dolaylı MGNİ sistemleri olmak üzere iki ana başlıkta toplanabilir.

Doğrudan MGNİ sistemlerinde en uygun çalışma noktası panelden alınan akım, gerilim veya güç ölçümlerinden elde edilmektedir. Bu nedenle zaman içerisinde çeşitli nedenlerle sistemin performansında meydana gelebilecek değişikliklerden etkilenerek daha doğru bir izleme yapılabilmektedir.

Doğrudan MGNİ uygulamalarında genellikle iki temel prensip kullanılmaktadır;

- I – V karakteristik eğrisinin bir bölümünün periyodik olarak taranması prensibi ile çalışan MGNİ sistemlerinde, modülün çalışma gerilimi DC/DC konvertör tarafından verilen bir gerilim çerçevesi içerisinde. Maksimum modül gücü elde edilir ve çalışma noktası bu güce karşılık gelen gerilime ayarlanır. Pratikte, DC/DC konvertörün çıkış akımını ölçmek ve bu değeri en yüksek değere çıkarmak daha kolaydır. Bu yöntemle de istenen amaç gerçekleştirilmiş olur.
- İkinci yöntem, dilimize dağa tırmanma algoritması (mountain-climb algorithm) olarak çevrilebilir. Burada, çalışma gerilimi küçük adımlarla periyodik olarak değiştirilerek modül gücü veya akımındaki artış ölçülür. Böylece artışın durduğu veya azalmaya başladığı nokta tespit edilerek ani çalışma noktası olarak kabul edilir. Eğer güç veya akım, gerilimin her bir adım artışında artıyorsa, araştırma yönü ileriye, aksi halde geriye doğru sürdürülür. Bu yolla maksimum güç noktası bulunur ve çalışma noktası gerçek MGN civarında bir salınım yapar.

Dolaylı MGNİ maksimum güç noktasını bulmak için basit kabuller ve ölçümler aracılığı ile bu noktadaki pil geriliminin hesaplanması prensibi ile çalışırlar. Bu sistemlerinde uygulama açısından çeşitli tipleri bulunmaktadır. Bunlardan bazıları;

- Fotovoltaik panelin çalışma gerilimi mevsimlik olarak ayarlanabilir. Bu sistemde kış aylarında pil ısısının düşük olmasından dolayı daha yüksek MGN gerilimi ölçülmesi, yaz aylarında ise tersi bir durumun oluşması beklenebilir.
- Çalışma gerilimi modül sıcaklığına göre ayarlanabilir.
- Fotovoltaik pilin ani açık devre geriliminin belirli bir sabit sayı ile (örneğin silikon piller için 0.8 gibi) çarpılarak MGN gerilimi hesaplanabilir. Fotovoltaik panelin açık devre gerilimi periyodik olarak ölçülür. Bu işlem, yükün örneğin her 2 dakikada bir 1ms gibi çok kısa sürelerle devre dışına alınarak gerçekleştirilir.
- Bazı sistemlerde ise güneşin azimut ve yükseklik açılarına göre tasarım yapılır. Fotovoltaik sistemin kurulacağı bölgenin coğrafi konumuna göre güneş açılarının değişimi bir veri tabanına aktarılarak MGNİ'nin hareketi bu veri tabanındaki bilgilere göre şekillendirilir.

Bu çalışmada kullanılan sabit gerilim izleyicisi yöntemi fotovoltaik panelin açık devre geriliminin belirli bir katsayı ile çarpılması sonucu elde edilen maksimum güç noktası geriliminin çapraz evirici tarafından sabit tutulması esasına dayanmaktadır. Panel gücünün az olduğu uygulamalarda (< 150 W) bu yöntemin kullanılması hem tasarım açısından hem de uygulama açısından kolaylık sağlamaktadır. Düşük güçlü uygulamalarda panel I –V karakteristiği incelendiğinde maksimum güç noktasının farklı ışımaya değerlerinde çok az oynadığı gözükmemektedir. Böylece panel geriliminin referans gerilime eşitlenmesi ile fotovoltaik panelin maksimum güç noktasında çalışması sağlanmaktadır. Sabit gerilim izleyicisi yönteminde referans geriliminin hesabı panelin hücre özelliklerine bağlı olsa da genellikle panelin açık devre geriliminin 0.76 ile çarpılması ile bulunmaktadır [33]. Eşitlik 4.1’de bu dönüşüm verilmiştir.

$$V_{mgn} = V_{ad} \times 0.76 \quad (4.1)$$

Panel gerilimini istenilen referans gerilime getirebilmek için görev çevrimleri küçük aralıklarla değiştirilmektedir. Çizelge 4.1’de SGI yönteminin diğer MGNİ yöntemleriyle karşılaştırılması verilmiştir.

Çizelge 4.1 SGI Yönteminin Diğer MGNİ Yöntemleri İle Karşılaştırılması

	<b>Sabit Gerilim</b>	<b>Hata Gözlem</b>	<b>Artan İletkenlik</b>	<b>Parazit Kapasite</b>
<b>Verim, %</b>	88 - 89	81 - 85	73-85	99,8
<b>Panele Bağımlı Çalışma</b>	Evet	Hayır	Hayır	Hayır
<b>Analog veya Sayısal Denetim</b>	Her İkisi	Her İkisi	Sayısal	Analog
<b>Yaklaşma Hızı</b>	Orta	Değişken	Değişken	Hızlı
<b>Uygulama Karmaşıklığı</b>	Düşük	Düşük	Orta	Düşük
<b>Algılanan Büyüklükler</b>	Gerilim	Gerilim Akım	Gerilim Akım	Gerilim Akım

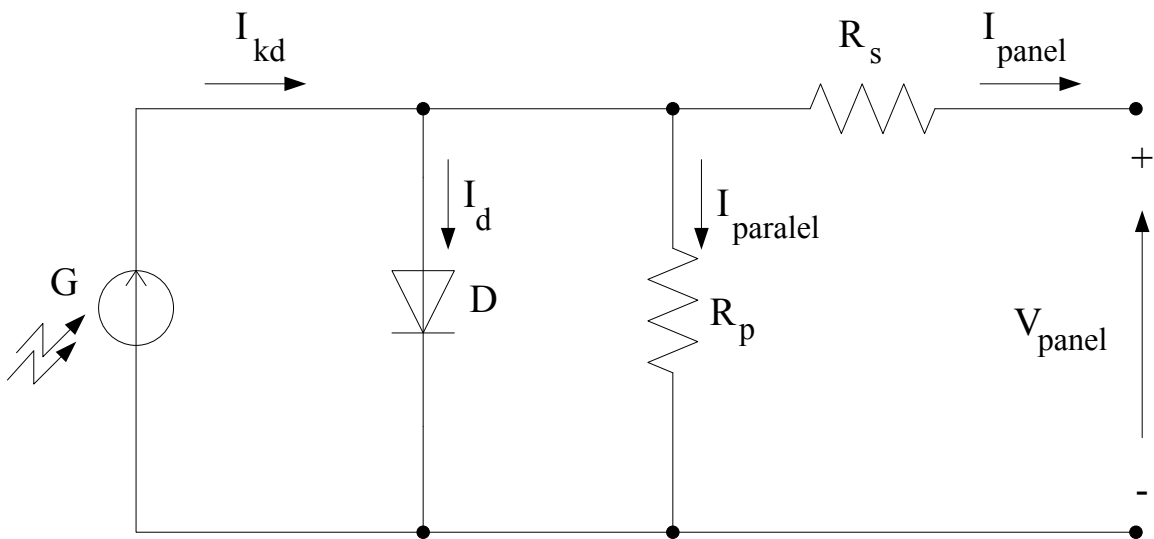


## 4.2 Fotovoltaik Panel (FV) Modelinin Çıkarılması

Bu bölümde ilk olarak genel bir fotovoltaik panelin eşdeğer devresi incelenecek ve panel elemanlarının nasıl modellendiği görülecektir. Daha sonra bu panel eşdeğer devre modelinden yararlanılarak çalışmada kullanılan ve genel karakteristik özellikleri verilen fotovoltaik panelin karakteristik eşitlikleri çıkartılacaktır. Elde edilen karakteristik eşitlikler ile benzetim çalışmaları yapılarak karakteristiğin maksimum güç noktaları tespit edilecektir.

### 4.2.1 Fotovoltaik Panel (FV) Eşdeğer Devresi

Şekil 4.1'de fotovoltaik panelin eşdeğer devresi görülmektedir. Fotovoltaik panelden elde edilen elektrik üretimi devrede gerilim bağımlı bir akım kaynağından çekilen akım ile  $I_{kd}$  gösterilmiştir. Hücre üzerinde düşen ışınım miktarı arttıkça üretilen elektrik akımı da artmaktadır. Fotovoltaik panel gövdesi yarı iletken malzeme olması nedeni ile bir diyot ile gösterilmiştir. Fotovoltaik panelden elde edilen gerilim ise  $V_{panel}$  olarak gösterilmektedir. Çıkış ucuna seri bağlı olarak gösterilen direnç değeri  $R_s$  hücreleri oluşturan yarı iletken malzemenin direnci ile hücrelerin birbirlerine bağlantı noktalarında oluşan temas dirençlerinin toplamına eşittir. Paralel direnç  $R_p$  ise çok ince katmanlardan oluşan ince film yapısına sahip malzemelerde katmanlar arasında ve hücre çevresinde oluşan dirençlerin toplamı olarak alınmaktadır. Yapılan incelemelerde seri direnç değerinin paralel dirence oranla çok küçük olduğu ve ihmal edilebileceği belirlenmiştir. Devrenin asıl direnci seri direnç olarak kabul edilebilir.



Şekil 4.1 Fotovoltaik Panel Eşdeğer Devresi

#### 4.2.2 Fotovoltaik Panel (FV) Karakteristik Eşitliklerinin Çıkartılması

Şekil 4.1'den görüldüğü üzere bir fotovoltaik panelin dış dünyaya verdiği akım miktarı kısa devre akımı ile diyot üzerinden geçen akımın farkına eşittir. Bu durumda;

$$I_{panel} = I_{kd} - I_d \quad (4.2)$$

$$I_d = I_o \left( e^{\frac{qkt \times V}{a \times c}} \right) \quad (4.3)$$

olmaktadır. Burada  $I_o$  diyot doyma akımı olup ifadesi;

$$I_o = I_{kd} \times \left( e^{\frac{qkt \times V_{ad}}{a \times c}} \right) \quad (4.4)$$

şeklindedir. Karakteristik eşitliklerde kullanılan terimler Çizelge 4.2'de verilmiştir. Verilen eşitliklere göre panel akımını seri ve paralel bağlı panel sayısına göre yeniden yazacak olursak;

$$I_{panel} = (N_p \times I_{kd}) - \left[ N_p \times I_o \times \left( e^{\frac{qkt \times V}{a \times c \times N_s}} - 1 \right) \right] \quad (4.5)$$

İfadesini elde ederiz. Bu ifade ile panel gerilimi ile akımı arasındaki karakteristiği modellemiş oluyoruz.

Büyük çoğunlukla ışınım şiddetine göre değişen panel kısa devre akımı ise;

$$I_{kd} = I_{kdp} \times \left( \frac{Am}{1000} \right) \quad (4.6)$$

şeklinde ifade edilmektedir. Fotovoltaik panelin açık devre gerilimi ise ışınım miktarından çok az etkilenmekle birlikte genel olarak panel sıcaklığı ile değişmektedir. Panel açık devre geriliminin ( $V_{ad}$ ) sıcaklık ve ışınım şiddeti ile değişimini temsil eden ifadesi şu şekildedir;

$$V_{ad} = V_{adp} - \left( e^{\frac{1000 - Am}{1000}} - 1 \right) - \left[ (T_c - 25) \times 0.226 \right] \quad (4.7)$$

Çizelge 4.2 Fotovoltaik Panel Karakteristik Eşitlikleri Terimleri

<b>Am</b>	Işınım Şiddeti, (0 ~ 1000 W/m <sup>2</sup> )
<b>qkt</b>	Sabit Katsayı, 38.66
<b>a</b>	Diyot İdealitesi, 2.58
<b>c</b>	Hücre Sayısı, 116
<b>N<sub>s</sub></b>	Seri Bağlı Panel Sayısı
<b>N<sub>p</sub></b>	Paralel Bağlı Panel Sayısı

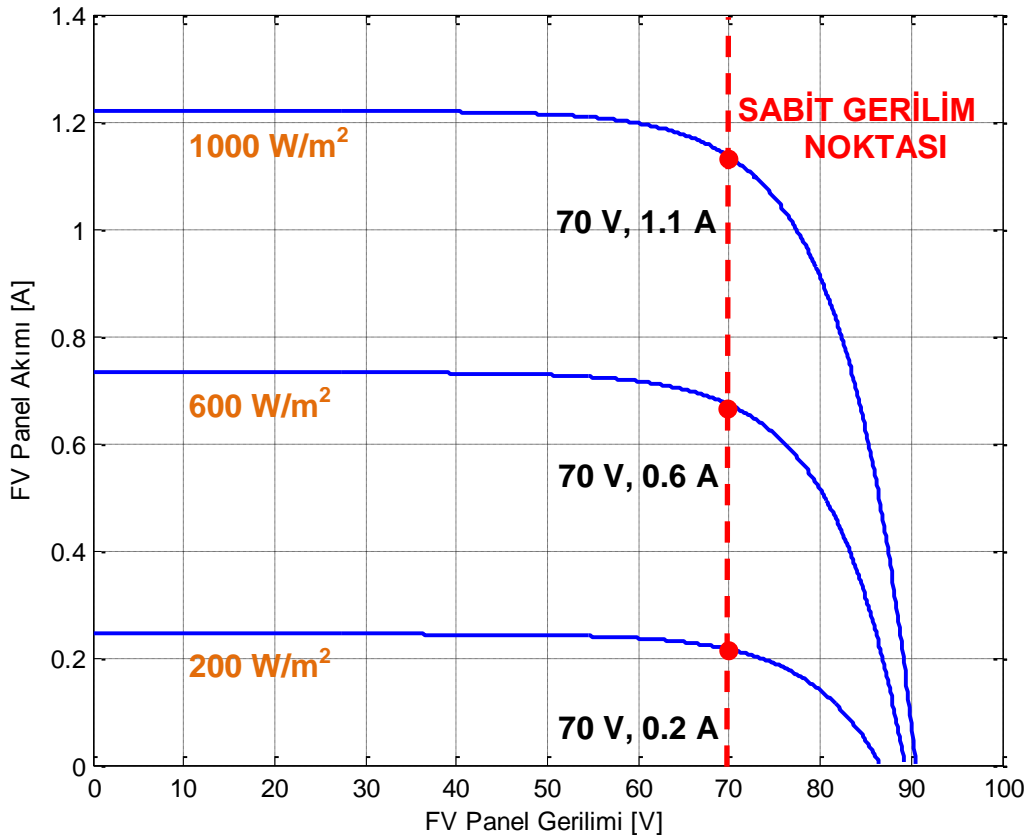
Çizelge 4.3 FS-277 İnce Film Fotovoltaik Panel Karakteristik Özellikleri

<b>V<sub>ad</sub></b>	90.5 V
<b>I<sub>kd</sub></b>	1.22 A
<b>V<sub>mgn</sub></b>	70 V
<b>I<sub>mgn</sub></b>	1.11 A
<b>P<sub>mak</sub></b>	77 W
<b>c</b>	116

Bu ifadelerde yer alan 'Am' değeri ışınım değeri olup bu değer birim metrekare başına düşen güç değerini göstermektedir ve genellikle bulunulan coğrafi alana göre 0...1000 W/m<sup>2</sup> arasında değer almaktadır. Diğer bir sabit olan 'qkt' sabiti Boltzman katsayısı, birim elektron yükü ve birim sıcaklık değerlerinin çarpımından elde edilen bir katsayıdır.

Diyot idealitesini gösteren 'a' sayısı her panel için farklı değerde olup bu çalışmada kullanılan ince film teknolojisi yapısındaki fotovoltaik panel için 2.58 olarak belirlenmiştir. Hücre sayısı 'c' yine her panele göre değişiklik gösteren ve bir paneldeki toplam hücre sayısını belirtmektedir. Paneller yüksek güç sağlamak amacıyla seri yada paralel olarak bağlanabileceğinden seri ve paralel bağlı panel sayısı sırasıyla 'N<sub>s</sub>' ve 'N<sub>p</sub>' olarak gösterilmiştir. Eşitlik 4.7'de kullanılan '0.226' katsayısı yine ince film panel teknolojisi için sıcaklıkla değişim için belirlenmiş sabit bir katsayıdır. I<sub>kdp</sub> ile V<sub>adp</sub> değerleri ise sırası ile panel kısa devre akımı ve panel açık devre gerilimini göstermektedir. Bu çalışmada kullanılan ince film teknolojisi ile üretilmiş fotovoltaik panele ait karakteristik özellikler Çizelge 4.3'te verilmiştir.

Panel karakteristik eşitliklerinin sonuçlarını görmek için MATLAB programı kullanılarak fotovoltaik panele ait I-V karakteristiği daha önce elde edilen karakteristik eşitlikler kullanılarak çizdirilmiştir.

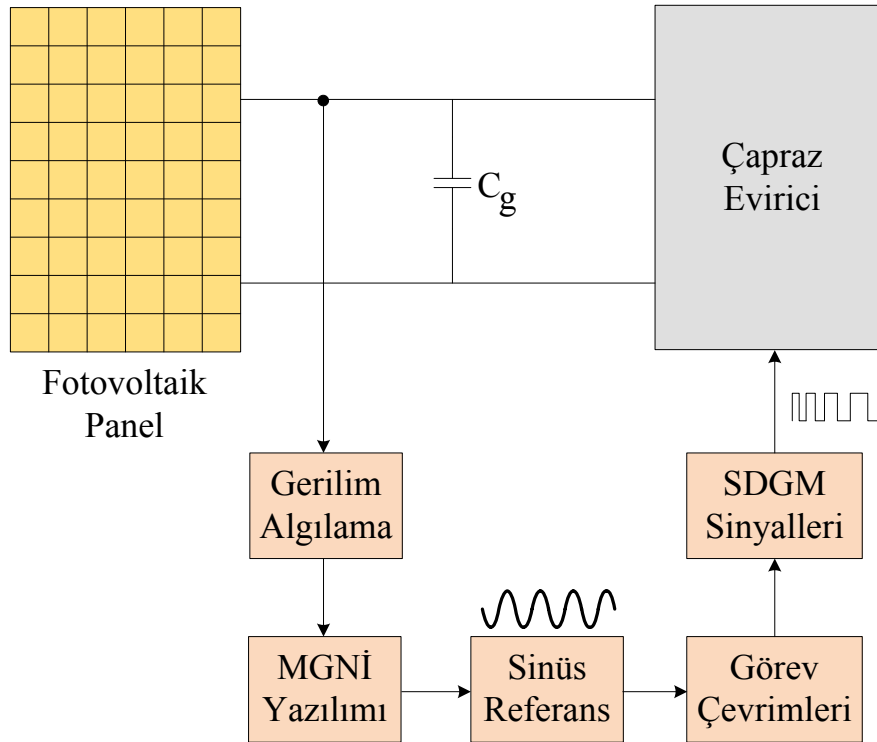


Şekil 4.2 Farklı Işınım Değerleri İçin Fotovoltaik Panel I-V Karakteristikleri

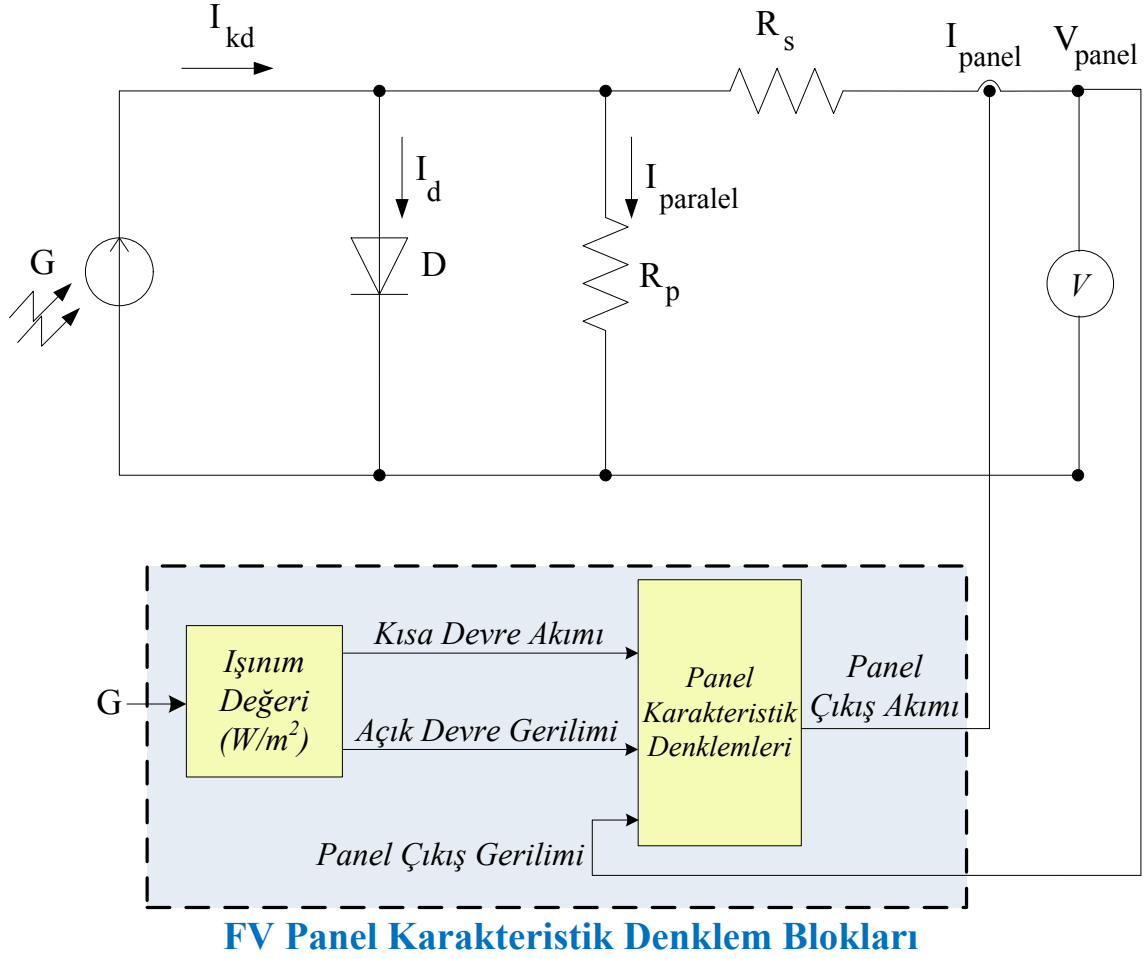
Şekil 4.2’de fotovoltaik panele ait I-V karakteristiği üç farklı ışınım değeri için çizdirilmiştir. Çizelge 4.3 ile karşılaştırıldığında  $1000 \text{ W/m}^2$ ’deki ışınım değeri için çizilen karakteristikten elde edilen akım ve gerilim değeri ile panele ait aynı ışınım değeri için verilmiş olan akım ve gerilim değeri yakalanmıştır. Farklı ışınım noktalarındaki güç değerleri ışınım değerleri ile aynı orantıda değişim göstermektedir. Buda elde edilen karakteristik eşitliklerin başarılı olduğu sonucunu vermektedir.

#### 4.3 Maksimum Güç İzleyicisi Tasarımı ve Benzetim Çalışmaları

MGNİ sisteminin çalışma yapısını gösteren blok şema Şekil 4.3’te verilmiştir. SGI yöntemini kullanan bu sistemde fotovoltaik panelden gerilim bilgisinin elde edilmesi yeterli olmaktadır. Şekil 4.2’deki I-V karakteristik incelendiğinde farklı ışınım değerleri için panel geriliminin  $70 \text{ V}$ ’ta sabit tutulması ile maksimum güce ulaşıldığı görülmektedir. Bu referans gerilim değeri hem fotovoltaik panelin karakteristik özelliklerden, hem de panel eşdeğer devresinden elde edilen eşitlikler ile çizdirilen I-V karakteristikten görüldüğü üzere  $70 \text{ V}$  olup, her ışınım değerinde bu gerilimi sabit tutacak şekilde bir sinüs referans gerilimi oluşturarak çapraz çevirgecin maksimum güç noktasında çalışması sağlanacaktır.



Şekil 4.3 MGNİ Çalışma Yapısını Gösteren Blok Şema



Şekil 4.4 Fotovoltaik Panel Karakteristiklerinin Modellenmesi

MGNİ sisteminin benzetim çalışmasını yapmak için ilk olarak panel eşdeğer devresinden elde edilen panel karakteristik eşitliklerinin benzetim programında modellenmesi gerekmektedir. Bu nedenle elde edilen tüm karakteristik ifadeleri benzetim programında yer alan eşitlik bloklarına gömülerek ve gerekli eşitlikler arasındaki bağlantı blok giriş çıkışlarıyla sağlanarak fotovoltaik panelin karakteristik modeli elde edilmiştir. Panel akımı gerilim denetimli bir akım kaynağına bağlanarak model tamamlanmıştır. Benzetim çalışmasında sırası ile  $1000 \text{ W/m}^2$  ve  $500 \text{ W/m}^2$  değerleri için benzetim yapılmıştır. Yük olarak Şekil 4.4'teki çıkış tarafına karakteristik üzerinde bulunmak istenen noktaya ait akım ve gerilim bilgisinden yararlanılarak ona eşdeğer olan direnç değeri kullanılmıştır. Örneğin  $1000 \text{ W/m}^2$  değerinde maksimum güç noktasındaki gerilim değeri  $70 \text{ V}$ , akım değeri ise  $1.1 \text{ A}$  olduğundan bu noktaya karşılık gelen direnç değeri olan  $63 \Omega$  kullanılmıştır. Benzetim sonuçlarında  $1000 \text{ W/m}^2$  için  $77 \text{ W}$ ,  $500 \text{ W/m}^2$  için  $35 \text{ W}$  panel çıkış gücü elde edilmiş ve çıkarılan karakteristik eşitlikler doğrulanmıştır.

## 5. ÇAPRAZ EVİRİCİ TOPOLOJİSİNİN TASARIMI

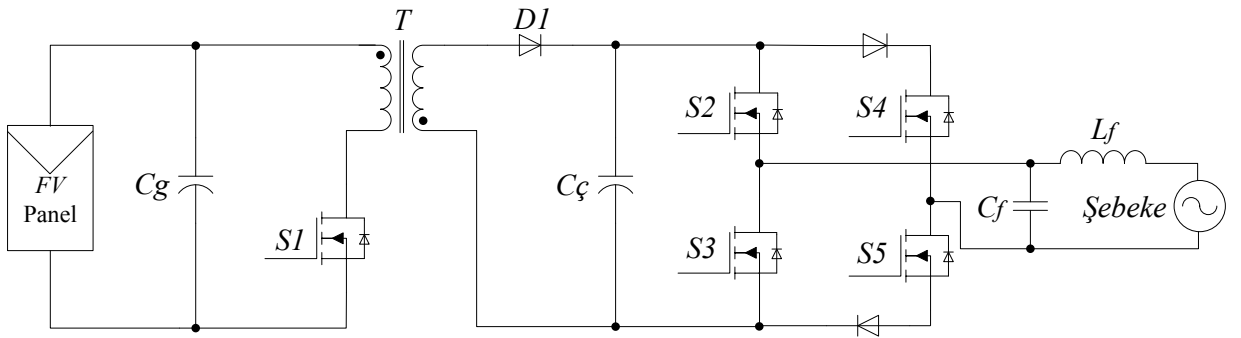
Şekil 5.1’de geleneksel bir çapraz eviricinin devre topolojisi yer almaktadır. Bu bölümde ilk olarak çapraz evirici topolojisinin güç katı devresinin Bölüm 5.1’de verilen tasarım isterlerine göre tüm devre elemanlarının tasarımı yapılacaktır. Sürekli iletim moduna göre çalışacak çapraz evirici için gerekli matematiksel ifadelerin elde edilmesi ile devre elemanlarının tasarımına geçilecektir. Daha sonra doğrudan sayısal sentez tekniğini kullanan çapraz eviricinin denetim devresi tasarımı benzetim programında modellenerek, tüm sistemin bilgisayar benzetimleri yapılacak ve sonuçlar başlangıçta verilen tasarım isterleri değerleri ile karşılaştırılacaktır.

### 5.1 Çapraz Evirici Devresi İçin Tasarım İsterleri

Çapraz evirici tasarımı için belirlenen tasarım isterleri Çizelge 5.1’de listelenmiştir. Giriş gerilimi ve çıkış gücünü kullanılan fotovoltaik panelin teknik özellikleri belirlemiştir. Anahtarlama frekansı mikro denetleyici çalışma hızına göre 20 kHz üzerinde olacak şekilde belirlenmiştir. Çıkış gerilim ve frekans değeri Türkiye için standart şebeke gerilim ve frekans değerleridir.

Çizelge 5.1 SGI Yönteminin Diğer MGNİ Yöntemleri İle Karşılaştırılması

Giriş gerilimi (MGN, DA):	70 V
Çıkış gerilimi (AA yük):	$220V_{rms} \pm \%10V$ , 50 Hz
Maksimum çıkış gücü	150 W
Maksimum Görev Çevrimi Değeri	0.5
Anahtarlama frekansı	40 kHz



Şekil 5.1 Çapraz Evirici Güç Devresi Şeması

### 5.1.1 Giriş Kondansatörünün Seçimi

Çapraz evirici giriş gücünü bağlı olduğu panel grubundan almaktadır. Panelden çekilen güç, sıcaklık değişimi veya ani gölgelenmelerde salınım yapmaktadır. Bu salınımı en aza indirmek için panel grubu ile çapraz evirici girişine giriş kondansatörü konulmaktadır. Bu kondansatör çapraz evirici gibi düşük güçlerde elektrolitik yapıda olup, daha yüksek güçlerde (200W-700W) metal film kullanılmaktadır. Buradaki temel esas kondansatörün depoladığı enerjiyi kesinti durumlarında istenilen süre kadar çıkışa aktarabilmek ve ayrıca yukarıda söylendiği gibi giriş gerilimindeki dalgalanmaları en aza indirgemektir. Çapraz eviricinin çıkış gerilimi frekansı 50 Hz bir periyot olup 20 ms'ye denk gelmektedir. Çapraz eviricinin 40 kHz anahtarlama frekansında çalıştığı ve bir periyodunun 25 µs olduğu düşünülürse çıkış geriliminin bir periyot süresi için kondansatör değerinin hesaplanması uygundur. Giriş kondansatörü hesabı için en kötü koşul göz önüne alınmalıdır. Buna göre çapraz eviricinin çalışabileceği panel gücünün en düşük değeri ışınma değerinin 200 W/m<sup>2</sup> olduğu durum olup bu koşuldaki panel gücü yaklaşık olarak 30W'tır. Böylece en kötü koşul için giriş kondansatörünün değeri;

$$C_g = \frac{P_g \times t}{\frac{1}{2} \times V_g^2} = \frac{150 \times 0.02}{\frac{1}{2} \times 70^2} = 1224 \mu F \quad (5.1)$$

olmaktadır. Burada giriş gerilimi kararlı durum için alınmış değerdir. Tasarımda piyasada yaygın olarak kullanılan 100 V, 270µF elektrolitik kondansatör kullanılmıştır.

### 5.1.2 Giriş Katındaki Anahtarın Seçimi

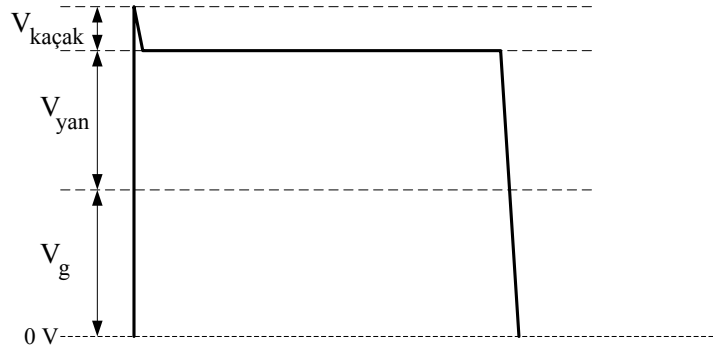
Bu bölümde Şekil 5.1'de gösterilen geleneksel çapraz eviricinin giriş katındaki anahtarın tasarımı incelenmiştir. Anahtar seçiminde dikkat edilmesi gereken konular şunlardır;

- Maksimum Kırılma Gerilimi
- Sürekli Akım Değeri
- Tepe Akım Değeri
- Termal Performansı



### 5.2.2.1 Maksimum Kırılma Geriliminin Hesaplanması

Maksimum kırılma gerilimi ana anahtarın kesimde olduğu durumda oluşmaktadır. Bu durumda anahtar üzerinde giriş gerilimi ve çıkış geriliminin yansıyan değeri görülmektedir. Ayrıca transformatörün kaçak endüktansı da bu değeri yüksek seviyelere çıkartmaktadır. Şekil 5.2'de ana anahtar üzerine düşen teorik gerilim değerleri görülmektedir.



Şekil 5.2 Çapraz Eviricinin Ana Anahtarı Üzerine Düşen Gerilimler

Şekil 5.2'ye göre çapraz evirici ana anahtarı üzerine düşen gerilim;

$$\hat{V}_{DS1} = V_g + \left( \frac{1}{N} \times \hat{V}_\varphi \right) + V_{kaçak} \quad (5.2)$$

olarak hesaplanmaktadır. Giriş gerilim değerinin 70 V, transformatör tur oranı değerinin 5 olduğu ve çıkış geriliminin tepe değerinin 310 V olduğu bilindiğine göre giriş katındaki ana anahtarın üzerindeki tepe gerilimi Eşitlik 5.2'e göre 132 V olmaktadır. Burada kaçak endüktanstan dolayı oluşan gerilim sıçramaları ve güvenlik payı da eklenirse giriş katındaki anahtar için en az 250 V kırılma gerilimine sahip bir anahtar seçilmelidir.

### 5.1.2.2 Sürekli ve Tepe Akım Değerlerinin Hesaplanması

Ana anahtar içinden geçecek ortalama maksimum akım değeri, çıkış akımının maksimum görev çevrimindeki akım değerinin tur oranı ile çarpımına eşittir. Tasarım isterlerinde maksimum güç değeri 150 W ve çıkış geriliminin efektif değeri 220 V olarak verilmiştir. Buna göre çıkış akımının maksimum etkin değeri 0.68 A olmaktadır. Görev çevriminin maksimum 0.5 ve tur oranının 5 olduğu bilindiğine göre girişten geçecek ortalama maksimum akım değeri 6.8 A olmaktadır. Giriş tepe akım değerini bulabilmek için mıknatıslanma endüktansının ve dolayısı ile giriş

dalgalanma akımının bilinmesi gereklidir. Sürekli iletim modunda çalışan çapraz evirici için dalgalanma akımı çok yüksek değerler almamaktadır. Bu yüzden giriş dalgalanma akımı giriş ortalama maksimum akım değerinin %20 ~ %50'si arasında bir değer olabilir. Giriş akımının ortalama maksimum değerinin;

- %20'si için dalgalanma akım değeri ( $\Delta I$ ) = 1.36 A,
- %50'si için dalgalanma akım değeri ( $\Delta I$ ) = 3.4 A

olmaktadır. Burada en kötü koşul için ana anahtar içinden geçen tepe akım değeri, ortalama maksimum akım değeri ile dalgalanma akım değerinin yarısının toplamına eşittir. Bu değer;

$$\hat{I}_{DS1} = 6.8 + \left( \frac{3.4}{2} \right) = 8.5 A \quad (5.3)$$

olarak bulunmaktadır. Giriş katı anahtarının ortalama akım değerinin maksimum değeri maksimum giriş gücü ve giriş geriliminde oluşmaktadır. Bu değer;

$$I_{DSmak} = \frac{P_{mak}}{V_{gmak}} = \frac{150}{70} = 2.14 A \quad (5.4)$$

olmaktadır. Özetle sürekli akım iletim modu için çapraz eviricinin giriş katındaki ana anahtar için ortalama akım değeri 2.14 A ve tepe akım değeri 8.5 A olarak belirlenmektedir.

### 5.1.2.3 Giriş Katı Anahtarı Seçimi

Seçilecek MOSFET anahtarı düşük savak-kaynak direncine sahip olmalıdır. Bu sayede anahtar üzerindeki iletim kayıpları azalacaktır. Kapı anahtarlama kayıpları MOSFET anahtarının toplam kapı şarjına bağlıdır. Bu nedenle 40 kHz anahtarlama bu değer 100 nC değerinin altında olması uygun olacaktır.

$V_{DS} > 200 V$ ,  $I_{DS1} > 8.5 A$ ,  $R_{DS(on)} < 100 m\Omega$ ,  $Q_{GD} < 100 nC$  değerlerine uygun MOSFET seçilmelidir. Bu değerlere uygun olarak VISHAY firmasına ait IRFP264 Power MOSFET ana anahtar için seçilmiştir. Bu MOSFET'in genel teknik özellikleri Çizelge 5.2'de verilmiştir.

Çizelge 5.2 Giriş Katı MOSFET Anahtarı Teknik Özellikleri

$V_{DS}$ (V)	$I_D$ (A)	$R_{DS(on)}$ ( $\Omega$ )	$Q_{GD}$ (nC)
250	24	0.075	98

Çizelge 5.2'den de görüldüğü üzere seçilen MOSFET tasarımı yapılan giriş katı anahtarı için uygundur ve gerçekleştirilen devrede kullanılmıştır.

### 5.1.3 Transformator Tasarımı

Bu bölümde çapraz evirici devresindeki yüksek frekans transformatorün tasarımı incelenecektir. Transformator sürekli akım moduna göre tasarlanacaktır. Çapraz evirici transformator tasarımında bazı sınırlayıcı faktörler bulunmaktadır. Bunlar;

- Çekirdek, AA ve DA sargı kayıpları,
- Kayıplardan dolayı oluşan sıcaklık artışı,
- Çekirdeğin doyuma ulaşması

Sürekli akım iletim modunda, dalgalanma akımı küçük bir değerdedir ve AA sargı kayıpları ile AA çekirdek kayıpları çok önemli değildir. Sürekli akım iletim modunda AA sargı kayıpları çok düşük bir değerde olduğu için küçük akım dalgalanmaları ile birlikte küçük akı salınımları küçük çekirdek kayıpları meydana getirir. Çekirdek boyutu sadece kısa devre tepe akımı ile sınırlanmış olur ya da bir başka deyişle büyük ölçüde çekirdek doyumu ile ilgilidir.

Giriş gerilimine bağlı olmaksızın ikincil akımının DA bileşeni çıkış akımına eşittir. Tur oranı seçimi birincil ve ikincil taraftaki tepe akım ve tepe gerilim değerleri uygun olacak biçimde yapılır. Düşük tur oranı seçilirse, tepe anahtarlama gerilimi ve tepe doğrultma akımını azaltır. Ancak yüksek tur oranı tepe anahtar akımını ve tepe doğrultma gerilimini arttırmaktadır.

Transformator tasarımı çalışma frekansı 40 kHz'de çalışacak biçimde yapılmıştır. Daha yüksek frekanslarda performans artışı ve transformator boyutunun küçülmesine karşın yüksek anahtarlama kayıpları meydana gelmektedir.

#### 5.1.3.1 Tur Oranı Değerinin Hesaplanması

Tur oranı değeri devredeki elemanların akım ve gerilim stres değerlerini doğrudan etkilemektedir. Ayrıca tur oranı değeri ana anahtar üzerindeki gerilim ve akım stres

değerlerini azaltmaya yardımcı olur. Bir önceki bölümdeki tasarım isterleri ve çapraz eviricinin giriş-çıkış ifadesinden yararlanarak tur oranı hesabı yapılabilir.

$$\frac{V_{\phi}}{V_g} = N \times \frac{D}{1-D} \quad (5.5)$$

Tasarım isterlerinde giriş gerilimi 70 V, çıkış geriliminin tepe değeri 310 V ve, görev çevriminin maksimum değeri 0.5 olarak belirlenmişti. Bu değerler yerine konulup N tur oranı sayısı hesaplandığında;

$$N = \frac{V_{\phi}}{V_g} \times \frac{1-D}{D} = \frac{310}{70} \times \frac{1-0.5}{0.5} = 4.42 \cong 5 \quad (5.6)$$

değeri elde edilmektedir. Bu değer çıkış geriliminde olabilecek düşümler ve denetim devresinin şebekeye güç aktarımında olası gerilim yükseltilmesi ihtiyacına göre 5 olarak seçilmiştir.

### 5.1.3.2 Mıknatıslanma Endüktansı Değerinin Hesaplanması

Mıknatıslanma endüktansının belirlenmesi için ilk olarak birincil tarafa indirgenmiş olan mıknatıslanma akımının hesaplanması gerekmektedir.

$$I_M = N \times \frac{1}{D} \times \frac{V_{\phi}}{R} \quad (5.7)$$

Eşitlik 5.3'te çıkış akımının birincil tarafa indirgenmiş ifadesi görülmektedir. Bu ifadede maksimum görev çevrimi değeri ve maksimum çıkış akımı için giriş mıknatıslanma akımı tepe değeri hesaplanacaktır. Buna göre;

$$I_M = 5 \times \frac{1}{0.5} \times \frac{220}{322} = 6.83 A \quad (5.8)$$

mıknatıslanma akımı değeri 6.83 A olmaktadır.

Bu akım deęerinin yarısı kadar bir dalgalanma akımı ( $\Delta I$ ) seęilmiř olup bu deęer;

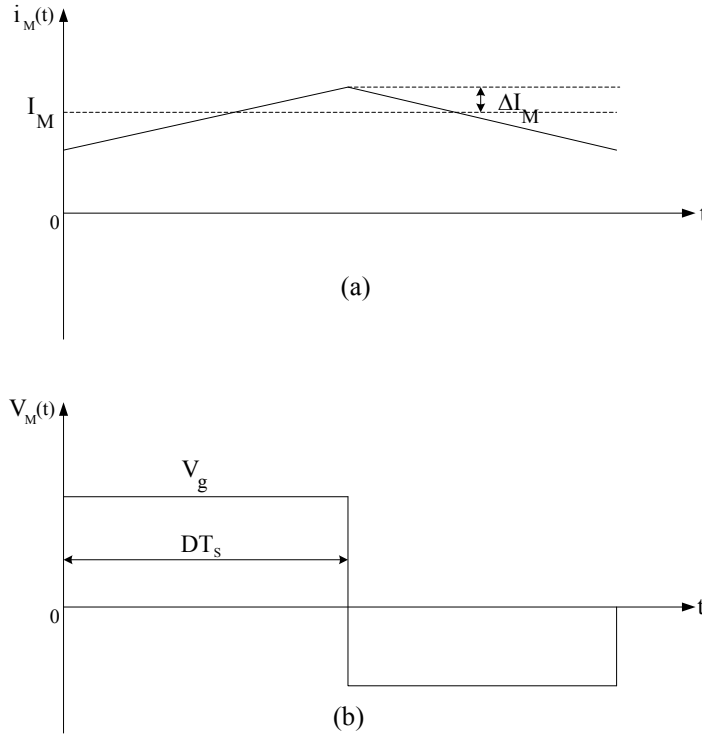
$$\Delta I_M = \frac{I_M}{2} = \frac{6.83}{2} \cong 3.5A \quad (5.9)$$

olarak hesaplanmıřtır. Bu deęer ile birlikte mıknatıslanma endüktansının deęeri hesaplanmaktadır.

řekil 5.3'deki mıknatıslanma akımının ana anahtarın iletimde olduęu bölgedeki eęimi mıknatıslanma endüktasını vereceęinden bu deęer;

$$L_M = \frac{V_g \times D \times T_a}{\Delta I_M} = \frac{70 \times 0.5 \times 25\mu}{3.5} = 250\mu H \quad (5.10)$$

olarak hesaplanmıřtır.



řekil 5.3 Bir Periyot İęin Transformatör Mıknatıslanma Akımı (a) ve Gerilimi (b)

### 5.1.3.3 Çekirdek Seçimi

Anahtarlama güç kaynaklarında kullanılan ferit çekirdekli transformatör tasarımında anahtarlama frekansı, çalışma akı yoğunluğu, çekirdek kayıpları ve çalışma sıcaklığı gibi kavramlara dikkat edilmesi gerekmektedir. Ortam sıcaklığının yükselmesi Ferit malzemenin çekirdek kaybına ve sargıların bakır kayıplarına doğrudan etki etmektedir. Çekirdek kaybindan kaynaklanan sıcaklık artışını sınırlamak için tasarımcı, belirlenmiş anahtarlama frekansı için çalışma akı yoğunluğunu sınırlamalıdır. Değişik Ferit malzemeleri ile belirli sıcaklık aralığında minimum çekirdek kaybı elde edilebilir. Tasarımda SIEMENS firmasına ait N27 materyalli malzemesi olan ETD44 kullanılmıştır. Bu çekirdeğe ait bazı temel bilgiler Çizelge 5.3'te verilmiştir.

Çizelge 5.3 SIEMENS N27 Materyal ETD44 Serisi Çekirdek Özellikleri(Set Başına)

$A_L$	3300 nH
$I_e$	103 mm
$A_e$	173 mm <sup>2</sup>
$B_{mak}$	250 mT
$\mu_e$	1560

Belirlenen maksimum mıknatıslanma akımı ve mıknatıslanma endüktansı değeri için çekirdeğin doyuma girmemesi ve enerji aktarımı için hava aralığının hesaplanması gerekmektedir. Buna göre minimum hava aralığı;

$$I_h = \frac{\mu_0 \times L_M \times I_{Mmak}^2}{B_{mak}^2 \times A_c} \times 10^4 = \frac{4\pi 10^{-7} \times 250 \mu \times 8.55}{0.2^2 \times 1.73} = 1.14 mm \quad (5.11)$$

olmaktadır. Burada çekirdeğe ait teknik özelliklerde verilen maksimum akı değeri olan 250 mT yerine güvenlik amacı ile 200 mT değeri kullanılmıştır. Çekirdeğin kesit değeri olan  $A_c$  değeri yine çekirdeğe ait teknik özellikler kısmında verilmiş olup santimetre cinsinden yazılmıştır. ETD serisi çekirdek malzemelerde çift hava aralığı bulunduğundan Eşitlik 5.11'deki değerinin yarısı her bir hava aralığı için kullanılacaktır.

#### 5.1.3.4 Sarım Sayısı ve Tel Çapı Değerlerinin Hesaplanması

Transformatörün tur oranı belirlendikten sonra birincil ve ikincil taraftaki sarım sayısı değerlerini hesaplayabilmek için temel endüktans eşitliğinden yararlanılmaktadır.

$$L = \frac{N\phi}{I} \quad (5.12)$$

Eşitlik 5.12'ye göre doğrusal bir manyetik devrede, N adet tel etrafında oluşan akının tepe değerinin, telin içinden geçen akımın tepe değerine oranı endüktansı vermektedir. Burada akı değeri, çekirdeğin maksimum akı yoğunluğu ile çekirdeğin kesitinin çarpımından elde edilmektedir. Bu eşitlikten yararlanarak daha önce bulduğumuz mıknatıslanma endüktansı ve çekirdeğe ait teknik özellikleri kullanarak birincil taraftaki tur sayısı oranını bulabiliriz. Buna göre;

$$n_1 = \frac{L_M \times I_{Mmak}}{B_{mak} \times A_c} \times 10^4 = \frac{250\mu \times 8.55}{0.2 \times 1.73} \times 10^4 \cong 60 \quad (5.13)$$

değerini vermektedir. Bu sarım sayısında çekirdeğin doyuma girmemesi için maksimum akı yoğunluğu değeri 200 mT alınmıştır. Daha önce hesapladığımız tur oranı değeri 5 olduğundan ikincil taraftaki sarım sayısı değeri birincil taraftaki sarım sayısı değerinin 5 katıdır. Böylece;

$$n_2 = N \times n_1 = 5 \times 60 = 300 \quad (5.14)$$

bulunmaktadır. Sarım sayıları hesaplandıktan sonra akım yoğunluğu değerine göre tel çaplarının hesabı yapılmaktadır.

Tel çaplarını hesaplamak için ilk olarak birincil ve ikincil taraftaki etkin değer akım değerlerinin hesaplanması gerekmektedir.  $I_1$  birincil taraf etkin değer akım ve  $I_2$  ikincil taraf etkin değer akım olmak üzere bu sargılardan geçen etkin değer akım hesabı;

$$I_1 = I_M \sqrt{D} \sqrt{1 + \frac{1}{3} \left( \frac{\Delta i_M}{I_M} \right)} = 6.04A \quad (5.15)$$

$$I_2 = \frac{n_1}{n_2} I_M \sqrt{D} \sqrt{1 + \frac{1}{3} \left( \frac{\Delta i_M}{I_M} \right)} = 1.2A \quad (5.16)$$

olmaktadır. Ortalama akım yoğunluğu değeri  $J_e=4A/mm^2$  alınırsa birincil taraftaki toplam tel kesit alanı ve tel çapı hesabı aşağıdaki şekilde yapılmaktadır.

- Birincil Sargı Toplam Kesit Alanı  $A_1 = \frac{6.04}{4} = \pi r^2 = 1.51mm^2$
- Bu ifadeden r yarıçap değeri çekilirse  $r_1 = 0.69mm$
- Tel çapı 2r olduğundan  $d_1 = 1.38mm$  olarak hesaplanmaktadır.

Aynı şekilde ikincil taraftaki tel çapı hesaplanacak olursa;

- İkincil Sargı Toplam Kesit Alanı  $A_2 = \frac{1.2}{4} = \pi r^2 = 0.3mm^2$
- Bu ifadeden r yarıçap değeri çekilirse  $r_2 = 0.3mm$
- Tel çapı 2r olduğundan  $d_2 = 0.6mm$  olarak hesaplanmaktadır.

Tasarlanan transformatöre ait temel değerler Çizelge 5.4'te verilmiştir.

Çizelge 5.4 Transformator Tasarım Değerleri

Tur Oranı	5
Mıknatıslanma Endüktansı	250 $\mu$ H
Çekirdek	SIEMENS ETD 44 N27 Materyal
Hava Aralığı Değeri	1.14 mm
Birincil Sargı Sarım Sayısı	60
İkincil Sargı Sarım Sayısı	300
Birincil Sargı Tel Çapı	1.38 mm
İkincil Sargı Tel Çapı	0.6 mm



#### 5.1.4 Çıkış Diyotunun Seçimi

Giriş katı anahtarının iletimde olduğu süre boyunca çıkış katındaki diyot üzerinde hem çıkış gerilimi hem de giriş geriliminin ikincil taraftaki değeri görünmektedir. Bütün bu değerler belli olduğunda çıkış katındaki diyot için gerilim stresi değeri şu eşitlikle bulunmaktadır;

$$V_{RRM} = V_{\zeta} + (N \times V_{gmak}) = 310 + (5 \times 70) = 660V \quad (5.17)$$

Diyot üzerindeki bu gerilim değeri maksimum görev çevrimindeki değer olup transformatör kaçak endüktansından dolayı oluşacak gerilim sıçramaları dahil edilmemiştir. O yüzden kaçak endüktans değeri ile birlikte en az 1000 V'luk ters dayanma gerilimine ( $V_{RRM}$ ) sahip bir diyot seçilmelidir. Ayrıca anahtarlama frekansına uygun ters toparlanma zamanı yüksek bir diyot seçilmesi gerekmektedir. Gerçekleştirilen devrede ST firmasına ait BYT-30 modelinde ultra hızlı diyot tercih edilmiştir. Bu diyota ait teknik özellikler Çizelge 5.5'te verilmiştir.

Çizelge 5.5 Çıkış Katı Diyotu Teknik Özellikleri

$V_{RRM}$ (V)	$I_{Fe}$ (A)	$t_{RR}$ (ns)
1000	70	165

#### 5.1.5 Çıkış Kondansatörünün Seçimi

Çapraz eviricide çıkış kondansatörünün değeri gereksinimlerde istenen çıkış geriliminin dalgalanma değerine bağlıdır. Kondansatörün seri empedansı ve güç katının çıkış akımı çıkış gerilim dalgalanma miktarını belirlemektedir. Sürekli akım iletim modunda maksimum çıkış gerilim dalgalanmasına göre belirlenecek olan minimum çıkış kondansatörü değeri;

$$C_{min} = \frac{Q}{\Delta V_{mak}} = \frac{I_{\zeta mak} \times D_{mak}}{\Delta V_{mak} \times f_a} = 0.5 \mu F \quad (5.18)$$

Bu eşitlik çıkıştaki dalgalanmanın tamamen kondansatörün kendi sığasından kaynaklandığını ifade eder. Çünkü ana anahtar iletimde olduğunda çıkış sadece kondansatör tarafından beslenmektedir. Gerçekleştirilen devrede 400 V, 0.5  $\mu F$  değerine sahip eşdeğer seri direnci düşük (10m $\Omega$ ) metal film kondansatör kullanılmıştır.

### 5.1.6 H-Köprü Anahtarlarının Seçimi

Çapraz evirici çıkışında üretilen tam dalga sinüs gerilimi H-köprü anahtarları ile şebeke frekansında anahtarlansak çıkış geriliminin sinüzoidal gerilim olmasını sağlamaktadır. Çıkış geriliminin istenilen değerinin 310 V tepe değerinin olması ve MOSFET akımının 2 A tepe değerine sahip olduğu bilindiğinden bu değerlere güvenlik payı da eklenerek INTERNATIONAL RECTIFIER firmasına ait IRF840 Power MOSFET seçilmiştir. Bu anahtara ait teknik özellikler Çizelge 5.6'da verilmiştir.

Çizelge 5.6 H-Köprü Anahtarları Teknik Özellikleri

$V_{DS}$ (V)	$I_D$ (A)	$R_{DS(on)}$ ( $\Omega$ )	$Q_{GD}$ (nC)
500	8	0.85	32

Çizelge 5.6'daki değerlere bakıldığında H-köprü anahtarları için seçilen MOSFET'in uygun olduğu anlaşılmaktadır. Buradaki savak-kaynak direnci yüksek olsa da çıkışta anahtarlama frekansı 100 Hz olduğundan iletim kaybı çok düşük olacaktır.

### 5.2 Çapraz Evirici Topolojisinin Benzetimi

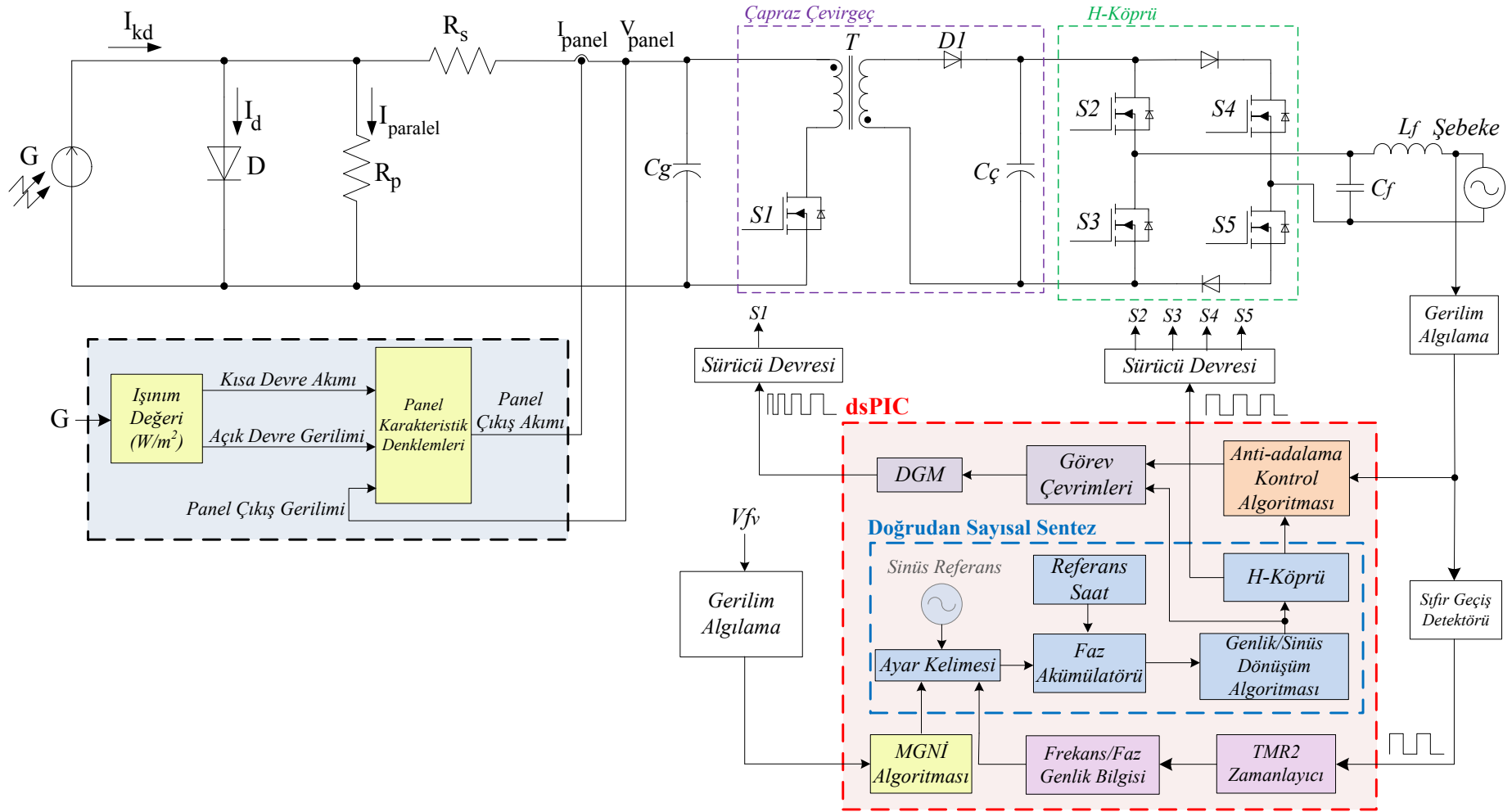
Şekil 5.4'te çapraz evirici topolojisi, sıfır geçiş detektörü, maksimum güç noktası izleyicisi sistemi ve H-köprü devresinin Simplorer programı ile devre şeması çıkarılmış ve benzetim çalışmaları yapılmıştır. Panel eşdeğer devresini elde etmek amacı ile daha önce çıkartılmış olan panel karakteristikleri benzetim programında bloklar halinde modellenmiştir. Çapraz evirici devresi geleneksel çapraz çevirgeç devresi çıkışına H-köprü devresinin eklenmesi ile elde edilmiştir.

Şekil 5.5 ve Şekil 5.6'da farklı iki ışınım değeri için çapraz evirici çıkış gerilimi ve akımı çizdirilmiştir. Çıkış gerilim ve akım şekline bakıldığında saf sinüzoidal gerilim dalga şekline yakın olduğu görülmektedir. Gerilim ve akım dalga şeklinin sıfır geçişlerine dikkat ile bakıldığında atlamalar olduğu görülecektir. Bunun sebebi çapraz evirici topolojisindeki çıkış kondansatörünün her yarım periyotta uygulanan görev çevirimi değeri 0 olsa dahi kondansatör içerisinde depolanan artık enerjiden kaynaklanmaktadır. Şekil 5.7 ve Şekil 5.8'de aynı ışınım değerleri için fotovoltaiik panelden çekilen gerilim ve akım değerleri görünmektedir. Sabir gerilim izleyicisi yöntemine göre her ışıma değerinde fotovoltaiik panellerden maksimum güç

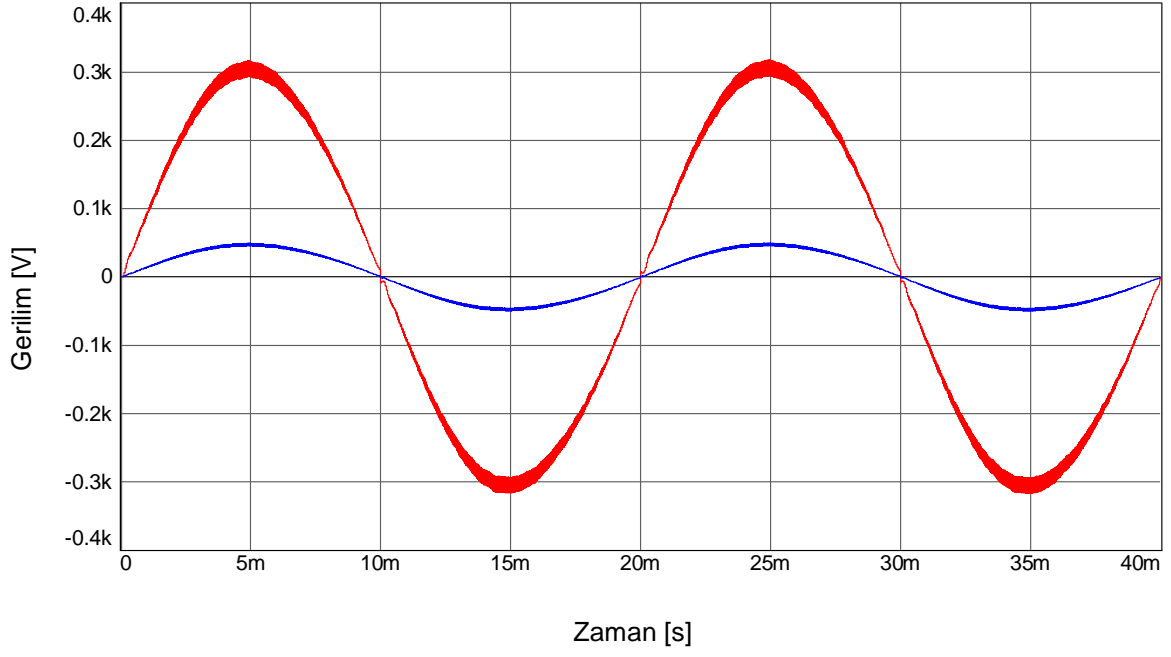
noktasında çalışma durumu için 70 V çekileceğinden benzetim sonuçları ile tasarımın doğruluğu görülmektedir.

Şekil 5.9 ve Şekil 5.10'da ana MGN çalışma durumu için ana anahtar üzerindeki gerilim dalga şekilleri görülmektedir. Eşitlik 5.2'ye göre bu değer 132 V olarak hesaplanmıştı. Dalga şekillerinden bu eşitliğin doğruluğu görünmektedir. Ayrıca transformatörün kaçak endüktansından dolayı ana anahtar üzerindeki gerilim atlamaları da Şekil 5.10'da görünmektedir. Bu atlama değeri ana anahtar kırılma geriliminden düşük olduğu için herhangi bir sönümlendirici devre kullanılmamıştır. Şekil 5.11'de ana anahtar içinden geçen akım dalga şeklinin görev çevrimi değerine bağlı olarak değişimi görülmektedir. Şekil 5.12'de ise görev çevriminin maksimum değeri ( $D=0.469$ ) için bu akımın dalga şekli görülmektedir. Bu sonuçlardan yararlanarak MOSFET ana anahtarı için  $I_{rms}$ ,  $V_{peak}$  değerleri tekrar belirlenebilir. Şekil 5.13, Şekil 5.14, Şekil 5.15 ve Şekil 5.16'da sırası ile transformatörün birincil sargı gerilim dalga şekli, ayrıntılı olarak transformatörün birincil sargı gerilim ve akım dalga şekli, transformatörün ikincil sargı gerilim dalga şekli ve ayrıntılı olarak transformatörün ikincil sargı gerilim ve akım dalga şekli görülmektedir. Transformatörün kaçak endüktansı ihmal edilmediğinden bu endüktansın etkileri transformatörün birincil ve ikincil sargı gerilimleri üzerinde görülmektedir. Şekil 5.17, Şekil 5.18 ve Şekil 5.19'da sırası ile çapraz eviricinin çıkış diyotuna ait gerilim dalga şekli, çıkış diyotuna ait akım dalga şekli ve ayrıntılı olarak çıkış diyotuna ait akım dalga şekli görülmektedir. Benzer olarak çıkış diyotu için yapılan gerilim ve akım hesaplarının benzetim sonuçlarıyla uyumlu olduğu görülmektedir. Şekil 5.20'de ise çıkış kondansatörü gerilim dalga şekli görülmektedir. Beklenildiği üzere bu dalga şekli çapraz eviricinin ana anahtarının SDGM sinyalleri ile sürülmesinden dolayı tam dalga doğrultulmuş sinüs dalga şeklindedir. Bu dalga şeklinin her periyot sonunda tam olarak sıfıra düşmemesinin sebebi uygulanan görev çevrimi değerinin sıfır olsa dahi çıkış kondansatöründeki artık gerilimin sıfıra düşmemesidir.

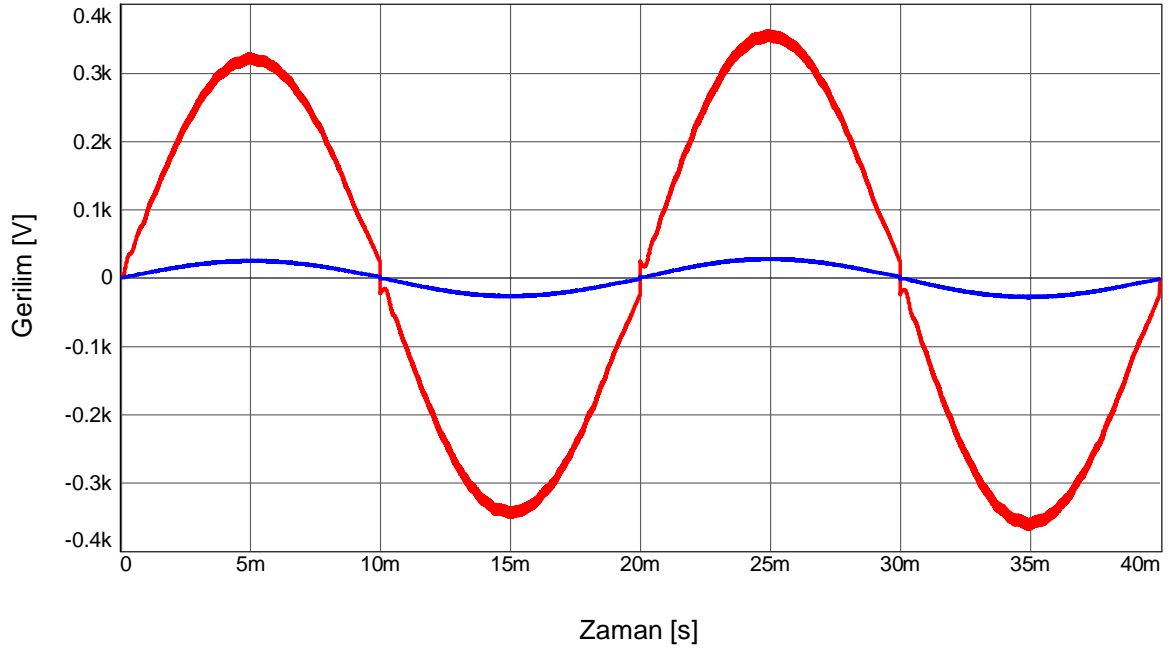
Sonuç olarak tasarımda yapılan hesaplamalar ile benzetim çıktılarındaki değerlerin birbirine yakın olduğu görülmüştür. Bir sonraki bölümde tasarımı ve benzetim çalışmaları yapılan çapraz eviricinin deneysel çalışmalarına ait sonuçlar verilecektir.



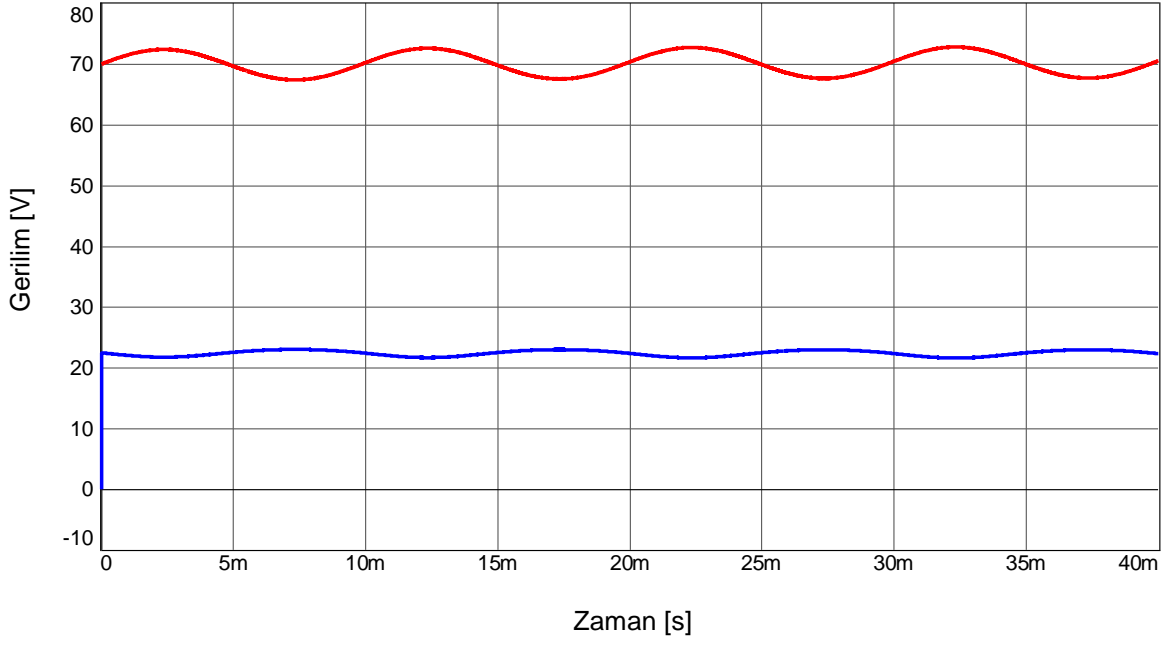
Şekil 5.4 Çapraz Evirici, Denetim Devresi ve MGNİ Sisteminin Benzetim Programındaki Devre Şeması



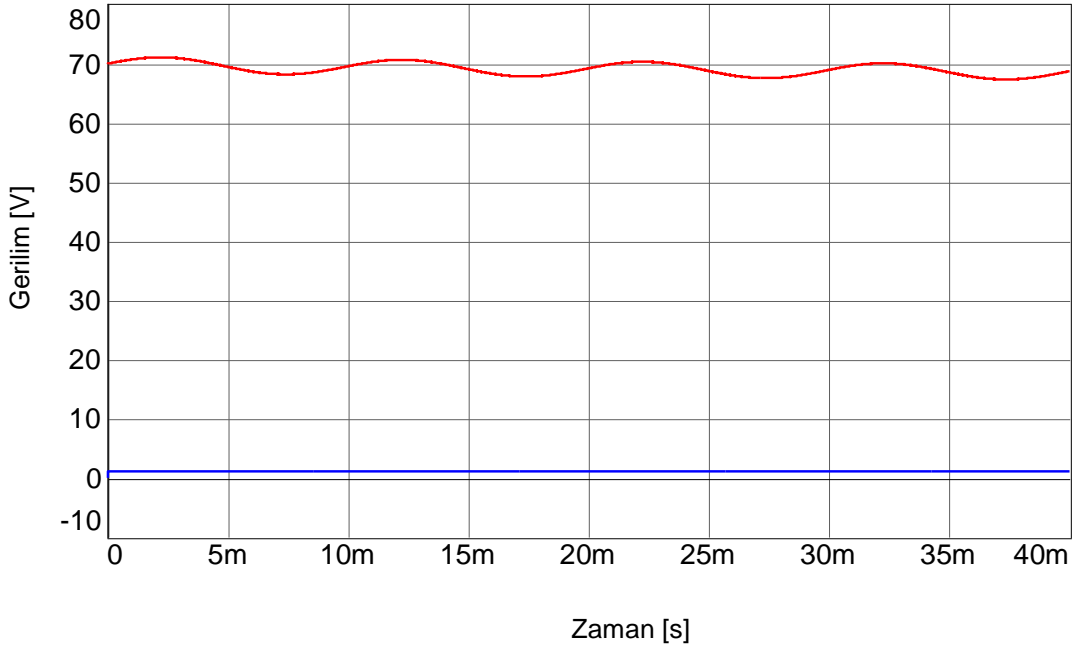
Şekil 5.5 1000 W/m<sup>2</sup> Işınım Değerinde Çapraz Evirici Çıkış Gerilimi ve Çıkış Akımının Dalga Şekilleri



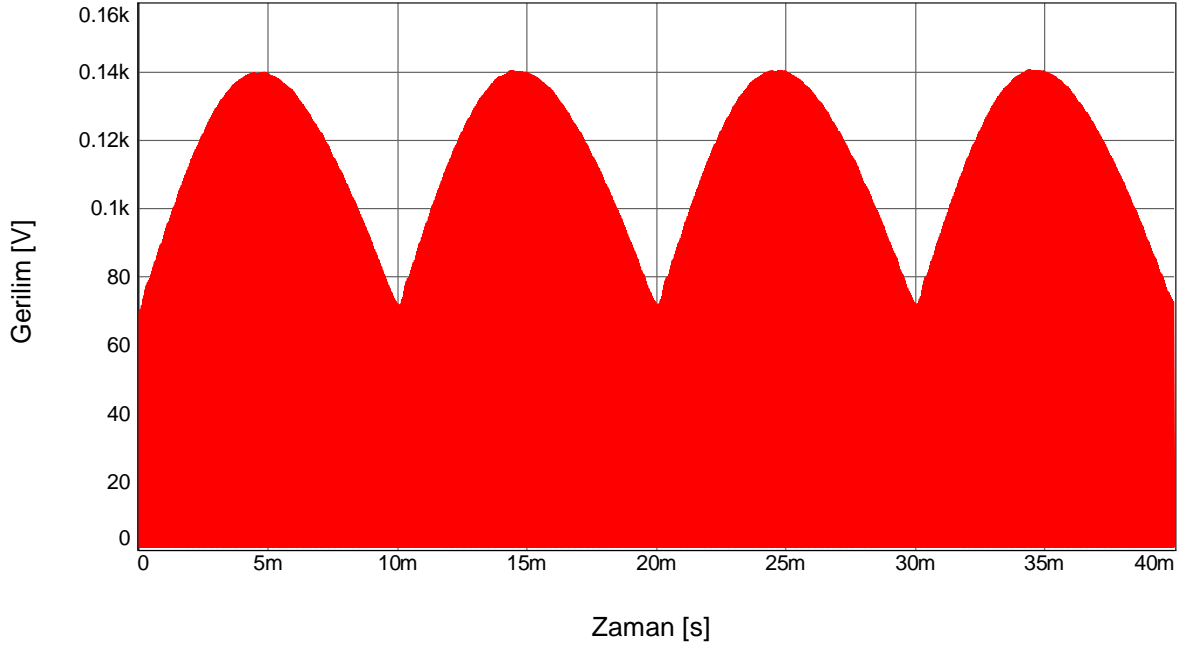
Şekil 5.6 500 W/m<sup>2</sup> Işınım Değerinde Çapraz Evirici Çıkış Gerilimi ve Çıkış Akımının Dalga Şekilleri



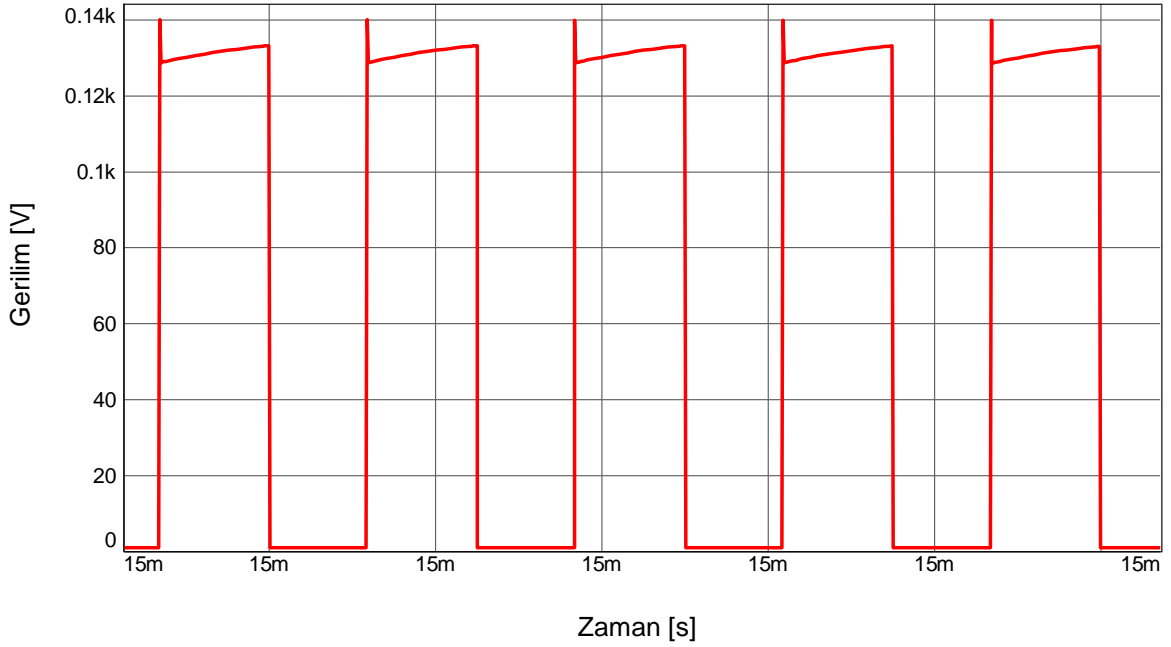
Şekil 5.7 1000 W/m<sup>2</sup> Işınım Değerinde Fotovoltaik Panelden Çekilen Gerilim ve Akım Dalga Şekilleri



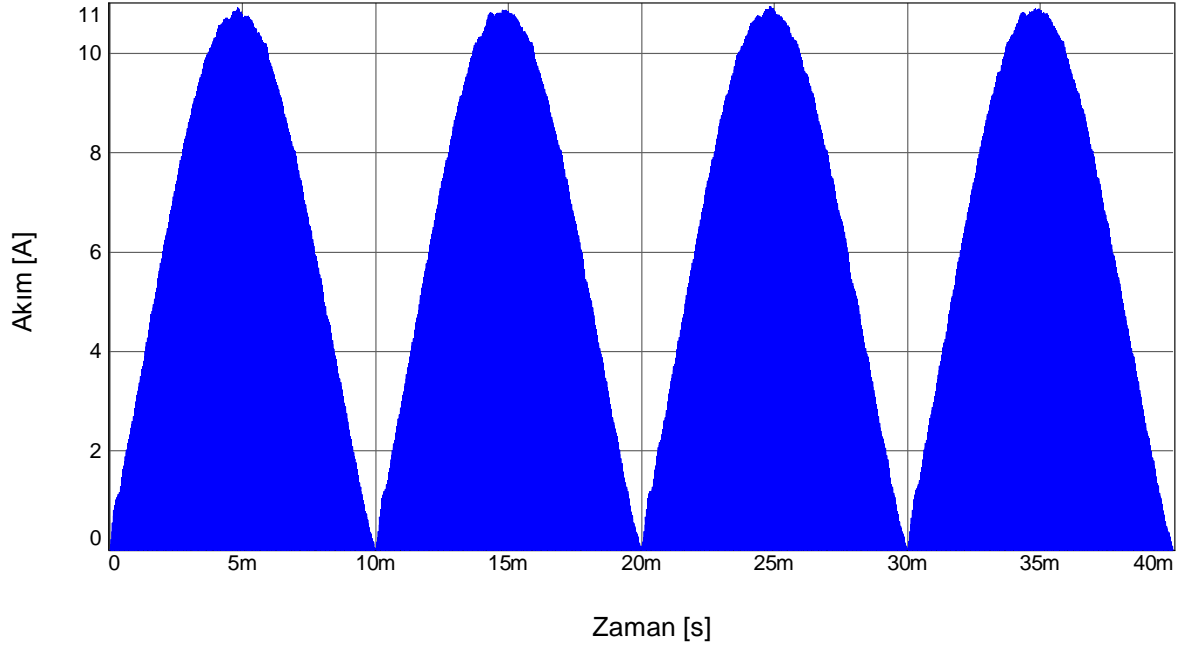
Şekil 5.8 500 W/m<sup>2</sup> Işınım Değerinde Fotovoltaik Panelden Çekilen Gerilim ve Akım Dalga Şekilleri



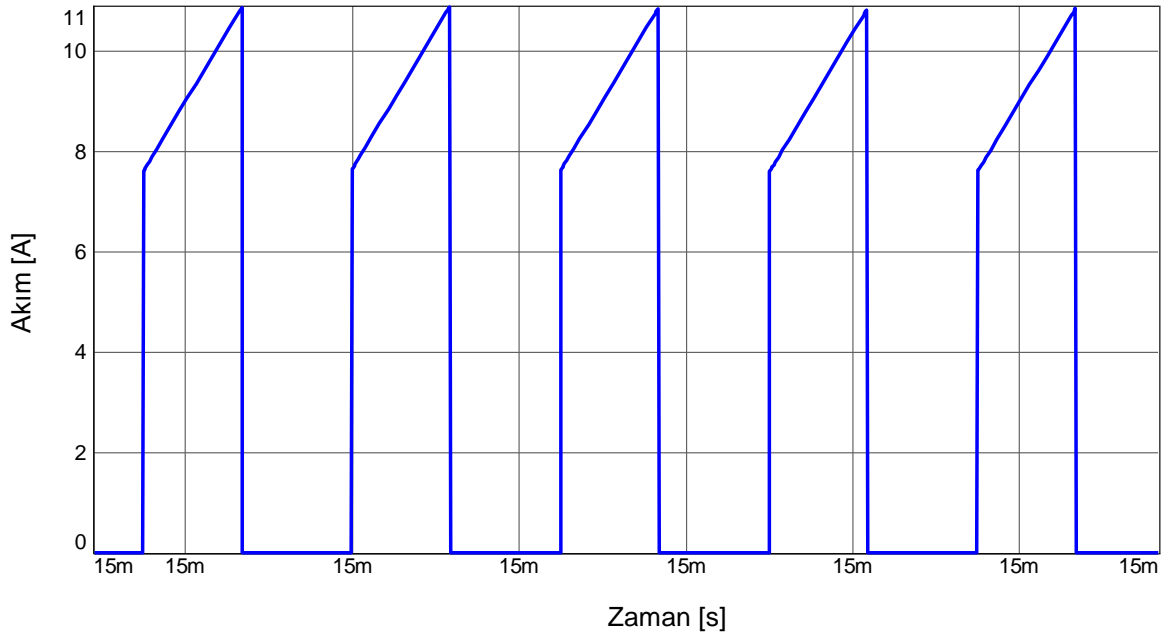
Şekil 5.9 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı Üzerindeki Gerilim Dalga Şekli



Şekil 5.10 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı Üzerindeki Tepe Geriliminin Dalga Şekli

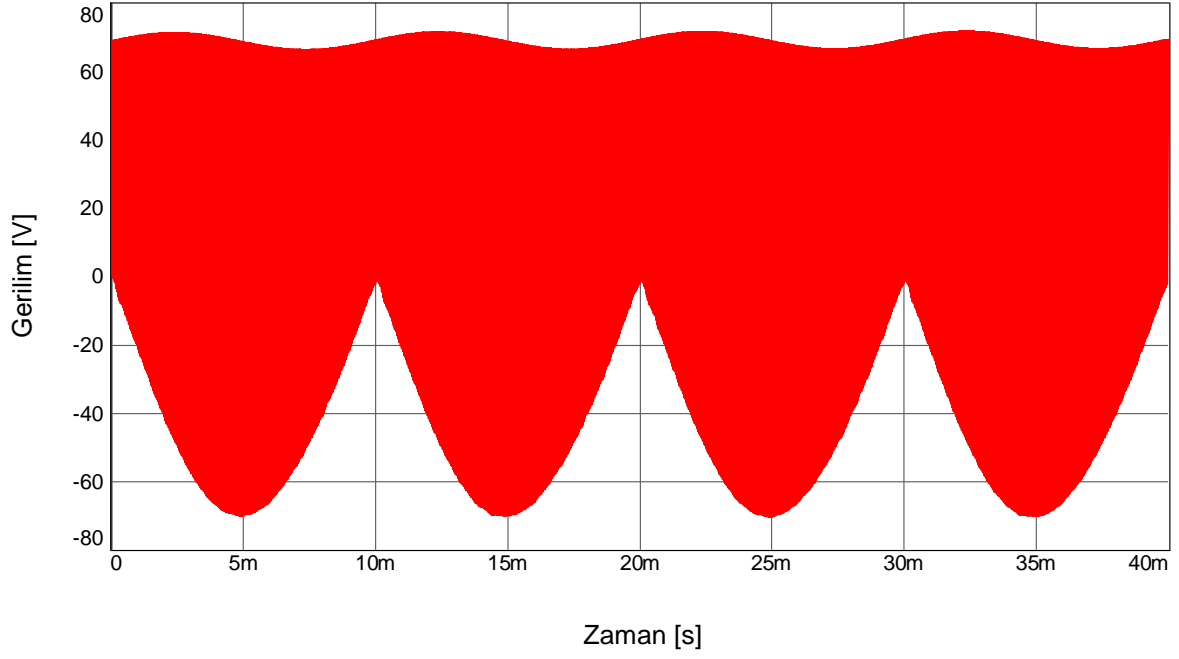


Şekil 5.11 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı İçinden Geçen Akım Dalga Şekli

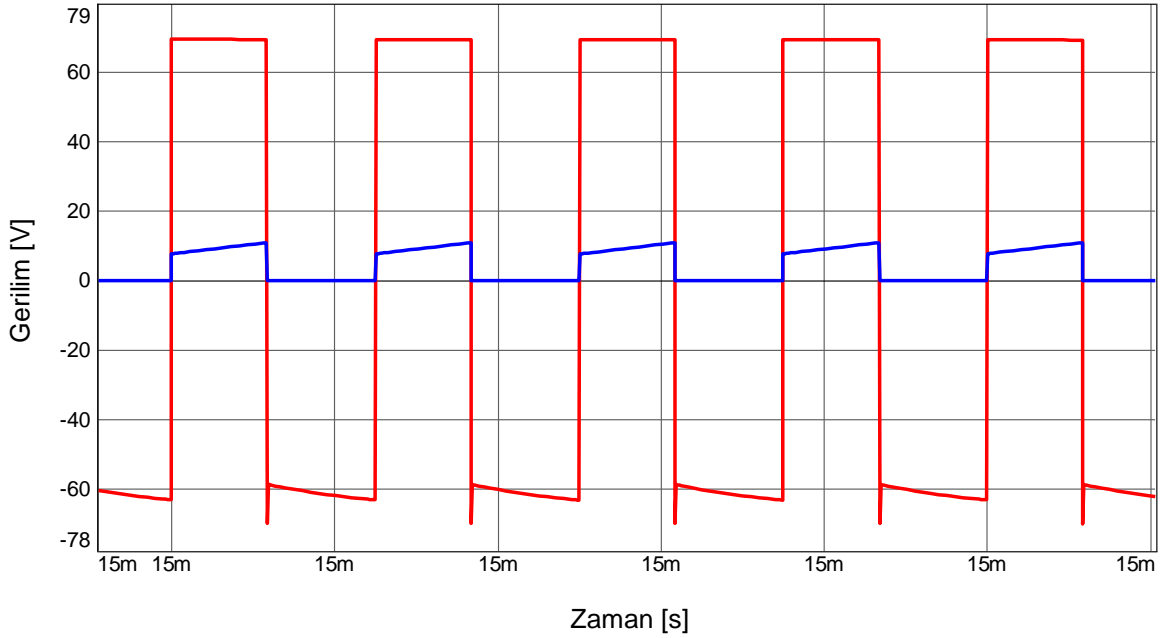


Şekil 5.12 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı İçinden Geçen Tepe Akımının Dalga Şekli

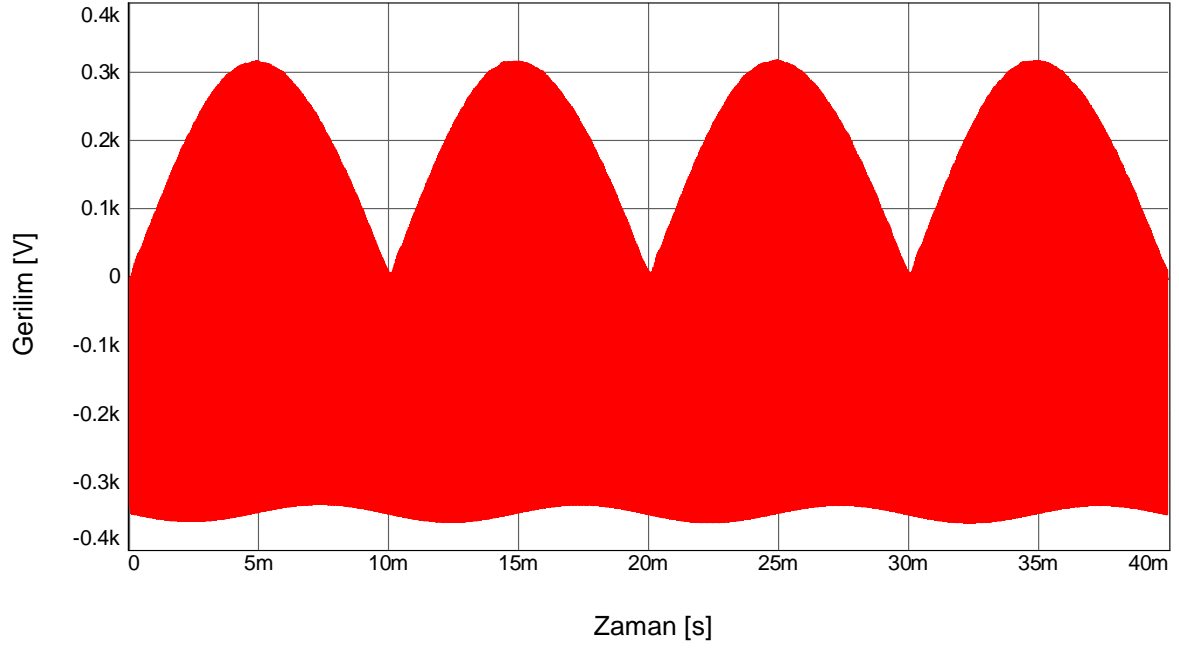




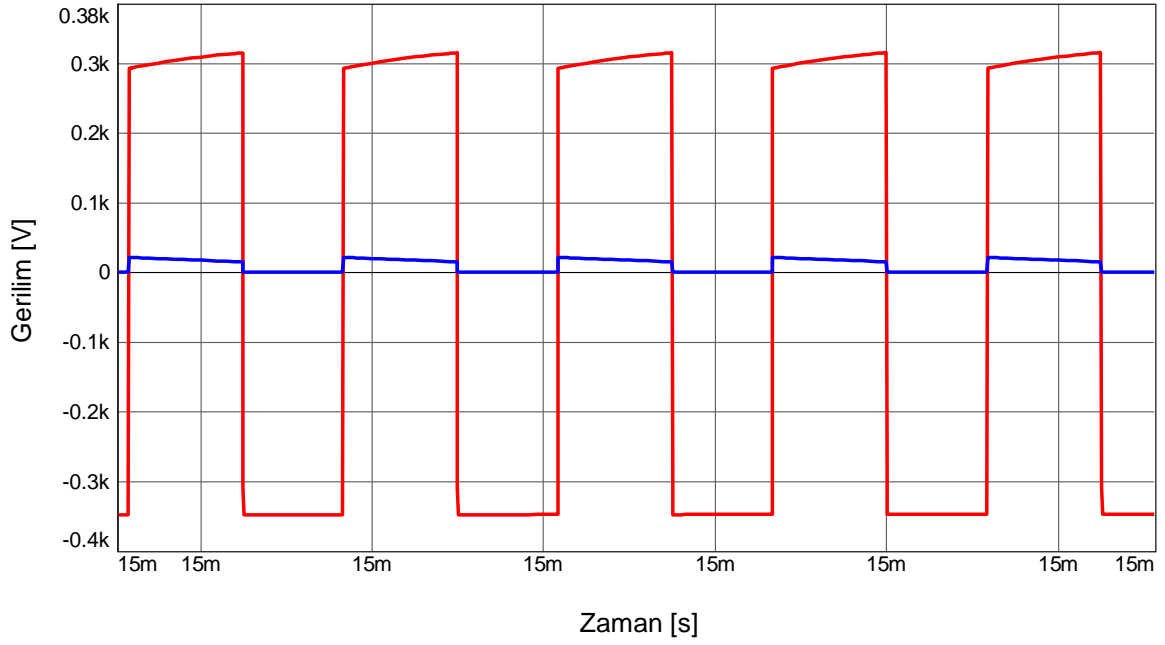
Şekil 5.13 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün Birincil Sargı Gerilimi Dalga Şekli



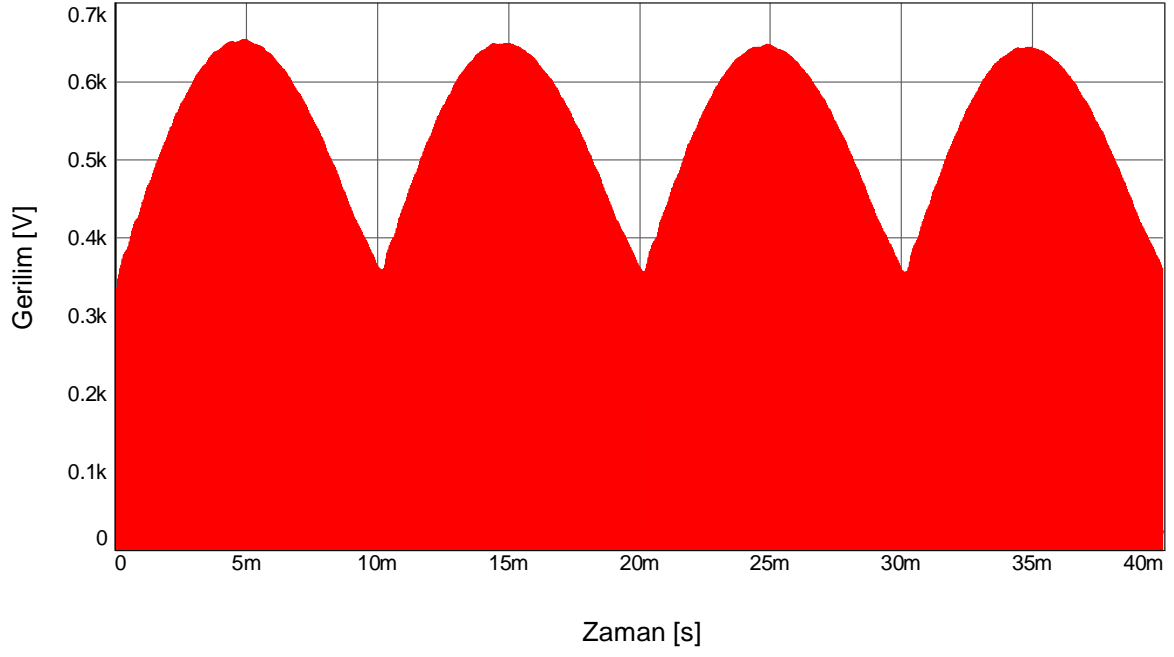
Şekil 5.14 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün Birincil Sargı Gerilimi ve Akımı Dalga Şekilleri



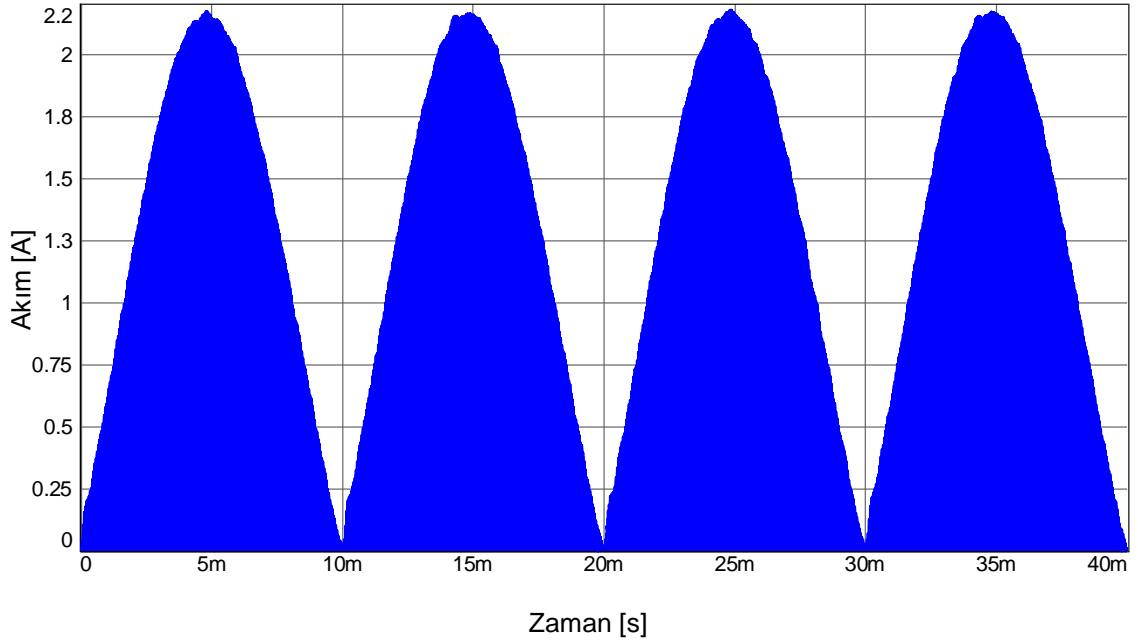
Şekil 5.15 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün İkincil Sargı Gerilimi Dalga Şekli



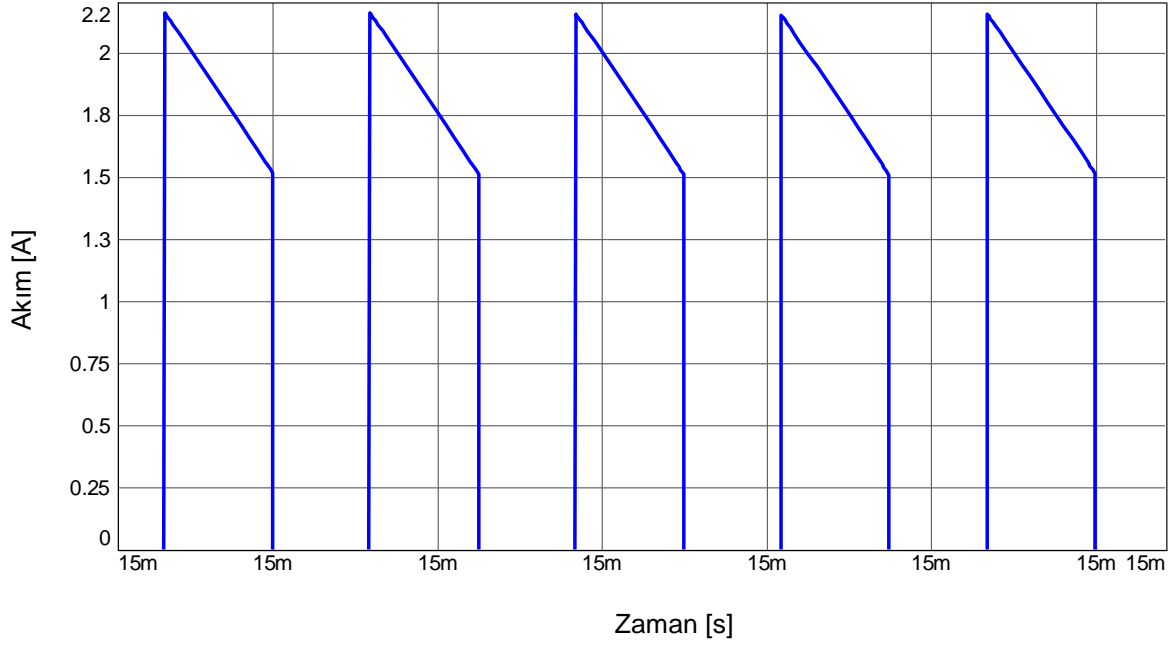
Şekil 5.16 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün İkincil Sargı Gerilimi ve Akımı Dalga Şekilleri



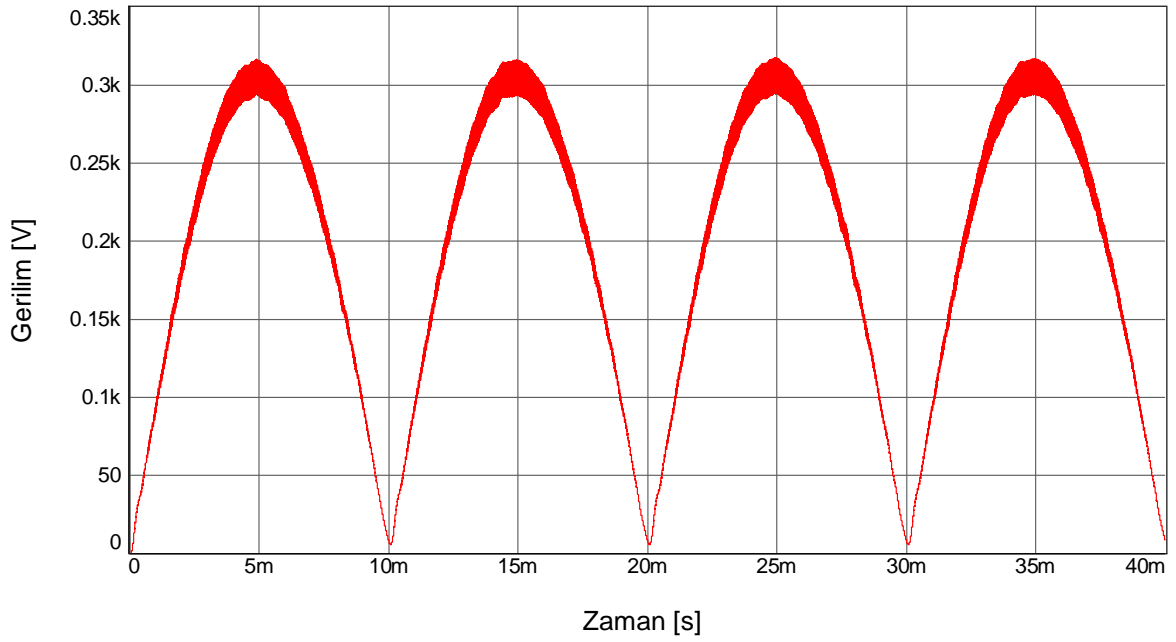
Şekil 5.17 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Çıkış Diyot Gerilimi Dalga Şekli



Şekil 5.18 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Çıkış Diyot Akımı Dalga Şekli



Şekil 5.19 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Çıkış Diyot Tepe Akımı Dalga Şekli



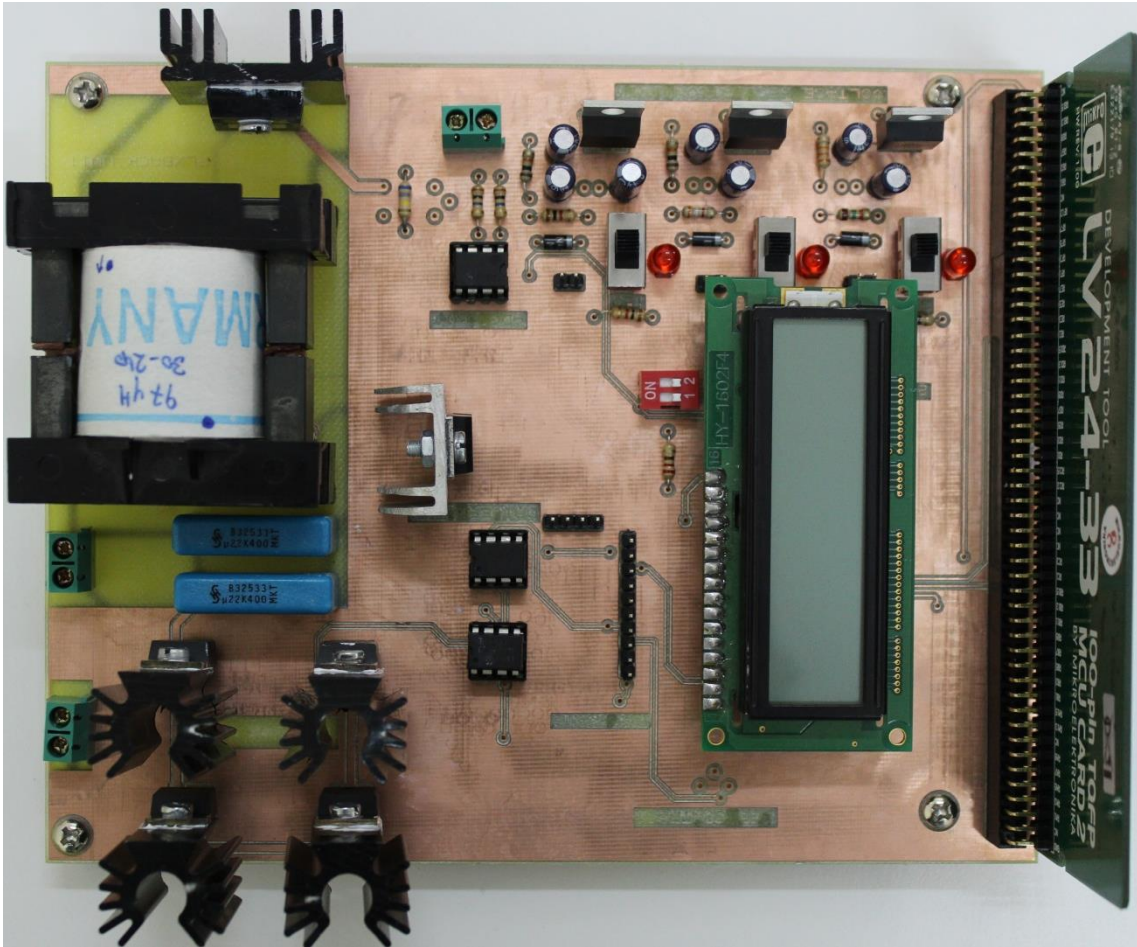
Şekil 5.20 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Çıkış Kondansatörü Gerilimi Dalga Şekli

## 6. DENEYSEL ÇALIŞMALAR

### 6.1 Genel

Tez çalışmasının bu bölümünde dsPIC mikro denetleyicisi kullanılarak gerçekleştirilen, çıkış gerilimi sinüzoidal  $220 V_{rms}$  etkin değer ve çıkış anma gücü 150 W olan, doğrudan sayısal sentez tekniği ile denetimi yapılan çapraz fotovoltaik mikro-evirici'ye ait deneysel sonuçlar verilmiştir. Benzetim programı ile elde edilen gösterimler laboratuvar ortamında gerçekleştirilen devre üzerinden ölçülmüş ve ölçümler üzerinde değerlendirmeler yapılmıştır.

Çapraz eviricinin iki ana bölümünü oluşturan güç katı ve kontrol kısmı aynı kart üzerinde tasarlanmıştır. Gerçekleştirilen çapraz evirici devresi Şekil 6.1'de gösterilmiştir.



Şekil 6.1 Çapraz Evirici Elektronik Baskı Devresi

Devre genel olarak 3 kısımdan oluşmaktadır. Çapraz eviricinin güç katı, besleme gerilimlerinin olduğu kısım ve mikro denetleyicinin bulunduğu denetim kısmı. Güç katında giriş ile çıkış arasında yalıtım olduğundan birinci kısımda MOSFET ve sürücü devresi, ikinci kısımda ise çıkış kondansatörü ve çıkış diyotu yer almaktadır. Çıkış kondansatöründeki tam dalga doğrultulmuş sinüs sinyalini terslemek için 4 adet MOSFET anahtarından oluşan H-Köprü devresi kurulmuştur. Anahtar sürücü devreleri ve mikro denetleyici için ihtiyaç duyulan besleme gerilimleri kart üzerinde tasarlanan besleme kaynağından sağlanmaktadır. Denetim kısmında Microchip firmasına ait olan dsPIC33FJ256GP710A tip numaralı sayısal sinyal işleyici kullanılmıştır. Devrenin yüksek anahtarlama frekansı veya diğer gürültülerden mümkün olduğu kadar az etkilenmesi için devre yüzeyi toprak yüzeyi olarak tasarlanmıştır.

## 6.2 Deneysel Sonuçlar

Deneysel çalışmalarda ilk olarak DSS tekniğinin ana hatlarını oluşturan ayarlanabilir sinüs dalga üretici ve frekans ayar çözünürlüğü gerçekleştirilmiştir. Tasarım çalışmalarının başarımını görmek amacıyla benzetim programında kullanılan değerler deneysel çalışmalarda da kullanılmıştır. Bir sonraki çalışmada MGNİ algoritması denenmiş ve iki farklı ışınım koşulunda panelden çekilen güçler hesaplanmıştır. Sıfır geçiş detektörünün histerisis kullanılan ve histerisis kullanılmayan iki ayrı durumu için işlemsel yükseltecin çıkış sinyali elde edilerek MGNİ ile birlikte istenilen sinüs referans bilgisi elde edilmiştir. Bu referans sinüs bilgisi ile görev çevrimi değerleri hesaplanmış ve ana anahtarı sürececek SDGM sinyalleri üretilmiştir. Aynı anda H-Köprü anahtar kapı sinyalleri de üretilerek sinüzoidal çıkış gerilimi elde edilmiştir.

Maksimum güç noktasında çalışılan durumlar için ana anahtarın gerilim ve akım dalga şekilleri, transformatörün birincil ve ikincil sargılarına ait gerilim ve akım dalga şekilleri ile çıkış diyotunun gerilim ve akım dalga şekilleri elde edilmiştir ve tasarım sonuçları ile karşılaştırılmıştır.

Şekil 6.2'de ayarlanabilir sinüs dalga üreticinin örnekleme sayısının 60 olduğu durum için çıkış dalga şekli görülmektedir. Tasarım sonuçlarında da anlatıldığı üzere saf sinüs dalga şekline yakın dalga şekilleri üretebilmek için sinüs örnekleme sayısının 180 ve üzeri olması gerekmektedir.

Örnekleme sayısının düşük olması sinüs dalga şeklini bozmakta ve harmonik bozunumunu arttırmaktadır. Bu sorunu çözmek için sinüs örnekleme sayısı 180'e çıkartılarak ayarlanabilir sinüs dalga üreticiden tekrar çalıştırılmıştır. Şekil 6.3'te sinüs örnekleme sayısı=180 için çıkış dalga şekli görülmektedir. Sinüs örnekleme sayısının 3 katına çıkarılması ile çıkış dalga şekli saf sinüs dalga şekline oldukça yaklaşmıştır. Benzetim sonuçlarında elde edilen ayarlanabilir sinüs dalga üretici çıktıları ile deneysel çalışmalarda elde edilen dalga şekilleri birbiri ile uygunluk göstermektedir. DSS tekniğinin bir diğer önemli kısmı olan frekans ayar çözünürlüğüne ait deneysel çalışmalar Şekil 6.4 ve Şekil 6.5'te görülmektedir. Şekil 6.2 ve Şekil 6.3'teki tam dalga doğrultulmuş sinüzoidal dalga şekilleri sabit frekans değeri ile üretilmiştir (PR4=2440). Frekans ayar çözünürlüğünü test edebilmek için sinüs örnekleme sayısı sabit tutulmuş ve çıkış sinüs dalga şeklinin frekansı önce iki katına çıkartılıp daha sonra yarıya düşürülmüştür. Beklenildiği gibi ilk aşamada frekans iki katına çıkarıldığı için 10 ms olan periyot değeri 5 ms'ye düşmüş, ikinci durumda frekans yarıya düşürüldüğü için periyot iki katına çıkarak 20 ms olmuştur. Frekans ayar çözünürlüğünü sonuçlarının tasarım sonuçları ile aynı olduğu ve başarımının sağlandığı görülmektedir.

Şekil 6.6 ve Şekil 6.7'de farklı ışınım koşullarında panelde çekilen güce karşılık çapraz eviricinin çıkış kondansatöründeki gerilim ve akım dalga şekilleri görülmektedir. Sinüzoidal gerilim dalga şekli yerine tam dalga doğrultulmuş gerilim dalga şeklinin kullanılmasının sebebi H-Köprü çıkışındaki sinüzoidal gerilim dalga şeklinin sıfır geçişlerindeki atlamalardır. Tam dalga doğrultulmuş sinüs dalga şeklinde panelden çekilen gücün değeri daha net görünmektedir. Sırası ile 800 W/m<sup>2</sup> ve 400 W/m<sup>2</sup> ışınım değerleri için, çapraz evirici çıkış gerilim ve akım dalga şekilleri elde edilmiştir. Işınım değeri değişse dahi SGI yöntemine göre MGN'da çalışıldığından dolayı giriş gerilimi yaklaşık 70 V gerilim seviyesinde sabit kalmakta ve panel çıkışında 310 V tepe gerilim üretilmektedir. Panel karakteristiği incelendiğinde ışınım miktarı ile üretilen akım miktarının doğru orantılı olduğu anlaşılmaktadır. Işınım değerinin yarıya düşürülmesi ile çapraz eviricinin çıkış akımının da yarıya düştüğü gözlemlenmiştir ve böylece çıkış gücünde yarıya düşmüştür. MGNİ sistemi için deneysel çalışmalarda çapraz evirici bağımsız modda çalışmakta olup sinüs referans sinyali mikro denetleyici içerisinde verilen bir referans değer için üretilmektedir.

Şebeke bağlantılı durumda ise şebekenin faz, frekans ve genlik bilgilerinin elde edilebilmesi için sıfır geçiş detektörünün çıkış sinyali bilgisine ihtiyaç vardır. Şekil 6.8 ve Şekil 6.9'da gerçekleştirilen sıfır geçiş detektörünün gerilim dönüştürücüsü ile birlikte dalga şekilleri görülmektedir. Şekil 6.8'de daha önce tasarım bölümünde anlatılan histerisis devresi devre dışı bırakıldığında gerilim dönüştürücüsü ve işlemsel yükselteçten dolayı oluşan gecikmenin etkisi görülmektedir. Bu etki histerisis devresinin aktif edilmesi ile Şekil 6.9'da görüldüğü gibi sıfıra yakın bir değere düşürülmüştür.

Referans sinüs sinyalinin oluşturabilmesi için gerekli olan MGNİ ve sıfır geçiş detektörü sinyal bilgileri elde edildikten sonra, bu referans sinüs sinyalinden görev çevrimi değerleri elde edilecektir. Daha sonra bu görev çevrimi değerleri ile ana anahtar sürmek için gerekli olan SDGM sinyalleri üretilecektir.

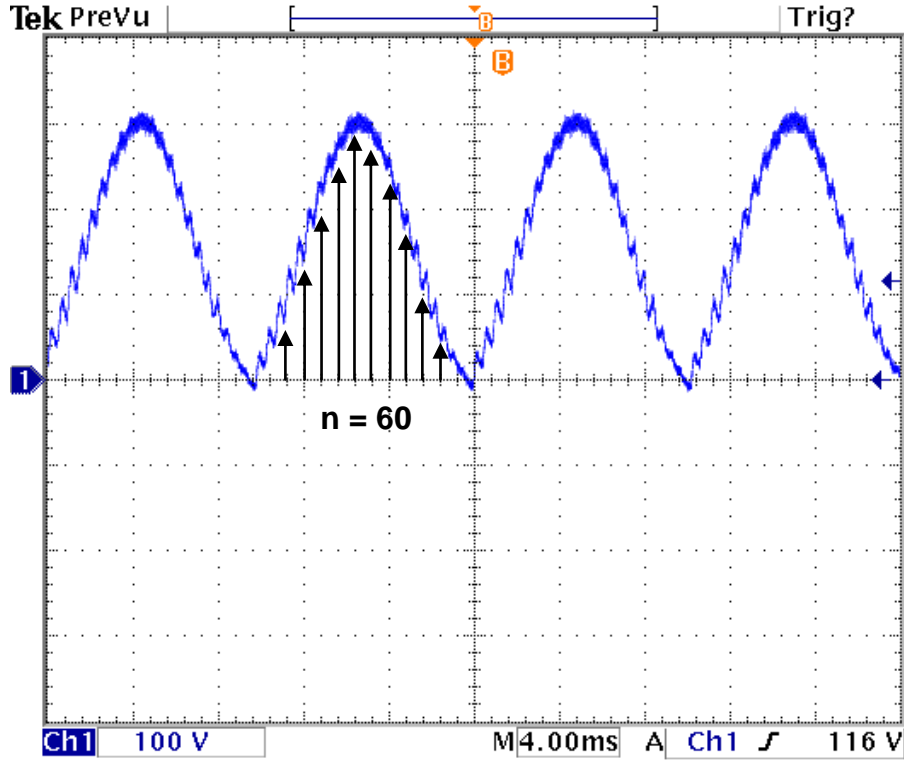
Şekil 6.10'da referans sinüs sinyaline karşılık üretilen görev çevrimi değerleri görülmektedir. Bu görev çevrimleri her periyotta referans sinüs sinyalinden gelen bilgiye göre güncellenmekte veya yeni bilgi yoksa aynı kalmaktadır. Şekil 6.11'de sırası ile referans sinüs sinyali, bu sinyalden elde edilen görev çevrimi değerleri ve bu görev çevrimlerinin mikro denetleyicideki DGM bloğunda işlenmesi ile elde edilen SDGM sinyalleri görülmektedir. SDGM sinyalleri ile eş zamanlı olarak H-Köprü kapı sinyalleri de üretilmektedir. Şekil 6.12'de sinüzoidal çıkış gerilimi dalga şekli, SDGM sinyalleri ve H-Köprü kapı sinyalleri elde edilmiştir. Denetim bloğuna ait dalga şekillerinden görüldüğü üzere tasarım sonuçları ile deneysel çalışmalardan elde edilen sonuçlar aynı olup, denetim sisteminin başarımı doğrulanmıştır.

Şekil 6.13'te çapraz eviricinin ana anahtar üzerindeki gerilim dalga şekli görülmektedir. Tasarım bölümünde yapılmış olan hesaplamalara göre 70 V giriş gerilimi ve 5 tur oranı değeri için MOSFET gerilimi 132 V civarında olması gerekmektedir. Deneysel sonuçlarda elde edilen tepe gerilim değeri bu değer çok az üstünde olmakla birlikte transformatörün kaçak endüktansının etkileri de anahtar gerilimi üzerinde açık bir şekilde görülmektedir. Şekil 6.14'te ana anahtar üzerindeki gerilim dalga şekli ayrıntılı olarak görülmektedir. Şekil 6.15 ve Şekil 6.16'da ana anahtar içerisinden geçen akım dalga şekilleri görülmektedir. Benzetim sonuçlarında elde edilen yaklaşık 11 A tepe akım değeri ile deneysel sonuçlarda elde edilen tepe akım değerleri aynıdır.

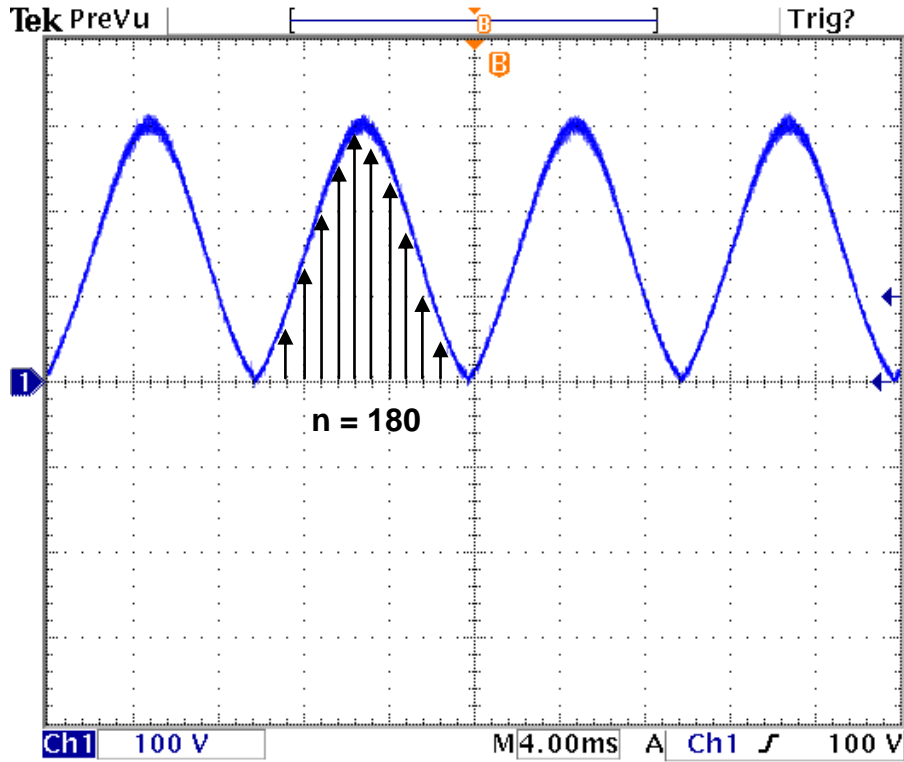


Şekil 6.17, Şekil 6.18’de birincil sargı gerilimleri Şekil 6.19 ve Şekil 6.20’de ise ikincil sargı gerilimleri elde edilmiştir. Dalga şekilleri incelendiğinde tepe gerilimi değerlerinin tasarım ve benzetim sonuçları ile uygun olduğu anlaşılmaktadır.

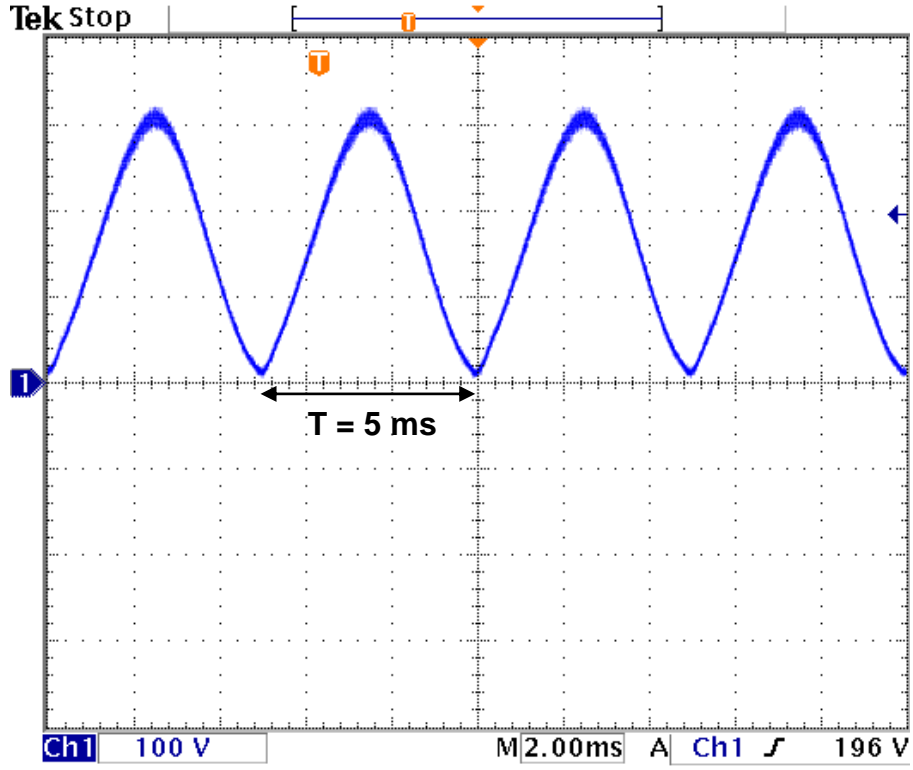
Tasarımı ve benzetim çalışmaları yapılmış olan çapraz eviricinin denetim sistemi ve güç katı devresi için deneysel çalışmalar yapılmış ve elde edilen değerlerin başarımı değerlendirilmiştir.



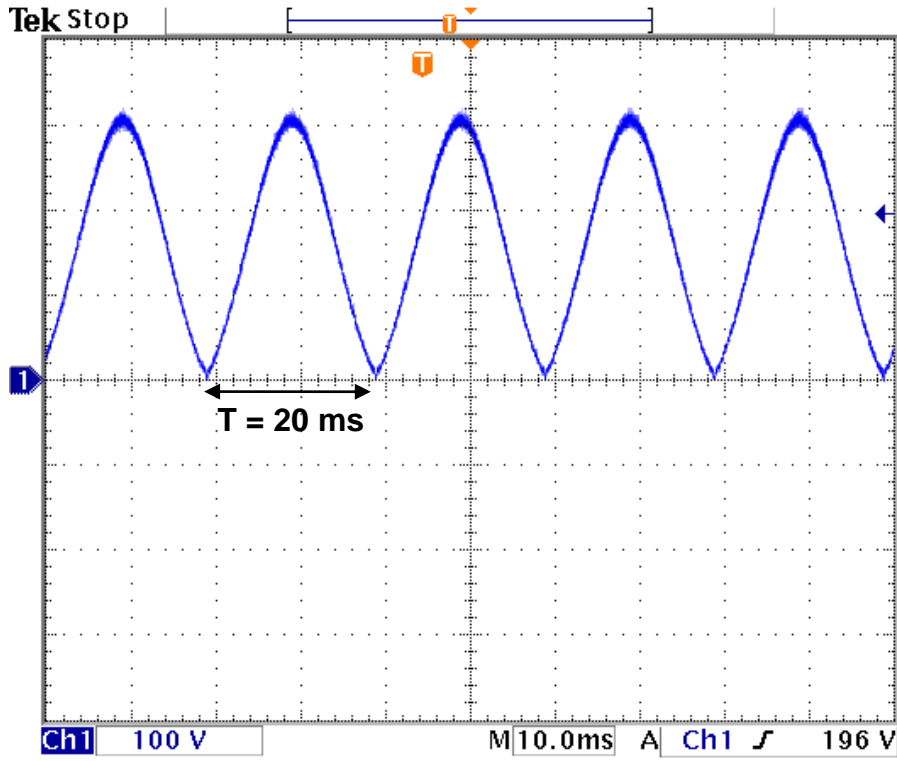
Şekil 6.2 Sinüs Örnekleme Sayısı  $n=60$  ve Frekans Ayar Çözünürlüğü  $PR4=2440$  İçin Ayarlanabilir Sinüs Dalga Üretici Çıkışı (Deneysel)



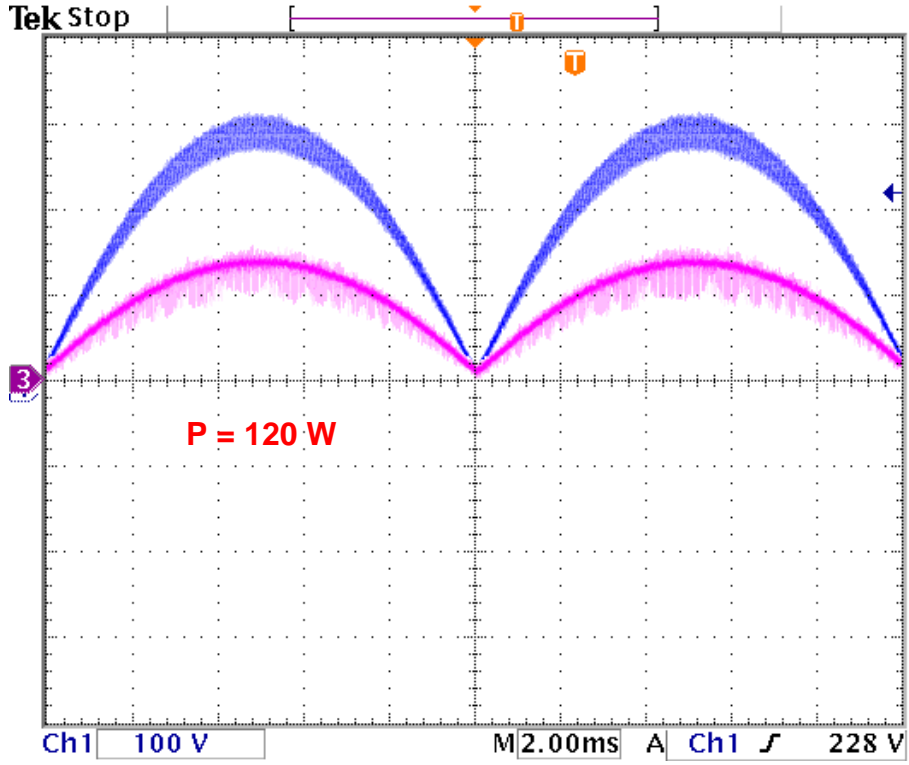
Şekil 6.3 Sinüs Örnekleme Sayısı  $n=180$  ve Frekans Ayar Çözünürlüğü  $PR4=2440$  İçin Ayarlanabilir Sinüs Dalga Üretici Çıkışı (Deneysel)



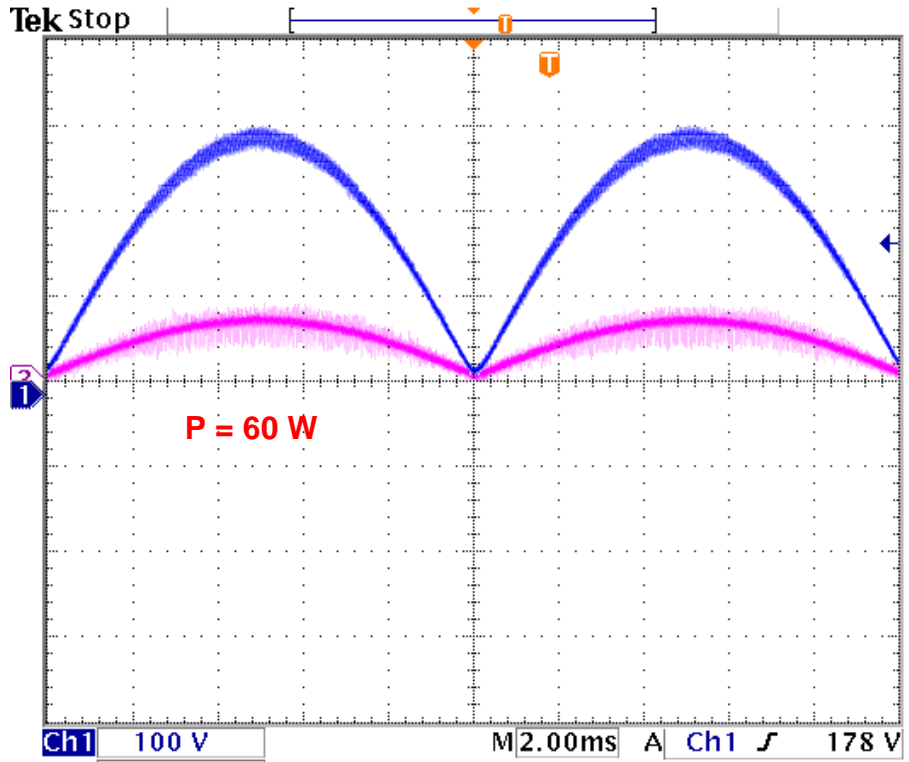
Şekil 6.4 Sinüs Örnekleme Sayısı  $n=180$  ve Frekans Ayar Çözünürlüğü  $PR4=1220$  İçin Ayarlanabilir Sinüs Dalga Üreteci Çıkışı (Deneysel)



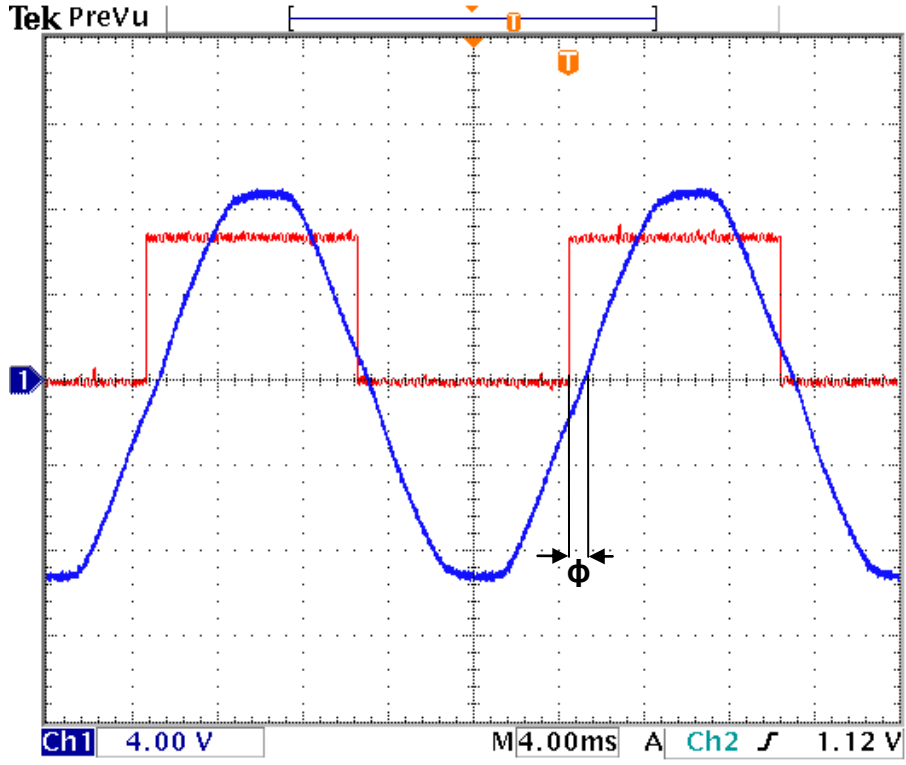
Şekil 6.5 Sinüs Örnekleme Sayısı  $n=180$  ve Frekans Ayar Çözünürlüğü  $PR4=4880$  İçin Ayarlanabilir Sinüs Dalga Üreteci Çıkışı (Deneysel)



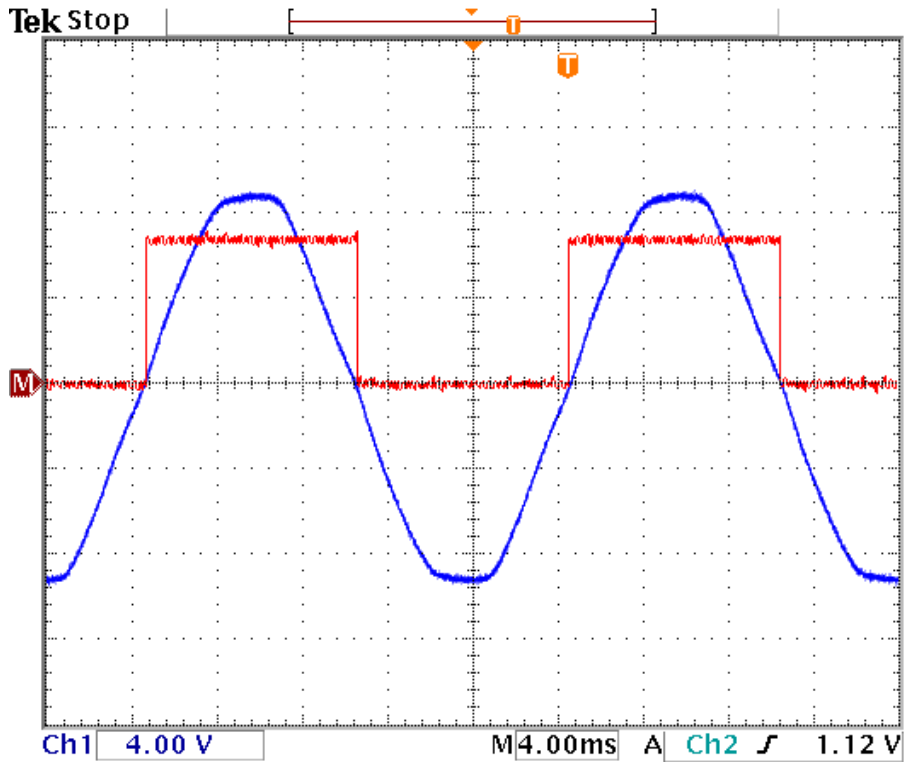
Şekil 6.6  $800 \text{ W/m}^2$  Işınım Değeri İçin Çapraz Evirici Çıkış Akım (Pembe) ve Gerilim (Mavi) Dalga Şekilleri



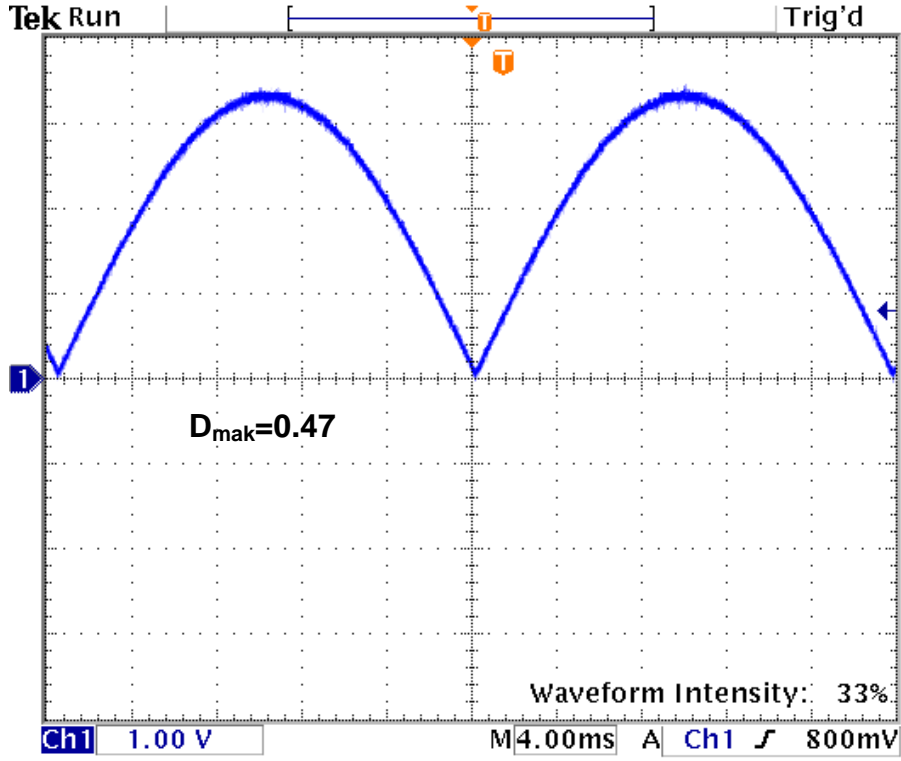
Şekil 6.6  $400 \text{ W/m}^2$  Işınım Değeri İçin Çapraz Evirici Çıkış Akım (Pembe) ve Gerilim (Mavi) Dalga Şekilleri



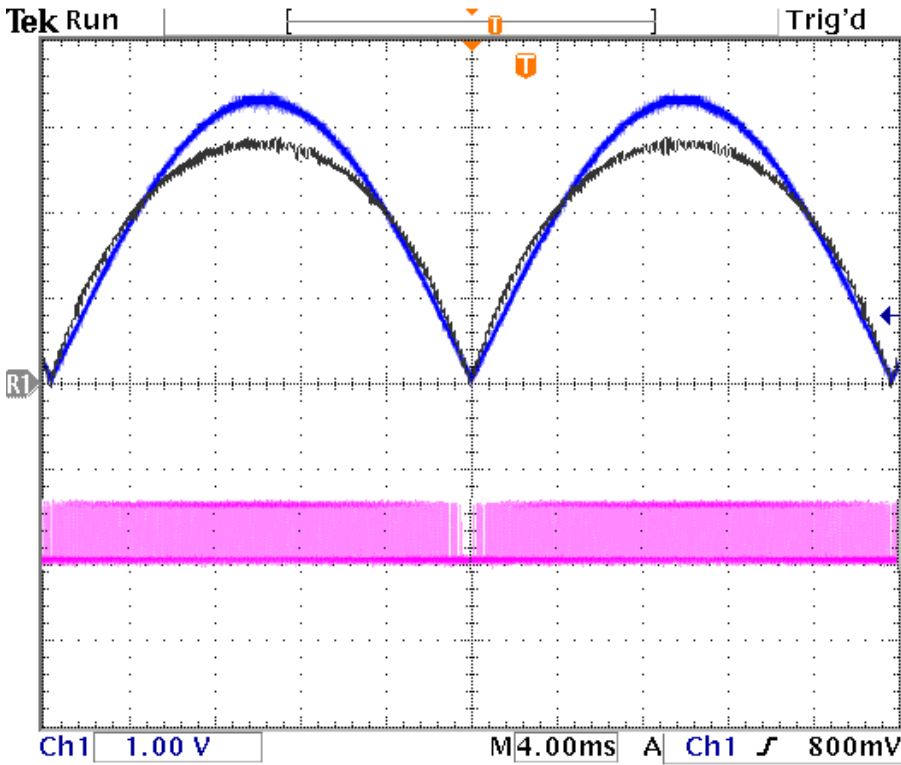
Şekil 6.8 Histerisis Kullanılmayan LV25-P Gerilim Dönüştürücü Çıkış Gerilimi(Mavi) ile İşlemsel Yükselteç Çıkış Sinyali (Kırmızı) (Deneysel)



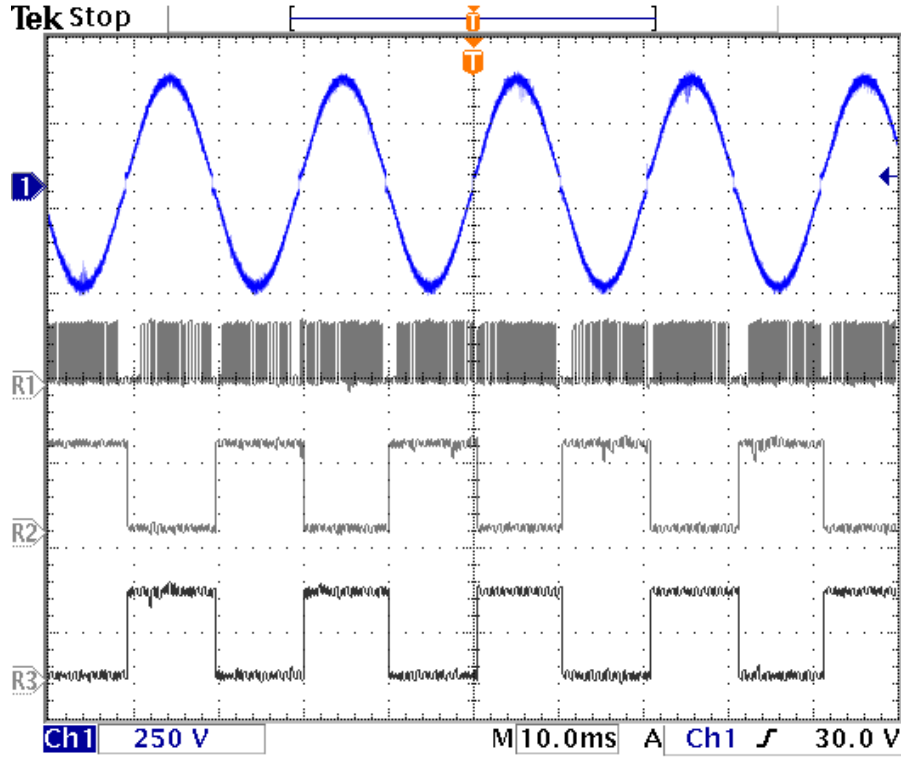
Şekil 6.9 Histerisis Kullanılan LV25-P Gerilim Dönüştürücü Çıkış Gerilimi (Mavi) ile İşlemsel Kuvvetlendirici Çıkış Sinyali (Kırmızı) (Deneysel)



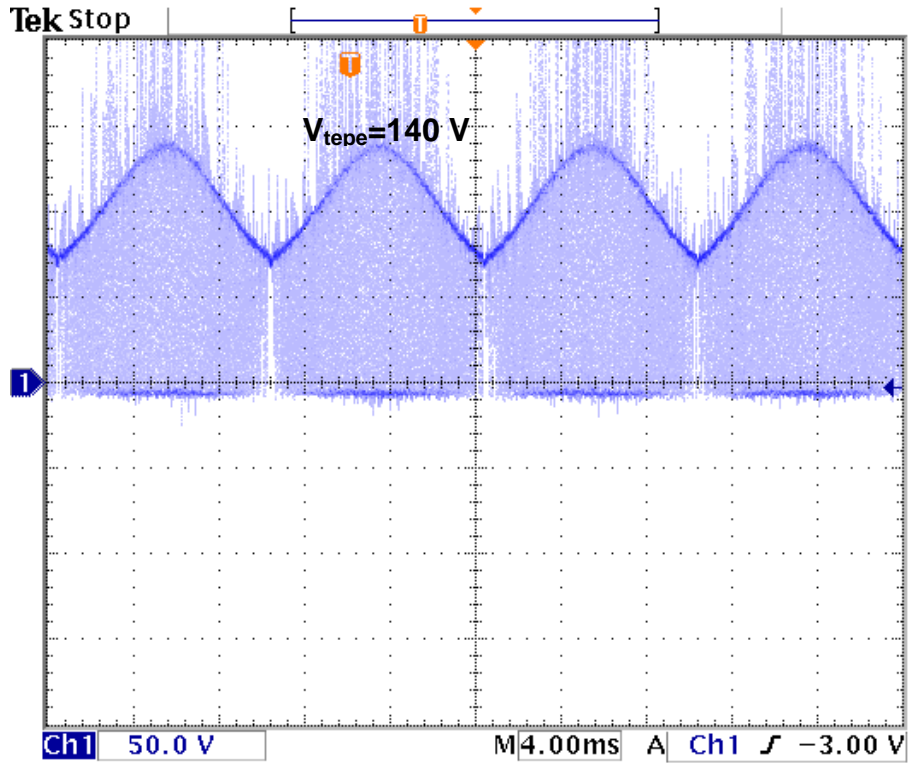
Şekil 6.10 Referans Sinüs Sinyaline Göre Üretilen Görev Çevrimi Değerleri



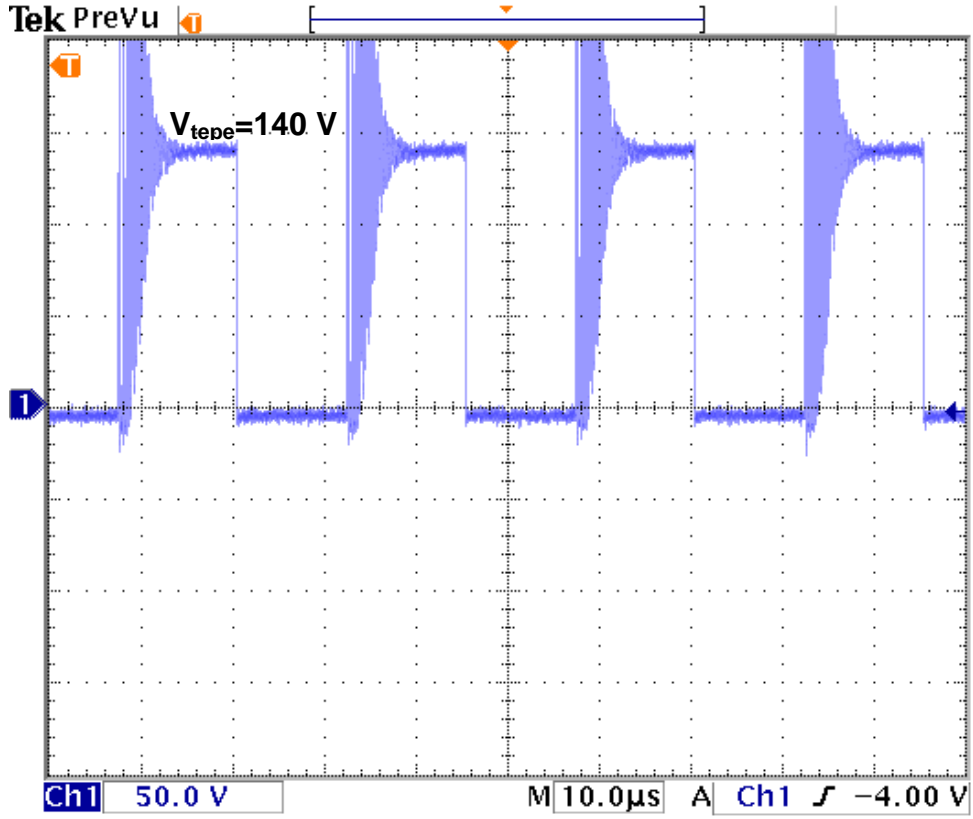
Şekil 6.11 Eş Zamanlı Olarak Üretilen Referans Sinüs Sinyali (Mavi), Görev Çevrimi Değerleri (Siyah) ve SDGM Sinyalleri (Pembe)



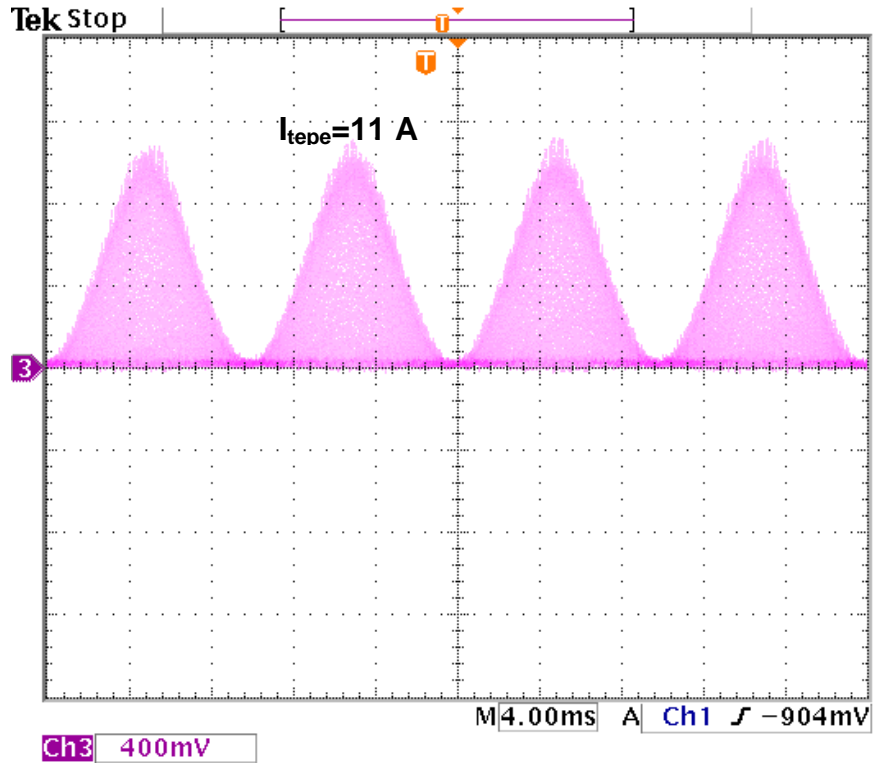
Şekil 6.12 Tam Yükteki Çıkış Gerilim Dalga Şekli (Mavi), H-Köprü Kapı Sinyalleri (R2, R3), Ana Anahtar SDGM Sinyalleri (R1)



Şekil 6.13 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı Üzerindeki Gerilim Dalga Şekli (Deneysel)

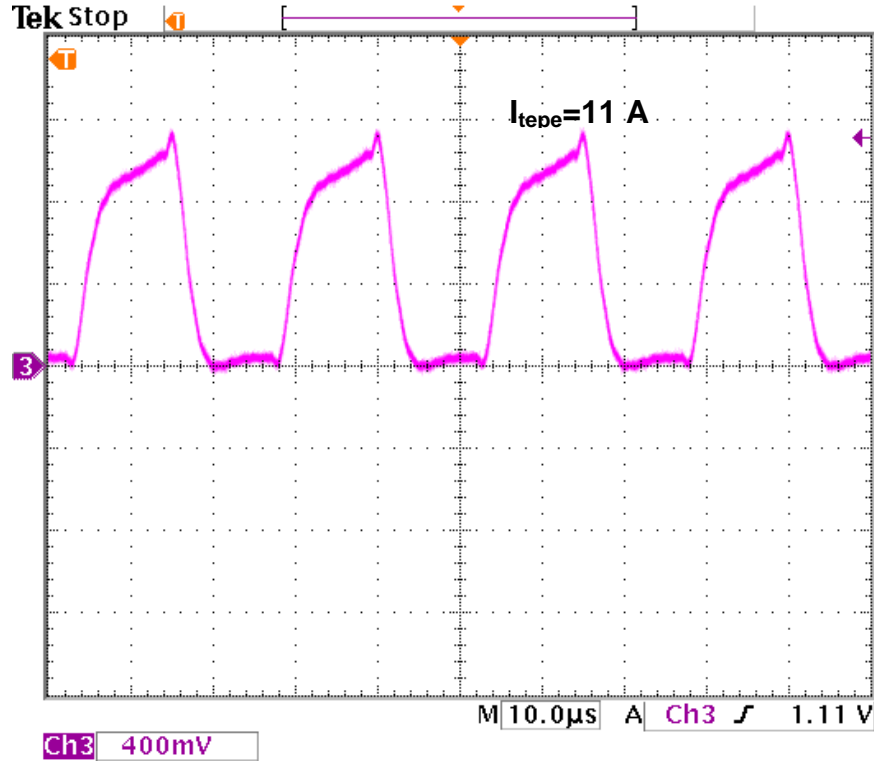


Şekil 6.14 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı Üzerindeki Tepe Geriliminin Dalga Şekli (Deneysel)

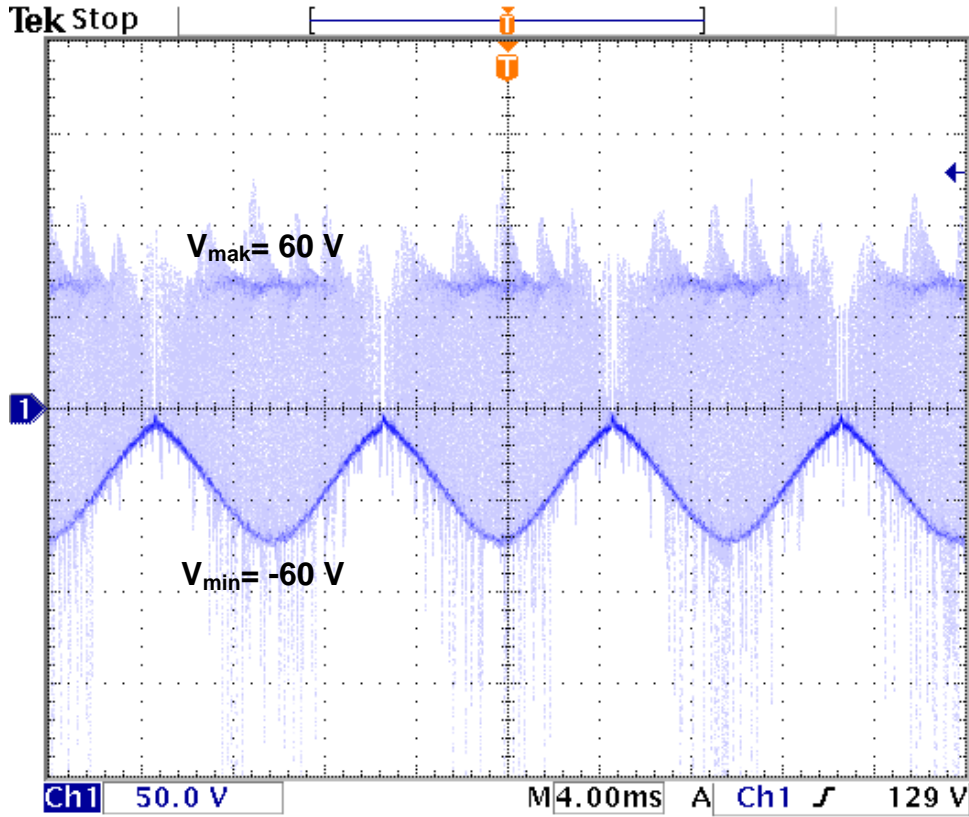


Şekil 6.15 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı İçinden Geçen Akım Dalga Şekli (Deneysel)

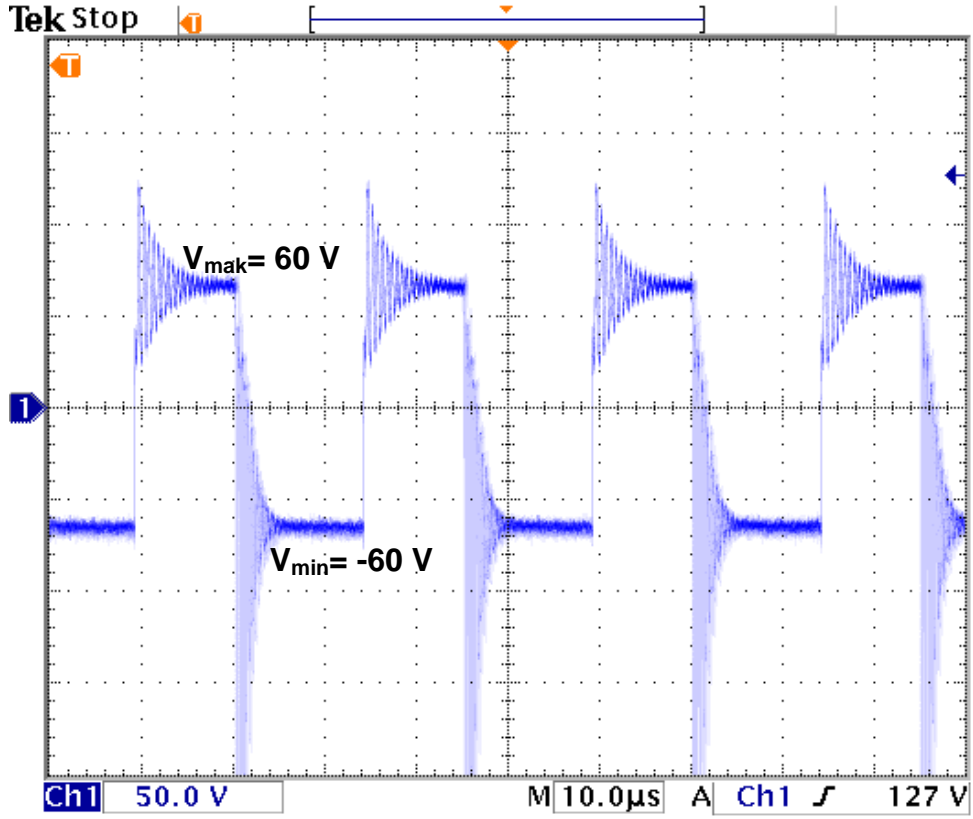




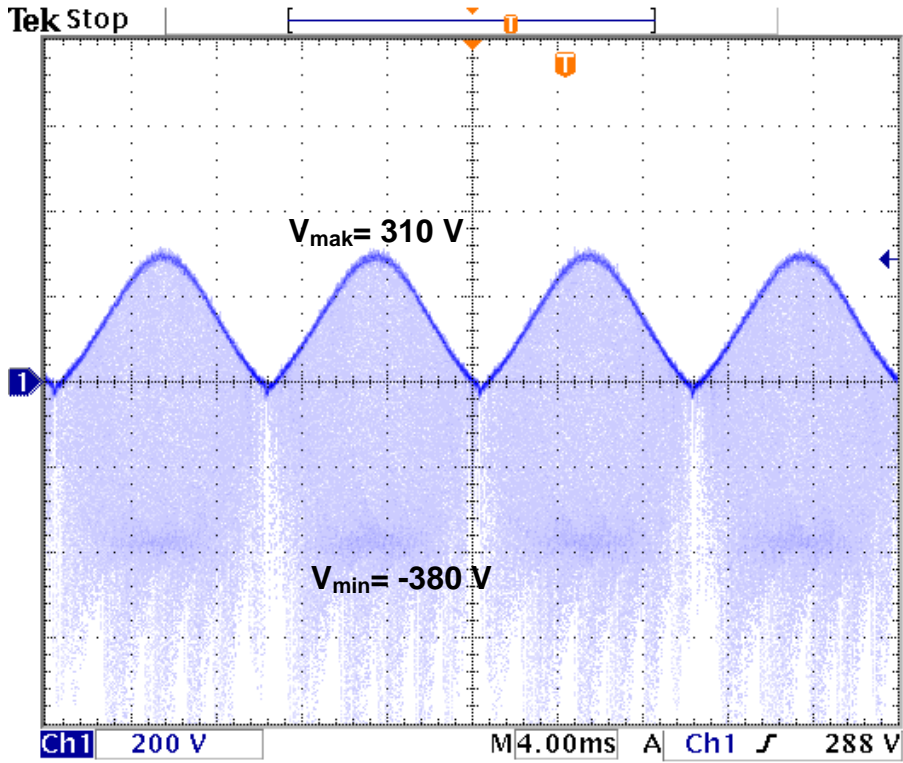
Şekil 6.16 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Ana Anahtarı İçinden Geçen Tepe Akımının Dalga Şekli (Deneysel)



Şekil 6.17 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün Birincil Sargı Gerilimi Dalga Şekli (Deneysel)



Şekil 6.18 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün Birincil Sargı Gerilimi Dalga Şekli (Deneysel)



Şekil 6.19 Maksimum Güç Noktasında Çalışma Durumu İçin Çapraz Evirici Transformatörünün İkincil Sargı Gerilimi Dalga Şekli (Deneysel)

## 7. SONUÇLAR VE GELECEK ÇALIŞMALAR

Bu tez çalışmasında doğrudan sayısal sentez tekniği ile denetimi yapılan bir çapraz evirici topolojisi tasarlanmış ve gerçekleştirilmiştir. Geleneksel çapraz çevirgeç topolojisine ek olarak, çapraz çevirgeç çıkışında bir adet h-köprü devresinin kullanılması ile DA giriş geriliminden AA sinüzoidal çıkış gerilimi elde edilmiştir. Çapraz evirici topolojisi diğer evirici topolojilerine göre daha basit bir çözüm sunmaktadır. Geleneksel çapraz çevirgeç topolojisinden farklı olarak birincil taraftaki ana anahtar SDGM işareti ile sürülmektedir. Böylece yüksek frekans transformatöründe depolanan enerji, o anki görev çevrimine bağlı olarak ana anahtar üzerinden çıkışa aktarılmakta ve çapraz evirici kondansatör çıkışında tam dalga doğrultulmuş sinüzoidal gerilim elde edilmektedir. H-köprü devresi anahtarlarının istenilen çıkış frekansında anahtarlanması ile girişten yalıtımlı olarak çıkışta AA sinüzoidal gerilim elde etmek mümkün olmaktadır.

Çapraz evirici 40 kHz anahtarlama frekansında, giriş gerilimi farklı ışınım koşulları için maksimum güç noktasında çalışacak şekilde yaklaşık olarak 70 V değerinde, çıkışı ise 220V AA gerilim değerinde, 50 Hz çıkış frekansında 150 W anma gücünde olacak şekilde tasarlanmış, benzetimi yapılmış ve gerçekleştirilmiştir. Elde edilen sonuçlar tasarım ve benzetim sonuçları ile karşılaştırılmıştır.

Bu devreyi gerçekleştirirken sayısal denetim yöntemi uygulanmıştır. Sayısal denetim Microchip firmasına ait olan dsPIC serisi mikro denetleyicisi kullanılarak gerçekleştirilmiştir. Sayısal denetim yöntemi olarak Doğrudan Sayısal Sentez tekniği kullanılmıştır. Görev çevrimleri değişimi ve buna bağlı olarak SDGM sinyalleri, çıkış frekans, faz ve genliğinin değişimi, maksimum güç noktası izleyicisi ve anti-adalama algoritması bu tekniğin kullanılması ile gerçekleştirilmiştir.

Devrede kullanılan bütün ek besleme gerilimleri harici bir kaynağa ihtiyaç duymadan giriş geriliminden üretilmiştir. Devrede birincil taraf, ikincil taraf ve sayısal denetleyici yapısı birbirinden tamamen yalıtılmıştır. 150 W değerinde 220 V çıkış gerilimi için verimlilik değeri %92 olarak ölçülmüştür. Çıkış gerilimi saf sinüzoidal gerilime yakın biçimde elde edilmiştir. Devrede Toplam Harmonik Bozunumu değer IEEE Std.[519-1992] [9] standardına uygun olacak şekilde %4'ten düşük çıkmıştır.

Doğrudan Sayısal Sentez denetim tekniğindeki ayarlanabilir sinüs dalga üreticinin 16 bitlik zamanlayıcı kullanılarak gerçekleştirilmesiyle yaklaşık olarak 2 mili derece hassasiyetle faz kaydırma işlemi yapılmıştır. Mikro denetleyicinin özelliğine bağlı olarak iki adet zamanlayıcının ardışık bağlanmasıyla 32 bit zamanlayıcı kullanılarak bu faz kaydırma hassasiyeti 4 mikro dereceye düşmektedir. Ayrıca frekans ayar çözünürlüğü ve genlik dönüşümü yazılımları ile çıkış sinüzoidal gerilim dalga şeklinin frekansı çok geniş aralıkta (10 Hz - 10 kHz) değiştirilebilmektedir. Çıkış sinüzoidal gerilim dalga şeklinin genliği de 10 V ile 350 V arasında hassas olarak değiştirilebilmektedir. Frekans ayarı, faz kaydırma ve genlik dönüşümü değerlerinin denetim hassasiyeti büyük oranda kullanılan mikro denetleyicinin işlem gücü ve çevre birimlerine bağlı olmakla birlikte, denetim sistemi için kullanılan yazılım veya donanımında bu yapıya uyarlanabilir olması lazımdır. DSS denetim sisteminin yüksek hassasiyet isteyen uygulamalarda kullanılabilir olduğu gerçekleştirilen deneysel çalışmalar sonucu ile doğrulanmıştır.

Sayısal tasarımda frekans çözünürlüğünün artırılması, çıkış sinüzoidal geriliminin Toplam Harmonik Bozunumu değerinin düşmesine ve saf sinüzoidal gerilime daha da yakın bir gerilim elde edilmesini sağlamaktadır. Frekans çözünürlüğünün istenilen değerde esnek bir şekilde değiştirilmesi işlemi Doğrudan Sayısal Sentez tekniği sayesinde mümkün olmaktadır. Sayısal devre (Sayısal sinyal isleyici, işlemciler, FPGA...) teknolojisinin sürekli olarak artan bir şekilde gelişme göstermesi, elektronik alanında kullanılan ürünlerden talep edilen özelliklerin de hızlı bir şekilde artmasına sebep olmuştur. Geliştirilen hızlı sayısal sinyal isleyici elemanları sayesinde anahtarlama güç kaynaklarının bu elemanlar ile kontrol edilmesi hakkında değerlendirmeler yapılmaya başlanmıştır. Sayısal sinyal işleyici elemanı kullanılarak denetlenen çeviricilerin analog denetleyici elemanı kullanılan çeviricilerle aynı tepki süresi ve performansına sahip olabileceğinin değerlendirilmesi ile birlikte anahtarlama güç kaynağının denetiminde sayısal sinyal işleyicilerin kullanıldığı birçok çalışma yapılmıştır. Fakat bu çalışmalarda sayısal denetim tekniği olarak Doğrudan Sayısal Sentez tekniği kullanılmamıştır. Bu denetim tekniğinin bir çapraz evirici topolojisine uyarlanması ile düşük maliyetli, kompakt yapıda ve bir modül tümleşik çevirgecin gereksinimlerini karşılayacak seviyede bir uygulama ortaya çıkmıştır. Bu tekniğin en temel avantajlarından birkaçı aşağıda sıralanmıştır.

Bu avantajlar;

- Frekans, faz açısı ve genlik gibi çıkış gerilimi sinyali değerlerinin çok hassas ve yüksek hızlarda gerçekleştirilebilmesi.
- Geleneksel sayısal denetim tekniklerine göre arama tablosu ihtiyacına gerek duymaksızın çok daha hızlı yeni değer alma kabiliyeti.
- DSS sayısal mimarisinde, diğer sayısal denetim tekniklerine göre kullanılan mikro denetleyici işlemci hızının tamamından yararlanılabilmesi ve böylece çok yüksek verimlerde sonuç alınması.
- DSS mimarisinin sayısal denetim ara yüzü sistem parametrelerinin uzaktan denetlenmesini ve optimize edilmesini kolaylaştırmasıdır.

Böylece bu tekniğin kullanılması ile birlikte bir modül tümleşik çevirgeçten beklenen özelliklerden en önemlileri olan, birden çok denetim biriminin aynı mikro denetleyicide gerçekleştirilmesi, daha az karmaşık yapı ve işlemci hızı ile paralel olarak yüksek doğruluk ve hassasiyette çıkış parametrelerinin değiştirilmesi başarı ile sağlanmıştır.

Gelecek çalışmalarda verimi arttırmak amacı ile giriş yığın kondansatör ihtiyacını ortadan kaldırmak veya değerini düşürmek amacı ile çapraz çevirgeç topolojisi DA-DA modunda çalıştırılıp H-köprü devresinin evirici olarak çalışması sağlanabilir ve bu tez çalışması ile karşılaştırılması yapılabilir.

Bunun yanında çapraz evirici topolojisinde tek giriş anahtarı ve tek birincil sargılı yapıya göre çift anahtar ve çift birincil sargı yapısı denenebilir. Böylece çıkış h-köprü devresi ihtiyacı olmayıp, çıkışta sinüzoidal geriliminin tek aşamada elde edilmesi sağlanabilir.

Doğrudan Sayısal Sentez tekniğinin gerçekleşmesini sağlayan dsPIC mikro denetleyicisi kullanmak yerine piyasada bulunan ve DSS tabanlı donanım içeren mikro denetleyiciler kullanılarak çıkış çözünürlüğünün daha da artırılması, yazılım algoritmasının daha da basite indirgenmesi ve yazılımsal DSS tekniği ile donanımsal DSS tekniğinin karşılaştırılması sağlanabilir.

Uzaktan izleme biriminin mevcut mikro denetleyici çevre birimleri kullanılarak gerçekleştirilmesi ile mevcut algoritma üzerinde bilgisayar üzerinden referans değerlerin değiştirilmesi veya üretilen sonuçların izlenmesi sağlanabilir.

## KAYNAKLAR

- [1] Choi WY, Kim SM, Park SJ, Kim KH, Lim YC., High step-up DC–DC converter with high efficiency for photovoltaic module integrated converter systems, IEEE, **2009**.
- [2] Energy for Sustainable Development 16, 389–400, **2012**.
- [3] Haeberlin H., Evolution of Inverters for Grid connected PV-Systems from 1989 to 2000, **2001**.
- [4] Kjaer SB, Pedersen JK, Blaabjerg F. Power inverter topologies for photovoltaic modules—a review, IEEE, **2002**.
- [5] Oldenkamp H, DeJong I., Next generation of AC module inverters, p.6-10, **1998**.
- [6] Dumais A., Grid-Connected Solar Microinverter Reference Design Using a dsPIC® Digital Signal Controller, **2010**.
- [7] Andersen M, Alvsten B., 200W low cost module integrated utility interface for modular photovoltaic energy systems. IEEE, **1995**.
- [8] Browder JH., Solar panel with inverter Google Patents, **2009**.
- [9] IEEE Std 519-1992, “IEEE Recommended Practices and Requirements for Harmonic Control in Electric Power Systems,” © Institute of Electrical and Electronics Engineers, Inc., **1993**.
- [10] Myrzik J, Calais M., String and module integrated inverters for single-phase grid connected photovoltaic systems—a review, IEEE, **2003**.
- [11] Kjaer SB., Design and control of an inverter for photovoltaic applications, Aalborg University, **2005**.
- [12] Kerekes T, Liserre M, Teodorescu R, Klumpner C, Sumner M., Evaluation of three-phase transformerless photovoltaic inverter topologies, IEEE Trans Power Electron, **2009**.
- [13] Bonn RH., Developing a next generation PV inverter, IEEE, **2002**.

- [14] Meinhardt M, O'Donnell T, Schneider H, Flannery J, Mathuna CO, Zacharias P, et al. Miniaturised "Low Profile" module integrated converter for photovoltaic applications with integrated magnetic components, IEEE, **1999**.
- [15] Walker GR, Pierce J., PhotoVoltaic DC–DC module integrated converter for novel cascaded and bypass grid connection topologies, IEEE, **2006**.
- [16] Fang Y, Ma X., A novel PV microinverter with coupled inductors and double-boost topology, IEEE Trans Power Electron, **2010**.
- [17] Jain S, Agarwal V., A single-stage grid connected inverter topology for solar PV systems with maximum power point tracking, IEEE Trans Power Electron, **2007**.
- [18] Kasa N, Lida T, Chen L., Flyback inverter controlled by sensorless current MPPT for photovoltaic power system, IEEE Trans Ind Electron, **2005**.
- [19] Rodriguez C, Amaratunga GAJ. Long-lifetime power inverter for photovoltaic AC modules, IEEE Trans Ind Electron, **2008**.
- [20] S.B. Kjaer, J.K. Pedersen, and F. Blaabjerg, 'A review of single-phase grid-connected inverters for photovoltaic modules', IEEE Transactions on Industry Applications, vol.41, no.5, pp. 1292- 1306, **2005**.
- [21] S. B. Kjær, J. K. Pedersen, and F. Blaabjerg, 'Power inverter topologies for photovoltaic modules—A review,' 37th IEEE Industry Applications Society Annual Meeting, pp. 782–788, **2002**.
- [22] D-K. Ryu, Y-H. Kim, J-G. Kim, C-Y. Won, and Y-C. Jung, 'Interleaved Active Clamped Flyback Inverter Using a Synchronous Rectifier for a Photovoltaic AC Module System', 8th International Conference on Power Electronics, pp.2631-2636, ECCE Asia, **2011**.
- [23] Ribeiro H; Pinto, A.; Borges, B., 'Single-stage DC-AC converter for photovoltaic systems', The 2010 IEEE Energy Conversion Congress and Exposition, pp.604-610, ECCE, **2010**.
- [24] Y-H. Ji, D-Y. Jung, J-H. Kim, C-Y. Won, and D-S. Oh, 'Dual Mode Switching Strategy of Flyback Inverter for Photovoltaic AC Modules', The 2010 International Power Electronics Conference, pp.2924-2929, IPEC, **2010**.

- [25] N. Kasa, T. Lida, A.K.S. Bhat, 'ZeroVoltage Transition Flyback Inverter for Small Scale Photovoltaic Power System', 36th IEEE Power Electronics Specialists Conference, pp. 2098-2103, PESC, **2005**.
- [26] M. Andersen and B. Alvsten, '200 W low cost module integrated utility interface for modular photovoltaic energy systems', 21st International Conference on Industrial Electronics, Control, and Instrumentation, pp. 572–577, IEEE IECON, **1995**.
- [27] T. Shimizu, K. Wada, and N. Nakamura, 'A Flyback-Type Single-Phase Utility Interactive Inverter With Low Frequency Ripple Current Reduction on the DC Input for a Photovoltaic Module System', 33rd IEEE Power Electronics Specialists Conference, pp.1483-1488, PESC, **2002**.
- [28] Y. Li and R. Oruganti, 'A Low Cost Flyback CCM Inverter for AC Module Application', IEEE Transactions on Power Electronics, vol.27, no.3, pp.1295-1303, **2012**.
- [29] T.V. Thang, N.M. Thao, D-H. Kim, and J.-H. Park, 'Analysis and Design of a Single-Phase Flyback Microinverter on CCM Operation', The 2012 IEEE 7th International Power Electronics and Motion Control Conference, pp. 1229-1234, ECCE Asia, **2012**.
- [30] A. Fernandez, J. Sebastian, M.M. Hernando, M. Ariaz, and G. Perez, 'Single-Stage Inverter for a Direct AC Connection of a Photovoltaic Cell Module', 37th IEEE Power Electronics Specialists Conf., pp.1-6, PESC, **2006**.
- [31] dsPIC33FJ256GP710A Datasheet, '16-bit Digital Signal Controllers with Advanced Analog', Microchip Technology Inc., **2009-2012**.
- [32] S.Öztürk, I.Çadırcı, 'dsPIC Microcontroller Based Implementation of a Flyback PV Microinverter Using Direct Digital Synthesis', The 2013 IEEE Energy Conversion Congress and Exposition, pp.3426-3433, ECCE, **2013**.
- [33] Mohammad, M.A., Nasrullah, F., Saleque, A.M., Muttalib, A.Z.M.S., 'Design and simulation of an open voltage algorithm based maximum power point tracker for battery charging PV system', The 2012 7th International Conference on Electrical & Computer Engineering, pp.908-911,ICECE, **2012**.



# EK.1 IRFP264 MOSFET TEKNİK ÖZELLİK DÖKÜMANI



**IRFP264, SiHFP264**

Vishay Siliconix

## Power MOSFET

PRODUCT SUMMARY	
$V_{DS}$ (V)	250
$R_{DS(on)}$ ( $\Omega$ )	$V_{GS} = 10\text{ V}$ 0.075
$Q_g$ (Max.) (nC)	210
$Q_{gs}$ (nC)	35
$Q_{gd}$ (nC)	98
Configuration	Single

### FEATURES

- Dynamic  $dV/dt$  Rating
- Repetitive Avalanche Rated
- Isolated Central Mounting Hole
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements
- Compliant to RoHS Directive 2002/95/EC

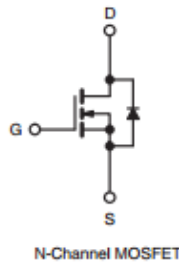
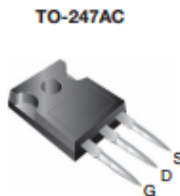


Available  
**RoHS\***  
COMPLIANT

### DESCRIPTION

Third generation Power MOSFETs from Vishay provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-247AC package is preferred for commercial-industrial applications where higher power levels preclude the use of TO-220AB devices. The TO-247AC is similar but superior to the earlier TO-218 package because its isolated mounting hole. It also provides greater creepage distances between pins to meet the requirements of most safety specifications.





ORDERING INFORMATION	
Package	TO-247AC
Lead (Pb)-free	IRFP264PbF SiHFP264-E3
SnPb	IRFP264 SiHFP264

ABSOLUTE MAXIMUM RATINGS ( $T_C = 25\text{ }^\circ\text{C}$ , unless otherwise noted)			
PARAMETER	SYMBOL	LIMIT	UNIT
Drain-Source Voltage	$V_{DS}$	250	V
Gate-Source Voltage	$V_{GS}$	$\pm 20$	V
Continuous Drain Current	$V_{GS}$ at 10 V	$T_C = 25\text{ }^\circ\text{C}$	38
		$T_C = 100\text{ }^\circ\text{C}$	24
Pulsed Drain Current <sup>a</sup>	$I_{DM}$	150	A
Linear Derating Factor		2.2	W/ $^\circ\text{C}$
Single Pulse Avalanche Energy <sup>b</sup>	$E_{AS}$	1000	mJ
Repetitive Avalanche Current <sup>a</sup>	$I_{AR}$	38	A
Repetitive Avalanche Energy <sup>a</sup>	$E_{AR}$	28	mJ
Maximum Power Dissipation	$T_C = 25\text{ }^\circ\text{C}$	$P_D$	280
Peak Diode Recovery $dV/dt$ <sup>c</sup>		$dV/dt$	4.8
Operating Junction and Storage Temperature Range	$T_J, T_{stg}$	- 55 to + 150	$^\circ\text{C}$
Soldering Recommendations (Peak Temperature)	for 10 s		300 <sup>d</sup>
Mounting Torque	6-32 or M3 screw		10
			1.1

#### Notes

- Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- $V_{DD} = 50\text{ V}$ , starting  $T_J = 25\text{ }^\circ\text{C}$ ,  $L = 1.1\text{ mH}$ ,  $R_g = 25\text{ }\Omega$ ,  $I_{AS} = 38\text{ A}$  (see fig. 12).
- $I_{SD} \leq 38\text{ A}$ ,  $dV/dt \leq 210\text{ A}/\mu\text{s}$ ,  $V_{DD} \leq V_{DS}$ ,  $T_J \leq 150\text{ }^\circ\text{C}$ .
- 1.6 mm from case.

THERMAL RESISTANCE RATINGS				
PARAMETER	SYMBOL	TYP.	MAX.	UNIT
Maximum Junction-to-Ambient	$R_{thJA}$	-	40	°C/W
Case-to-Sink, Flat, Greased Surface	$R_{thCS}$	0.24	-	
Maximum Junction-to-Case (Drain)	$R_{thJC}$	-	0.45	

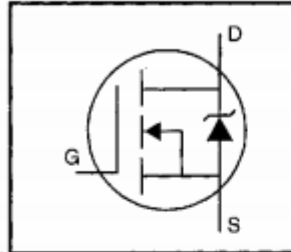
SPECIFICATIONS ( $T_J = 25\text{ }^\circ\text{C}$ , unless otherwise noted)						
PARAMETER	SYMBOL	TEST CONDITIONS	MIN.	TYP.	MAX.	UNIT
<b>Static</b>						
Drain-Source Breakdown Voltage	$V_{DS}$	$V_{GS} = 0\text{ V}$ , $I_D = 250\text{ }\mu\text{A}$	250	-	-	V
$V_{DS}$ Temperature Coefficient	$\Delta V_{DS}/T_J$	Reference to $25\text{ }^\circ\text{C}$ , $I_D = 1\text{ mA}$	-	0.37	-	V/°C
Gate-Source Threshold Voltage	$V_{GS(th)}$	$V_{DS} = V_{GS}$ , $I_D = 250\text{ }\mu\text{A}$	2.0	-	4.0	V
Gate-Source Leakage	$I_{GSS}$	$V_{GS} = \pm 20\text{ V}$	-	-	$\pm 100$	nA
Zero Gate Voltage Drain Current	$I_{DSS}$	$V_{DS} = 250\text{ V}$ , $V_{GS} = 0\text{ V}$	-	-	25	$\mu\text{A}$
		$V_{DS} = 200\text{ V}$ , $V_{GS} = 0\text{ V}$ , $T_J = 125\text{ }^\circ\text{C}$	-	-	250	
Drain-Source On-State Resistance	$R_{DS(on)}$	$V_{GS} = 10\text{ V}$   $I_D = 23\text{ A}^b$	-	-	0.075	$\Omega$
Forward Transconductance	$g_{fs}$	$V_{DS} = 50\text{ V}$ , $I_D = 23\text{ A}^b$	20	-	-	S
<b>Dynamic</b>						
Input Capacitance	$C_{iss}$	$V_{GS} = 0\text{ V}$ , $V_{DS} = 25\text{ V}$ , $f = 1.0\text{ MHz}$ , see fig. 5	-	5400	-	pF
Output Capacitance	$C_{oss}$		-	870	-	
Reverse Transfer Capacitance	$C_{rss}$		-	150	-	
Total Gate Charge	$Q_g$	$V_{GS} = 10\text{ V}$   $I_D = 38\text{ A}$ , $V_{DS} = 200\text{ V}$ , see fig. 6 and 13 <sup>b</sup>	-	-	210	nC
Gate-Source Charge	$Q_{gs}$		-	-	35	
Gate-Drain Charge	$Q_{gd}$		-	-	98	
Turn-On Delay Time	$t_{d(on)}$	$V_{DD} = 125\text{ V}$ , $I_D = 38\text{ A}$ , $R_{\theta} = 4.3\text{ }\Omega$ , $R_D = 3.2\text{ }\Omega$ , see fig. 10 <sup>b</sup>	-	22	-	ns
Rise Time	$t_r$		-	99	-	
Turn-Off Delay Time	$t_{d(off)}$		-	110	-	
Fall Time	$t_f$		-	92	-	
Internal Drain Inductance	$L_D$	Between lead, 6 mm (0.25") from package and center of die contact 	-	5.0	-	nH
Internal Source Inductance	$L_S$		-	13	-	
<b>Drain-Source Body Diode Characteristics</b>						
Continuous Source-Drain Diode Current	$I_S$	MOSFET symbol showing the integral reverse p - n junction diode 	-	-	38	A
Pulsed Diode Forward Current <sup>a</sup>	$I_{SM}$		-	-	150	
Body Diode Voltage	$V_{SD}$	$T_J = 25\text{ }^\circ\text{C}$ , $I_S = 38\text{ A}$ , $V_{GS} = 0\text{ V}^b$	-	-	1.8	V
Body Diode Reverse Recovery Time	$t_{rr}$	$T_J = 25\text{ }^\circ\text{C}$ , $I_F = 38\text{ A}$ , $di/dt = 100\text{ A}/\mu\text{s}^b$	-	410	620	ns
Body Diode Reverse Recovery Charge	$Q_{rr}$		-	5.7	8.6	$\mu\text{C}$
Forward Turn-On Time	$t_{on}$	Intrinsic turn-on time is negligible (turn-on is dominated by $L_S$ and $L_D$ )				

**Notes**

- a. Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- b. Pulse width  $\leq 300\text{ }\mu\text{s}$ ; duty cycle  $\leq 2\%$ .

HEXFET® Power MOSFET

- Dynamic dv/dt Rating
- Repetitive Avalanche Rated
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements



$$V_{DSS} = 500V$$

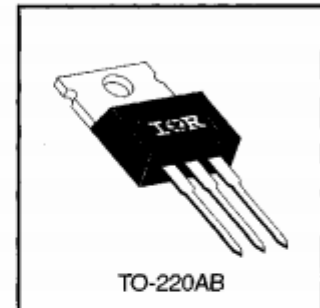
$$R_{DS(on)} = 0.85\Omega$$

$$I_D = 8.0A$$

**Description**

Third Generation HEXFETs from International Rectifier provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-220 package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 watts. The low thermal resistance and low package cost of the TO-220 contribute to its wide acceptance throughout the industry.



**Absolute Maximum Ratings**

	Parameter	Max.	Units
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10 V$	8.0	A
$I_D @ T_C = 100^\circ C$	Continuous Drain Current, $V_{GS} @ 10 V$	5.1	
$I_{DM}$	Pulsed Drain Current ①	32	
$P_D @ T_C = 25^\circ C$	Power Dissipation	125	W
	Linear Derating Factor	1.0	W/°C
$V_{GS}$	Gate-to-Source Voltage	$\pm 20$	V
$E_{AS}$	Single Pulse Avalanche Energy ②	510	mJ
$I_{AR}$	Avalanche Current ①	8.0	A
$E_{AR}$	Repetitive Avalanche Energy ①	13	mJ
dv/dt	Peak Diode Recovery dv/dt ③	3.5	V/ns
$T_J$ $T_{STG}$	Operating Junction and Storage Temperature Range	-55 to +150	°C
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting Torque, 6-32 or M3 screw	10 lbf·in (1.1 N·m)	


**Thermal Resistance**

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	—	1.0	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	—	0.50	—	
$R_{\theta JA}$	Junction-to-Ambient	—	—	62	

## Electrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	500	—	—	V	$V_{GS}=0V, I_D=250\mu A$
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.78	—	$V/^\circ\text{C}$	Reference to $25^\circ\text{C}, I_D=1\text{mA}$
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.85	$\Omega$	$V_{GS}=10V, I_D=4.8A$ ④
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	$V_{DS}=V_{GS}, I_D=250\mu A$
$g_{fs}$	Forward Transconductance	4.9	—	—	S	$V_{DS}=50V, I_D=4.8A$ ④
$I_{DSS}$	Drain-to-Source Leakage Current	—	—	25	$\mu A$	$V_{DS}=500V, V_{GS}=0V$
		—	—	250		$V_{DS}=400V, V_{GS}=0V, T_J=125^\circ\text{C}$
$I_{GSS}$	Gate-to-Source Forward Leakage	—	—	100	nA	$V_{GS}=20V$
	Gate-to-Source Reverse Leakage	—	—	-100		$V_{GS}=-20V$
$Q_g$	Total Gate Charge	—	—	63	nC	$I_D=8.0A$
$Q_{gs}$	Gate-to-Source Charge	—	—	9.3		$V_{DS}=400V$
$Q_{gd}$	Gate-to-Drain ("Miller") Charge	—	—	32		$V_{GS}=10V$ See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	14	—	ns	$V_{DD}=250V$
$t_r$	Rise Time	—	23	—		$I_D=8.0A$
$t_{d(off)}$	Turn-Off Delay Time	—	49	—		$R_G=9.1\Omega$
$t_f$	Fall Time	—	20	—		$R_D=31\Omega$ See Figure 10 ④
$L_D$	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact 
$L_S$	Internal Source Inductance	—	7.5	—		
$C_{iss}$	Input Capacitance	—	1300	—	pF	$V_{GS}=0V$
$C_{oss}$	Output Capacitance	—	310	—		$V_{DS}=25V$
$C_{rss}$	Reverse Transfer Capacitance	—	120	—		$f=1.0\text{MHz}$ See Figure 5

## Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
$I_S$	Continuous Source Current (Body Diode)	—	—	8.0	A	MOSFET symbol showing the integral reverse p-n junction diode. 
$I_{SM}$	Pulsed Source Current (Body Diode) ①	—	—	32		
$V_{SD}$	Diode Forward Voltage	—	—	2.0	V	$T_J=25^\circ\text{C}, I_S=8.0A, V_{GS}=0V$ ④
$t_{rr}$	Reverse Recovery Time	—	460	970	ns	$T_J=25^\circ\text{C}, I_F=8.0A$
$Q_{rr}$	Reverse Recovery Charge	—	4.2	8.9	$\mu C$	$di/dt=100A/\mu s$ ④
$t_{on}$	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by $L_S+L_D$ )				

### Notes:

- ① Repetitive rating; pulse width limited by max. junction temperature (See Figure 11)
- ②  $V_{DD}=50V$ , starting  $T_J=25^\circ\text{C}$ ,  $L=14\text{mH}$ ,  $R_G=25\Omega$ ,  $I_{AS}=8.0A$  (See Figure 12)
- ③  $I_{SD}\leq 8.0A$ ,  $di/dt\leq 100A/\mu s$ ,  $V_{DD}\leq V_{(BR)DSS}$ ,  $T_J\leq 150^\circ\text{C}$
- ④ Pulse width  $\leq 300\mu s$ ; duty cycle  $\leq 2\%$ .

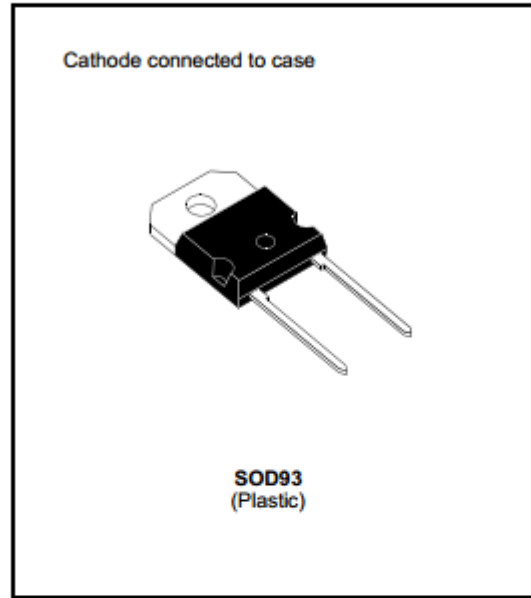
## EK.3 BYT-30 ULTRA HIZLI DİYOT TEKNİK ÖZELLİK DÖKÜMANI



### BYT 30P-1000

#### FAST RECOVERY RECTIFIER DIODE

- VERY HIGH REVERSE VOLTAGE CAPABILITY
- VERY LOW REVERSE RECOVERY TIME
- VERY LOW SWITCHING LOSSES
- LOW NOISE TURN-OFF SWITCHING



#### SUITABLE APPLICATIONS

- FREE WHEELING DIODE IN CONVERTERS AND MOTOR CONTROL CIRCUITS
- RECTIFIER IN S.M.P.S.

#### ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
$V_{RRM}$	Repetitive Peak Reverse Voltage	1000	V
$V_{RSM}$	Non Repetitive Peak Reverse Voltage	1000	V
$I_{FRM}$	Repetive Peak Forward Current	$t_p \leq 10\mu s$	A
$I_F (RMS)$	RMS Forward Current	70	A
$I_F (AV)$	Average Forward Current	$T_c = 85^\circ C$ $\delta = 0.5$	A
$I_{FSM}$	Surge non Repetitive Forward Current	$t_p = 10ms$ Sinusoidal	A
P	Power Dissipation	$T_c = 85^\circ C$	W
$T_{stg}$ $T_j$	Storage and Junction Temperature Range	- 40 to +150 - 40 to +150	$^\circ C$

#### THERMAL RESISTANCE

Symbol	Parameter	Value	Unit
$R_{th(j-c)}$	Junction-case	1	$^\circ C/W$

## BYT 30P-1000

### ELECTRICAL CHARACTERISTICS

#### STATIC CHARACTERISTICS

Symbol	Test Conditions		Min.	Typ.	Max.	Unit
$I_R$	$T_J = 25^\circ\text{C}$	$V_R = V_{RRM}$			100	$\mu\text{A}$
	$T_J = 100^\circ\text{C}$				5	$\text{mA}$
$V_F$	$T_J = 25^\circ\text{C}$	$I_F = 30\text{A}$			1.9	$\text{V}$
	$T_J = 100^\circ\text{C}$				1.8	

#### RECOVERY CHARACTERISTICS

Symbol	Test Conditions			Min.	Typ.	Max.	Unit
$t_r$	$T_J = 25^\circ\text{C}$	$I_F = 1\text{A}$	$di_F/dt = -15\text{A}/\mu\text{s}$	$V_R = 30\text{V}$		165	$\text{ns}$
		$I_F = 0.5\text{A}$	$I_R = 1\text{A}$	$I_r = 0.25\text{A}$		70	

#### TURN-OFF SWITCHING CHARACTERISTICS (Without Series Inductance)

Symbol	Test Conditions		Min.	Typ.	Max.	Unit
$I_{RM}$	$di_F/dt = -120\text{A}/\mu\text{s}$	$V_{CC} = 200\text{V}$ $I_F = 30\text{A}$ $L_p \leq 0.05\mu\text{H}$ $T_J = 100^\circ\text{C}$ See figure 11			200	$\text{ns}$
	$di_F/dt = -240\text{A}/\mu\text{s}$			120		
$I_{RM}$	$di_F/dt = -120\text{A}/\mu\text{s}$				19.5	$\text{A}$
	$di_F/dt = -240\text{A}/\mu\text{s}$			22		

#### TURN-OFF OVERVOLTAGE COEFFICIENT (With Series Inductance)

Symbol	Test Conditions		Min.	Typ.	Max.	Unit
$C = \frac{V_{RP}}{V_{CC}}$	$T_J = 100^\circ\text{C}$ $di_F/dt = -30\text{A}/\mu\text{s}$	$V_{CC} = 200\text{V}$ $I_F = I_{F(AV)}$ $L_p = 5\mu\text{H}$ See figure 12			4.5	

To evaluate the conduction losses use the following equation:

$$V_F = 1.47 + 0.010 I_F \quad P = 1.47 \times I_{F(AV)} + 0.010 I_F^2(\text{RMS})$$

Figure 1. Low frequency power losses versus average current

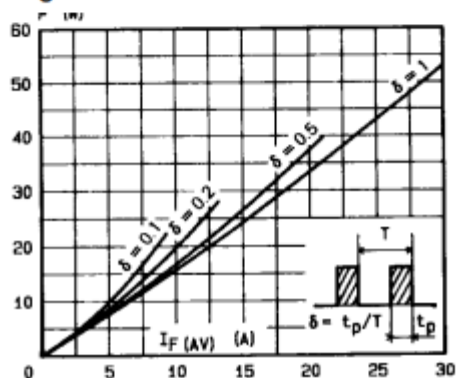
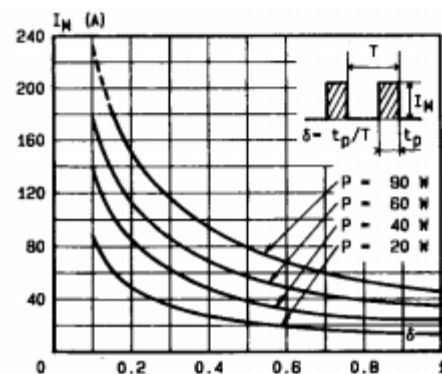


Figure 2. Peak current versus form factor



## EK.4 N27 ETD44 SERİSİ ÇEKİRDEK TEKNİK ÖZELLİK DÖKÜMANI

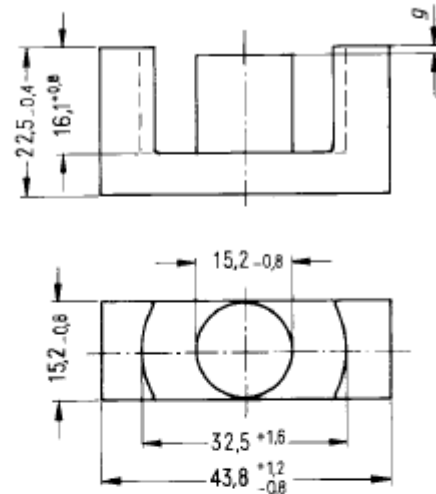
### ETD 44 CoreB66365

- In accordance with IEC 1185
- Quality assurance per UTE 83313-003  
CECC 25 301-003 (material N27)
- For SMPS transformers with optimum weight/performance ratio at small volume
- ETD cores are supplied as pieces.

#### Magnetic characteristics (per set)

$\Sigma l/A =$	0,60	mm <sup>-1</sup>
$l_e =$	103	mm
$A_e =$	173	mm <sup>2</sup>
$A_{min} =$	172	mm <sup>2</sup>
$V_e =$	17800	mm <sup>3</sup>

Approx. weight 94 g/set



FEK0057-6

#### Ungapped

Material	$A_L$ value nH	$\mu_e$	$A_{L1min}$ nH	$P_V$ W/set	Ordering code	PU Pcs
N27	3300+30/-20%	1560	2640	3,48 (200 mT, 25 kHz, 100°C)	B66365-G-X127	100
N67	3350+30/-20%	1600	2640	1,88 (100 mT, 100 kHz, 100°C) 11,8 (prov. limiting value) (200 mT, 100 kHz, 100°C)	B66365-G-X167	
N87	3500+30/-20%	1650	2640	9,40 (200 mT, 100 kHz, 100°C)	B66365-G-X187	

#### Gapped

Material	$g$ mm	$A_L$ value approx. nH	$\mu_e$	Ordering code ** = 27 (N27) = 67 (N67)	PU Pcs
N27, N67	0,20 ± 0,02	862	407	B66365-G200-X1**	100
	0,50 ± 0,05	438	207	B66365-G500-X1**	
	1,00 ± 0,05	262	124	B66365-G1000-X1**	
	1,50 ± 0,05	194	92	B66365-G1500-X1**	

The  $A_L$  value in the table applies to a core set comprising one ungapped core (dimension  $g = 0$ ) and one gapped core (dimension  $g > 0$ ).

**ETD 44**  
**CoreB66365**

---

Calculation factors (see [page 447](#) for formulas)

Material	Relationship between air gap - $A_L$ value		Calculation of saturation current			
	$K1(23^\circ\text{C})$	$K2(23^\circ\text{C})$	$K3(23^\circ\text{C})$	$K4(23^\circ\text{C})$	$K3(100^\circ\text{C})$	$K4(100^\circ\text{C})$
N27	262	-0,74	420	-0,847	391	-0,865
N67	262	-0,74	400	-0,82	395	-0,881
N87	262	-0,74	406	-0,796	382	-0,873

Validity range:  $K1, K2: 0,10 \text{ mm} < s < 3,50 \text{ mm}$   
 $K3, K4: 110 \text{ nH} < A_L < 1060 \text{ nH}$



## EK.5 FS-277 FOTOVOLTAİK PANEL TEKNİK ÖZELLİK DÖKÜMANI

### ELECTRICAL SPECIFICATIONS

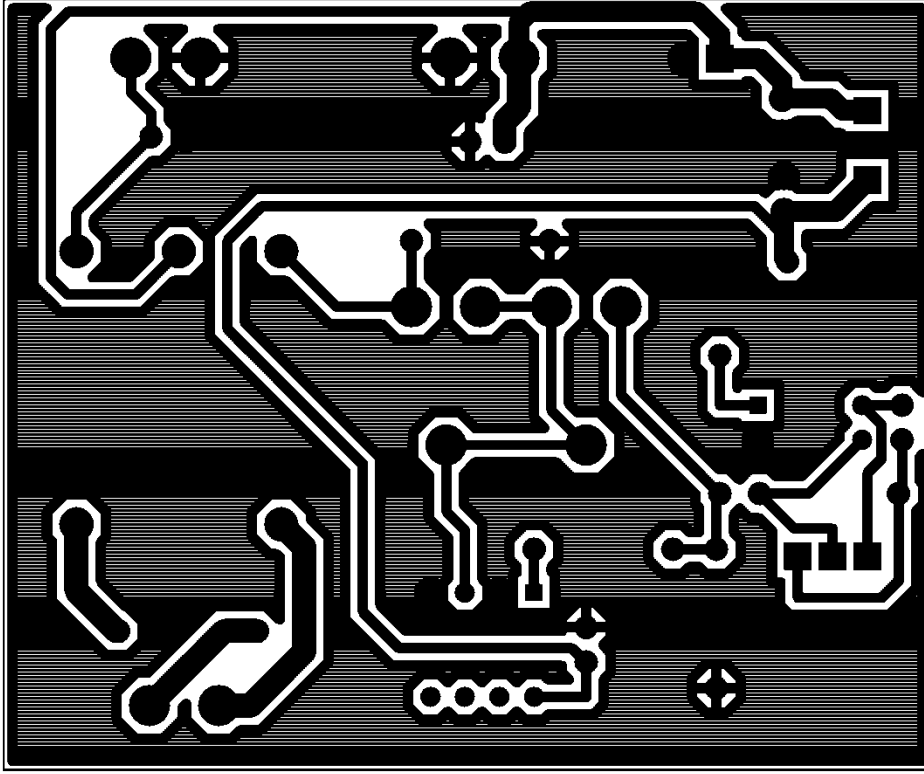
MODEL NUMBERS AND RATINGS AT STC <sup>1*</sup>						
Nominal Values		FS-270	FS-272	FS-275	FS-277	FS-280
Nominal Power(+/-5%)	$P_{MPP}(W)$	70	72.5	75	77.5	80
Voltage at $P_{MAX}$	$V_{MPP}(V)$	65.5	66.6	68.2	69.9	71.2
Current at $P_{MAX}$	$I_{MPP}(A)$	1.07	1.09	1.10	1.11	1.12
Open Circuit Voltage	$V_{OC}(V)$	88.0	88.7	89.6	90.5	91.5
Short Circuit Current	$I_{SC}(A)$	1.23	1.23	1.23	1.22	1.22
Maximum System Voltage	$V_{SYS}(V)$	1000				
Temperature Coefficient of $P_{MPP}$	$T_K(P_{MPP})$	-0.25%/°C				
Temperature Coefficient of $V_{OC}$ , high temp (>25°C)	$T_K(V_{OC, high temp})$	-0.25%/°C				
Temperature Coefficient of $V_{OC}$ , low temp (-40°C to + 25°C)	$T_K(V_{OC, low temp})$	-0.20%/°C				
Temperature Coefficient of $I_{SC}$	$T_K(I_{SC})$	+0.04%/°C				
Limiting Reverse Current	$I_R(A)$	2				
Maximum Series Fuse	$I_{CF}(A)$	2				

MODEL NUMBERS AND RATINGS AT 800W/m <sup>2</sup> , 45°C, AM 1.5*						
Nominal Values		FS-270	FS-272	FS-275	FS-277	FS-280
Nominal Power(+/-5%)	$P_{MPP}(W)$	52.5	54.4	56.3	58.1	60.0
Voltage at $P_{MAX}$	$V_{MPP}(V)$	61.4	62.4	63.9	65.5	66.8
Current at $P_{MAX}$	$I_{MPP}(A)$	0.86	0.87	0.88	0.89	0.90
Open Circuit Voltage	$V_{OC}(V)$	81.8	82.5	83.3	84.2	85.1
Short Circuit Current	$I_{SC}(A)$	1.01	1.01	1.01	1.00	1.00

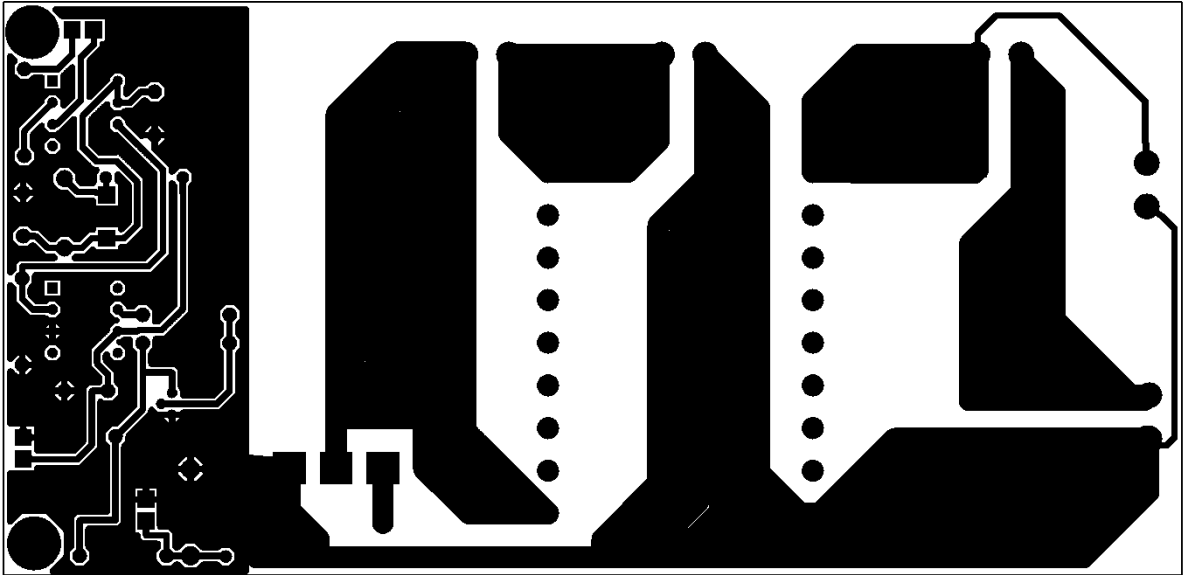
### MECHANICAL DESCRIPTION

Length	1200mm	Thickness	6.8mm
Width	600mm	Area	0.72m <sup>2</sup>
Weight	12kg	Leadwire	4.0mm <sup>2</sup> , 610mm
Connectors	Solarline 1 type connector		
Bypass Diode	None		
Cell Type	CdS/CdTe semiconductor, 116 active cells		
Frame Material	None		
Cover Type	3.2mm heat strengthened front glass laminated to 3.2mm tempered back glass		
Encapsulation	Laminate material with edge seal		

## EK.6 ÇAPRAZ EVİRİCİ BASKI DEVRE KARTI ŞEMATİĞİ



## Çapraz Evirici Denetim Sistemi Baskı Devre Kart Şematığı



## Çapraz Evirici Güç Katı Baskı Devre Kart Şematığı

## ÖZGEÇMİŞ

### Kimlik Bilgileri

Adı Soyadı : Serkan ÖZTÜRK  
Doğum Yeri : Adıyaman  
Medeni Hali : Bekar  
E-posta : ozturk@ee.hacettepe.edu.tr  
Adresi : Hacettepe Üniversitesi Elektrik ve Elektronik Müh. Böl.

### Eğitim

Lise : Adana Erkek Lisesi, Adana (2003)  
Lisans : Fırat Üniversitesi Elektrik ve Elektronik Mühendisliği Bölümü,  
Elazığ (2010)

Yüksek Lisans : --

Doktora : --

### Yabancı Dil ve Düzeyi

İngilizce : İleri

### İş Deneyimi

Hacettepe Üniversitesi, Elektrik Elektronik Mühendisliği, Araştırma Görevlisi,  
(2010-2013)

### Deneyim Alanları

--

### Tezden Üretilmiş Projeler ve Bütçesi

--

### Tezden Üretilmiş Yayınlar

--

### Tezden Üretilmiş Tebliğ ve/veya Poster Sunumu ile Katıldığı Toplantılar

*“dsPIC Microcontroller Based Implementation of a Flyback PV Microinverter Using Direct Digital Synthesis, ECCE, 2013*